

## 表面再構成制御成長法による Si 上 InSb 量子井戸作製と その超高速 FET への応用

研究代表者 理工学研究部(工学) 前澤 宏一

### (1) プロジェクトの背景・目的

2005 年の IEEE International Electron Devices Meeting (IEDM) において、図 1 のような InSb を用いたロジック LSI 向けトランジスタが発表された。非常に高い電子移動度と高い電子飽和速度を持った InSb をチャンネル層に用いた超低電圧駆動 FET である。これをきっかけに全世界で Sb 系材料が注目されるようになり、高速トランジスタを実用化しようとする動きが加速した。Si のような安定な絶縁膜を持たない InSb をデバイスへ利用、さらには微細化する上で大きな問題となるリーク電流の抑制を如何に解決するかが現在の課題であり、10 年後の実用化を目指して研究開発が進められている。今回インテルによって報告された InSb を用いたトランジスタ(QW-FET)は半絶縁性 GaAs 基板上に作製されたものであるが、ポスト Si-CMOS を考えれば、従来の Si-LSI 技術の利用や、素子作製コスト削減の観点からも Si 基板上での InSb を利用したデバイスの作成技術の確立は極めて重要である。

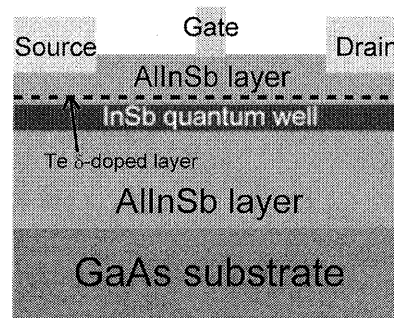


図 1 GaAs 上の InSb QW-FET 構造

我々はこれまでに、Si 基板上の In や Sb 吸着による表面再構成構造と InSb のヘテロエピタキシャル成長の関係に注目し、堆積の極初期段階の表面再構成構造がその後の InSb のヘテロエピタキシャル成長に大きな影響を及ぼすことを明らかにしてきた。特に、ある条件の下で In と Sb を Si(111)基板上に 1 原子層(ML)程度吸着させた場合、その上に成長させた InSb 薄膜は Si 基板に対して 30°回転することを発見した。図 2 のように面内で 30°回転すると格子不整合が約 3.3%に軽減されるため、InSb/Si 界面における転位の発生が大幅に抑制され、結晶性、電気的特性の向上が期待される。これはエピタキシャル成長が困難とされる InSb/Si 系において、高品質の薄膜を得るための非常に重要な発見である。本研究は、この表面再構成制御成長法を用いて高品質な InSb 量子井戸構造を Si 上に形成し、それを高速トランジスタに応用しようとするものである。

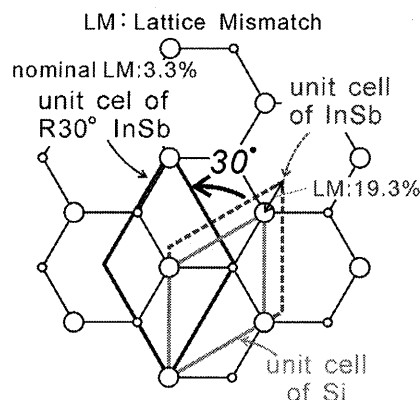


図 2 格子不整合緩和の模式図

### (2) 研究成果

今年度は以下の 3 つの点について検討した。

#### ① Si(001)基板への対応

昨年我々は、フォトリソグラフィと KOH 溶液による異方性エッチングにより、Si(001)基板上に <111>面を形成し、この<111>表面に表面再構成制御成長法を応用して、Si(001)基板上に InSb 薄膜をヘテロエピタキシャル成長させることに成功した。これは、InSb は<111>面が優先配向面のため、比較的エピタキシャル成長しやすいこと。また、作製した<111>面に InSb がエピタキシャル成長すれ

ば基板の法線方向に InSb 薄膜の<001>面が向くことによるものである。今年度は、V 字型の<111>面上に表面再構成制御成長法を用いることで、パターンニングした Si(001)基板上に InSb をエピタキシャル成長させることができるかを確認した。

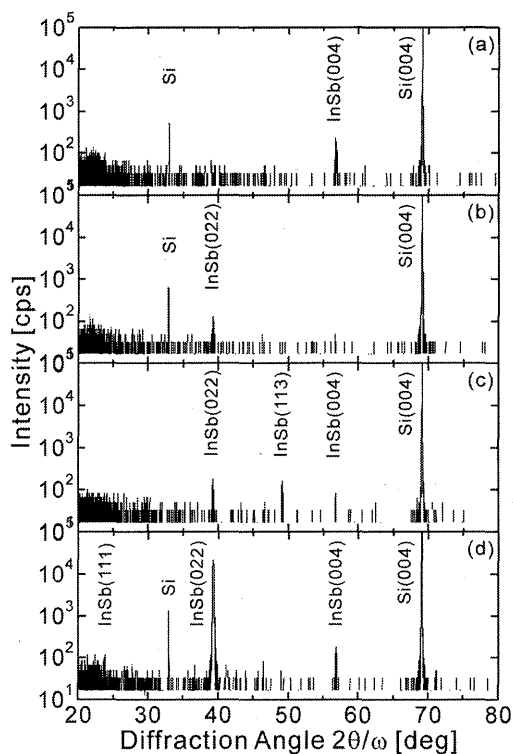
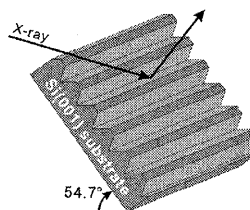
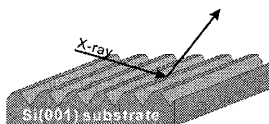


図 3 XRD パターン( $\chi=0^\circ$ )

スペース幅 : (a) 10 $\mu\text{m}$ , (b) 2 $\mu\text{m}$ , (c) 1 $\mu\text{m}$ ,  
(d) V 溝なし(Flat)

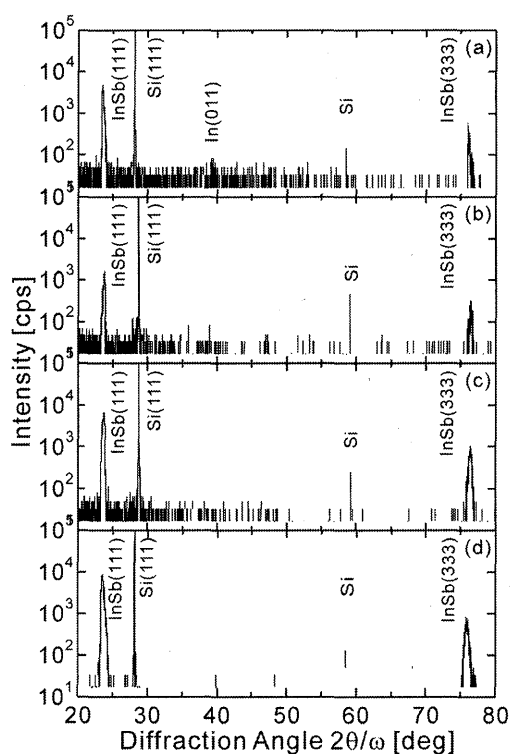


図 4 XRD パターン( $\chi=54.7^\circ$ )

スペース幅 : (a) 10 $\mu\text{m}$ , (b) 2 $\mu\text{m}$ , (c) 1 $\mu\text{m}$ ,  
(d) InSb 単分子層なし V 溝 10 $\mu\text{m}$

ライン幅を 1 $\mu\text{m}$  に固定し、スペース幅を 10、2、1 $\mu\text{m}$  と変化させ、InSb 薄膜を 2 段階成長させた。1 $\mu\text{m}$  のライン表面は<001>面であり、スペース幅に応じて、基板表面における<001>面の割合(面積密度)が変化する。

図 3、4 に作製した試料の X 線回折パターンを示す。図 3 を見ると、図 3(a) では僅かに InSb(004) ピークが見られるものの、それ以外の試料では多結晶成長している様に見える。しかし、InSb 単分子層上では膜が 30 $^\circ$  回転するため、InSb 薄膜の(001)面が基板の法線方向を向かないため、ライン表面上に成長した InSb のみの情報を見ていると考えられる。そこで、図 4 をみると、いずれの試料でも InSb(111) ピークが現れており、V 溝の(111)面上で InSb 薄膜がエピタキシャル成長していることが分かる。これらのことより、V 溝の(111)面上に InSb 単分子層を介して InSb が 30 $^\circ$  回転して成長していることが分かる。また、図 4 の InSb(111) ピークの半値幅を見ると、単分子層なしに直接成長させた試料 4(d) と比較して非常に狭く、結晶性の良い膜が成長していることが分かる。このことから、InSb 単分子層を介した表面再構成制御

成長法は、Si(001)面上に KOH による異方性エッチングで作製した V 溝の(111)面に対しても有効であることが分かった。今後は、ライン幅を減らして基板表面の凹凸の低減を図る必要があると考えられる。

## ② V 溝なしでの InSb 薄膜のエピタキシャル成長

V 溝加工した基板の上に InSb 薄膜を成長させた場合、XRD パターンにおいて InSb(004)ピークが強く表れる。V 溝の幅を狭くしても、多結晶成長するはずの(001)面の面積密度が増加するにもかかわらず、InSb(004)ピークの強度は、他の多結晶成分ピークよりも非常に強いままである。この結果は、狭いライン状の(001)面上で InSb 薄膜がエピタキシャル成長している可能性を示している。そこで、KOH 溶液による V 溝加工をせずに、図 5(b)のようなラインアンドスペース構造上に InSb 薄膜を作製し、(001)面上でのエピタキシャル成長の可能性を確認した。

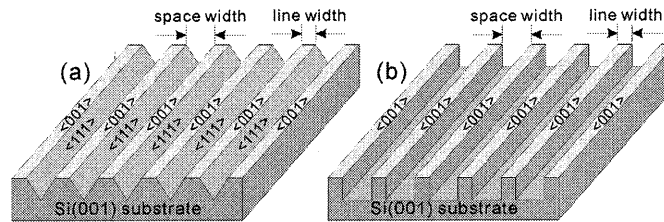


図 5 パターン形成した Si(001)基板の模式図

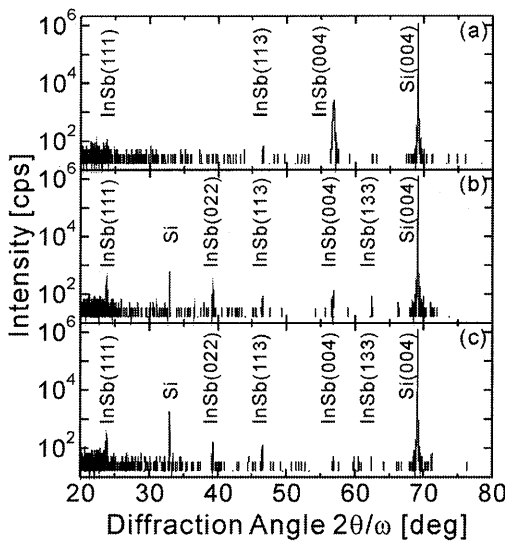


図 6 XRD パターン( $\chi = 0^\circ$ )

スペース幅 : (a)3 $\mu$ m, (b)5 $\mu$ m, (c)10 $\mu$ m

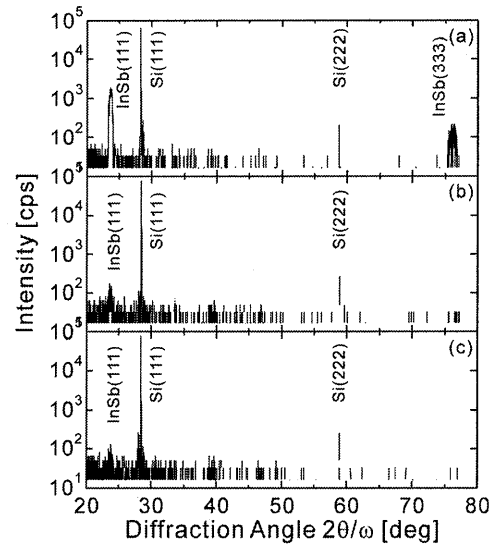


図 7 XRD パターン( $\chi = 54.7^\circ$ )

スペース幅 : (a)3 $\mu$ m, (b)5 $\mu$ m, (c)10 $\mu$ m

図 6、7 は、ラインアンドスペース構造を形成した Si(001)基板の上に成長した InSb 薄膜の XRD パターンである。これらを見ると、スペース幅の減少とともに InSb(004)ピークの強度が増加している。スペース幅の減少とともに基板表面全体におけるライン部分の面積、つまり(001)面の面積密度が増加していることを考慮すれば、InSb 薄膜が狭い(001)面上にエピタキシャル成長していることが分かる。横方向への成長が制限されることにより、エピタキシャル成長が促進された可能性がある。

### ③ InSb ナノワイヤーの成長

Si-MOS のスケーリング限界が近づき、立体構造を持ったデバイスの実現が不可欠となってきている。中でも FinFET や NanowireFET などは、プレーナー型よりも効率よくキャリアを制御できるため、特に注目を集めている。そこで、我々は、半導体表面上の再構成構造を利用したこれまでにない成長法により InSb ナノワイヤーの成長を検討している。

本年度はその前段階として、GaAs 基板上に金触媒を用いた InSb ナノワイヤーの成長条件を調査した。GaAs(111)基板上に粒径 40nm の Au コロイド溶液を塗布し超高真空チャンバーへ導入後、620°C でアニールし、成長温度にまで基板温度を下げて InSb を蒸着する。

下の図 8 は、GaAs 基板上に(a)400°C, (b) 450°C, (c)500°C でそれぞれ成長させた InSb ナノワイヤーの SEM 画像である。成長温度の増加とともにナノワイヤーが短くなり、また直径が太くなっている。基板表面に塗布した Au コロイドはランダムに配置されているため、これらのナノワイヤーが Au 触媒を介して成長しているかどうかは判断できない。

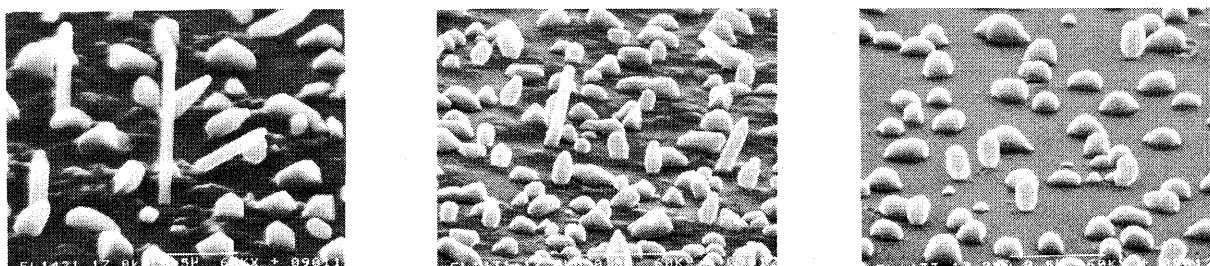


図 8 InSb ナノワイヤーの SEM イメージ

【発表論文】 6 編 (掲載決定のものを含む)

【国内学会】 4 件

【国際学会】 4 件

#### (3)プロジェクト成果 (特許, 起業, 技術移転等)

#### (4)プロジェクト成果の応用・効果・構想 (起業計画, 市場での応用・効果, 特許化構想)

現時点でこの分野で先行している Intel でさえ 2 $\mu\text{m}$  以上の分厚いバッファ層を介して Si 基板上に InSb 量子井戸型 FET を作製している。しかし我々の研究成果は、僅か 1 分子層という非常に薄いバッファ層を介して FET 構造を作製できる可能性を持っている。しかも、そのバッファ層材料は薄膜の構成元素からなっており、バッファ層材料による薄膜汚染の問題も起こらない。デバイス特性のデモンストレーションができれば、半導体業界に大きなインパクトを与えられると考えている。

今後、InSb を用いた QW-FET 作製に対する研究過程において、この膜成長法に最適なデバイス製造法等で特許を取得できると考えている。

#### (5)利用施設

極微表面解析顕微システム

超微細素子作製観察システム

高出力・高分解能 X 線回折システム (薄膜材料解析装置部: ATX-E)