

表面再構成制御成長法による Si 上 InSb 量子井戸作製とその超高速 FET への応用

研究代表者 理工学研究部(工学) 前澤 宏一

(1) プロジェクトの背景・目的

2005 年の IEEE International Electron Devices Meeting (IEDM) において、図 1 のような InSb を用いたロジック LSI 向けトランジスタが発表された。非常に高い電子移動度と高い電子飽和速度を持った InSb をチャンネル層に用いた超低電圧駆動 FET である。これをきっかけに全世界で Sb 系材料が注目されるようになり、高速トランジスタを実用化しようとする動きが加速した。Si のような安定な絶縁膜を持たない InSb をデバイスへ利用、さらには微細化する上で大きな問題となるリーク電流の抑制を如何に解決するかが現在の課題であり、10 年後の実用化を目指して研究開発が進められている。今回インテルによって報告された InSb を用いたトランジスタ(QW-FET)は半絶縁性 GaAs 基板上に作製されたものであるが、ポスト Si-CMOS を考えれば、従来の Si-LSI 技術の利用や、素子作製コスト削減の観点からも Si 基板上での InSb を利用したデバイスの作成技術の確立は極めて重要である。

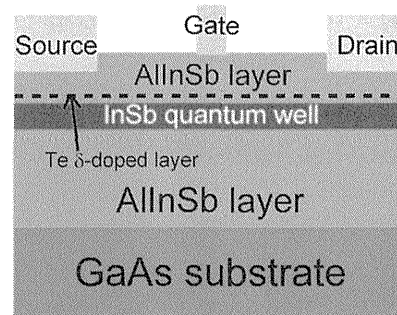


図 1 GaAs 上の InSb QW-FET 構造

我々はこれまでに、Si 基板上の In や Sb 吸着による表面再構成構造と InSb のヘテロエピタキシャル成長の関係に注目し、堆積の極初期段階の表面再構成構造がその後の InSb のヘテロエピタキシャル成長に大きな影響を及ぼすことを明らかにしてきた。特に、ある条件の下で In と Sb を Si(111)基板上に 1 原子層(ML)程度吸着させた場合、その上に成長させた InSb 薄膜は Si 基板に対して 30°回転することを発見した。図 2 のように面内で 30°回転すると格子不整合が約 3.3%に軽減されるため、InSb/Si 界面における転位の発生が大幅に抑制され、結晶性、電気的特性の向上が期待される。これはエピタキシャル成長が困難とされる InSb/Si 系において、

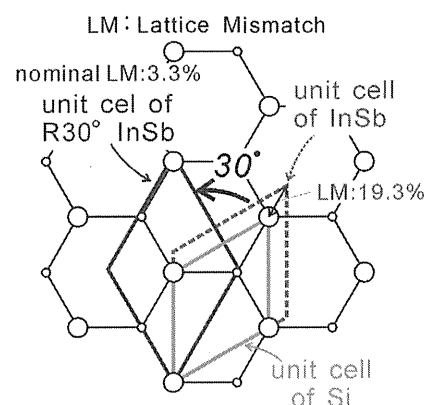


図 2 格子不整合緩和の模式図

高品質の薄膜を得るための非常に重要な発見である。本研究は、この表面再構成制御成長法を用いて高品質な InSb 量子井戸構造を Si 上に形成し、それを高速トランジスタに応用しようとするものである。

(2) 研究成果

昨年度の研究成果により、初期の In 誘起表面再構成構造として Si(111)- $\sqrt{7} \times \sqrt{3}$ -In を使用することで、表面再構成制御成長法で問題となっていた、InSb 単分子層を形成する際の In 原子と Sb 原子との置換反応に起因する In 原子の脱離、また、それに伴う 2x1-Sb 表面再構成の形成と非回転結晶の成長という問題が解決された。

今年度は以下の 3 つの点について検討した。

① 表面再構成制御成長法で作製した試料の STEM 観察による結晶性の評価

InSb 単分子層を介して成長した InSb 薄膜の結晶性が改善されたことを確認するため、試料の走査型透過電子顕微鏡(STEM)像を観察し、Si 基板上に直接成長させた試料と比較した。図 3 に Si(111)基板上に直接成長した InSb 薄膜と、InSb 単分子層を介して成長した InSb 薄膜の STEM 像を示す。また、それぞれの試料の成長条件を表 1 に示す。InSb 薄膜の上に見られる白と黒の層は FIB 加工する際の保護層として堆積させたタングステンとアモルファスカーボン層である。図を見ると明らかなように、左の直接成長した試料では無数の転位を確認できるが、右の InSb 単分子層を介して成長した試料では、大幅に転位密度が減少している。このことから、表面再構成制御成長法で作製した試料の結晶性の高さが確認された。

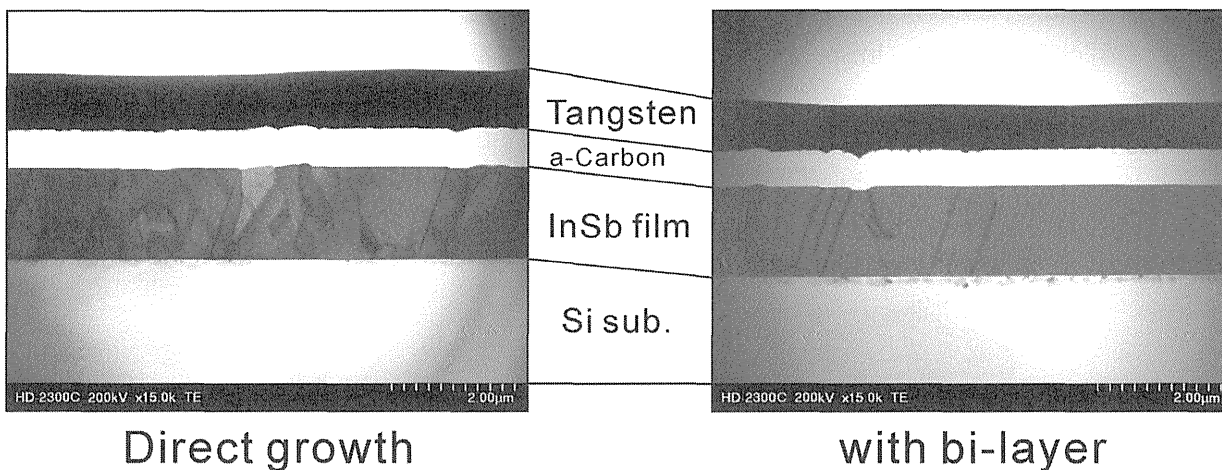


図 3 断面走査型透過電子顕微鏡像

表 1 InSb 薄膜の成長条件及び膜厚

		直接成長	InSb 単分子層有り
成長温度	1 層目	300°C	200°C
	2 層目	350°C	370°C
膜厚	1 層目	30nm	
	2 層目	1.3µm	

② 表面再構成制御成長法の AllnSb 層成長への応用と FET 構造の試作

InSb 量子井戸トランジスタ実現のためには InSb チャンネル層を高品質な AllnSb バリア層で挟み込む必要がある。今年度は、表面再構成制御成長法を Si(111)基板上の AllnSb バリア層成長への応用を試みた。ここで問題となるのは、Al 組成 0%の InSb から Al 組成 100%の AISb まで Al の組成を増加させるにつれて、より高温での成長が必要となるという点である。このことは、30°回転を引き起こす鍵となる InSb 単分子層中からの In 原子の脱離と 2×1-Sb 表面再構成の形成が問題となることを意味している。今回は AllnSb 層形成において 2 段階成長法を用い、Si(111)基板上に対して 30°回転した高品質な AllnSb 層を 60%程度の Al 組成でも成長できた。また、デバイス作製プロセスの検討を行い、FET の試作をしたが、AllnSb 層のキャリア密度が大きく、Gate 電圧で Source – Drain 間の電流を制御できなかった。研究成果の詳細についてはポストクの斉藤君

の報告を参照してください。

③ Si(001)基板への対応

デバイスメーカーが使用する基板はSi(001)基板が主流であるが、有効な表面再構成構造が見つかっていないため、我々の表面再構成制御成長法は、現時点でSi(111)表面でのみ有効である。例えば、45°回転するような表面再構成構造があったとしても、19.3%の圧縮歪が18.9%の引っ張り歪に変わるだけで特にメリットは認められない。また、デバイスメーカーが使用するような大面積のSi(111)基板もない。

今回我々は、フォトリソグラフィとKOH溶液による異方性エッチングにより、Si(001)基板上に<111>面を形成し、この<111>表面に表面再構成制御成長法を応用して、結晶性の良いInSb薄膜を作製できないか検討した。InSbは<111>面が優先配向面のため、比較的エピタキシャル成長しやすいこと。また、作製した<111>面にInSbがエピタキシャル成長すれば基板の法線方向にInSb薄膜の<001>面が向くことを利用する。今年度は、表面再構成制御成長法を用いる前段階として、パターンニングしたSi(001)基板上にInSbをエピタキシャル成長させることができるかを確認した。

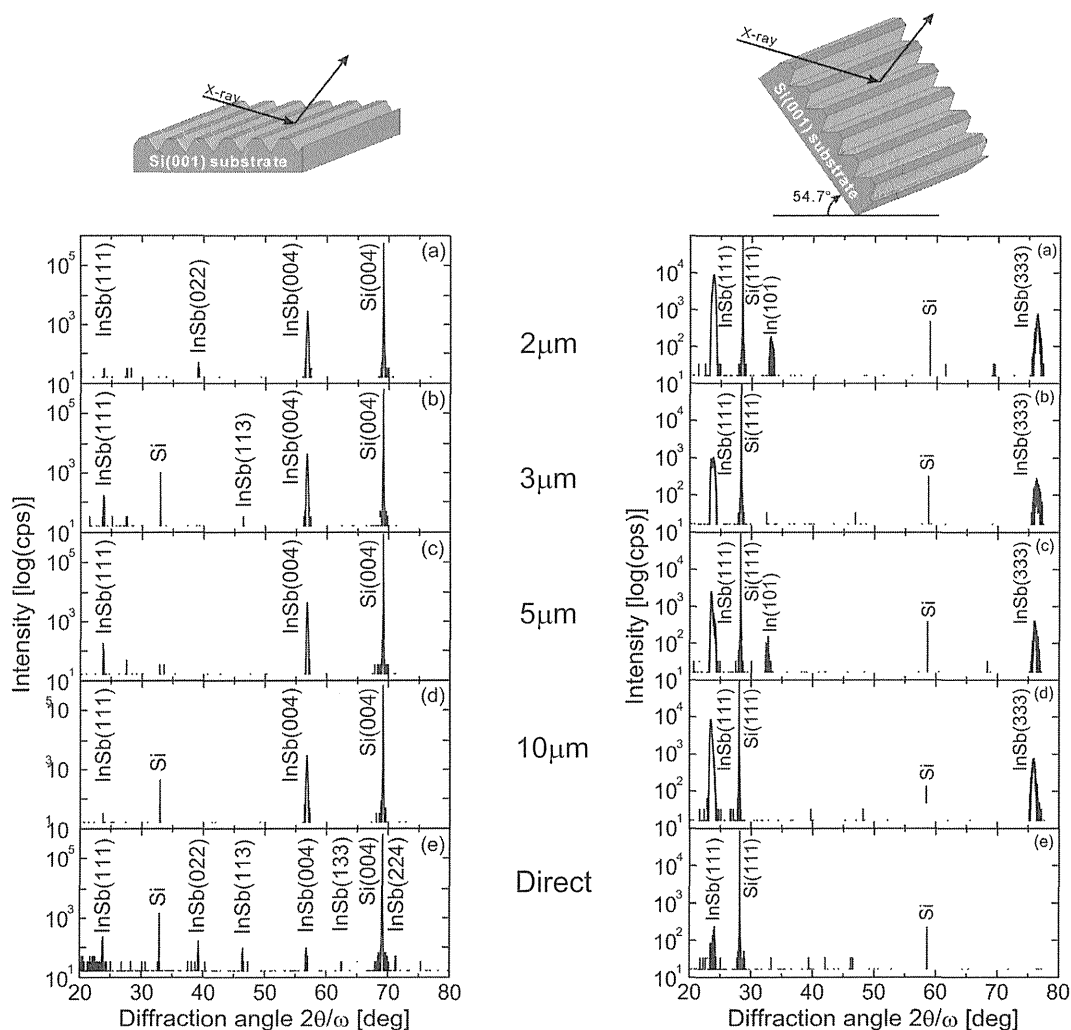


図4 X線回折パターン (左) $\chi=0^\circ$ (右) $\chi=54.7^\circ$
 スペース幅 : (a) $2\mu\text{m}$ 、(b) $3\mu\text{m}$ 、(c) $5\mu\text{m}$ 、(d) $10\mu\text{m}$ 、(e)直接成長

ライン幅を $1\mu\text{m}$ に固定し、スペース幅を 2、3、5、 $10\mu\text{m}$ と変化させ、InSb 薄膜を 2 段階成長させた。 $1\mu\text{m}$ のライン表面は $\langle 001 \rangle$ 面であり、スペース幅に応じて、基板表面における $\langle 001 \rangle$ 面の割合（面積密度）が変化する。

図 4 に作製した試料の X 線回折パターンを示す。図左の $\chi = 0^\circ$ のパターンを見ると、直接成長(図 4(e))した場合、多結晶成長しているのに対し、 $\langle 111 \rangle$ 面パターンを形成した試料では InSb(004)ピークが強く表れている。また、図右の $\chi = 54.7^\circ$ のパターンを見ると、InSb(111)、InSb(222)、InSb(333)ピークのみが現れており、作製した $\langle 111 \rangle$ 面上で InSb がエピタキシャル成長していることが分かる。スペース幅が $10\mu\text{m}$ の試料では、ライン上の $\langle 001 \rangle$ 面の面積密度が 9%程度であり、作製した $\langle 111 \rangle$ 面上にエピタキシャル成長した InSb 薄膜の $\langle 001 \rangle$ 面が基板の法線方向を向いたことで、InSb(004)ピークの強度が増加したと考えられる。しかし、スペース幅が $2\mu\text{m}$ 、 $3\mu\text{m}$ の試料では、多結晶成長する $\langle 001 \rangle$ 面の面積密度がそれぞれ 33%、25%となっている。にもかかわらず、これらの試料では InSb(004)ピークの強度が強く現れている。このことは、 $1\mu\text{m}$ のライン上で InSb 薄膜がエピタキシャル成長している可能性を示している。

今年度は Si(111)基板上に表面再構成制御成長法を用いて、高品質な AlInSb 薄膜を作製できた。今後、InSb 量子井戸構造を作製しデバイス特性の評価を行っていきたい。

【発表論文】 8 編（掲載決定のものを含む）

【国内学会】 4 件

【国際学会】 5 件

(3) プロジェクト成果（特許，起業，技術移転等）

(4) プロジェクト成果の応用・効果・構想（起業計画，市場での応用・効果，特許化構想）

現時点でこの分野で先行している Intel でさえ $2\mu\text{m}$ 以上の分厚いバッファ層を介して Si 基板上に InSb 量子井戸型 FET を作製している。しかし我々の研究成果は、僅か 1 分子層という非常に薄いバッファ層を介して FET 構造を作製できる可能性を持っている。しかも、そのバッファ層材料は薄膜の構成元素からなっており、バッファ層材料による薄膜汚染の問題も起こらない。デバイス特性のデモンストレーションができれば、半導体業界に大きなインパクトを与えられると考えている。

今後、InSb を用いた QW-FET 作製に対する研究過程において、この膜成長法に最適なデバイス製造法等で特許を取得できると考えている。

(5) 利用施設

極微表面解析顕微システム

高出力・高分解能 X 線回折システム（薄膜材料解析装置部：ATX-E）