

表面再構成制御成長法による Si 上 InSb 量子井戸作製とその超高速 FET への応用

研究代表者 理工学研究部(工学) 前澤 宏一

(1) プロジェクトの背景・目的

2005年のIEEE International Electron Devices Meeting(IEDM)において、図1のようなInSbを用いたロジックLSI向けトランジスタが発表された。非常に高い電子移動度と高い電子飽和速度を持ったInSbをチャンネル層に用いた超低電圧駆動FETである。これをきっかけに全世界でSb系材料が注目されるようになり、高速トランジスタを実用化しようとする動きが加速した。Siのような安定な絶縁膜を持たないInSbをデバイスへ利用、さらには微細化する上で大きな問題となるリーク電流の抑制を如何に解決するかが現在の課題であり、10年後の実用化を目指して研究開発が進められている。今回インテルによって報告されたInSbを用いたトランジスタ(QW-FET)は半絶縁性GaAs基板上に作製されたものであるが、ポストSi-CMOSを考えれば、従来のSi-LSI技術の利用や、素子作製コスト削減の観点からもSi基板上でのInSbを利用したデバイスの作成技術の確立は極めて重要である。

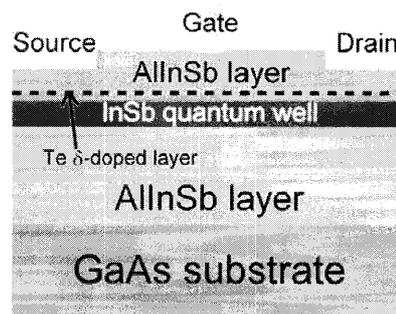


図1 GaAs上のInSb QW-FET構造

我々はこれまでに、Si基板上のInやSb吸着による表面再構成構造とInSbのヘテロエピタキシャル成長の関係に注目し、堆積の極初期段階の表面再構成構造がその後のInSbのヘテロエピタキシャル成長に大きな影響を及ぼすことを明らかにしてきた。特に、ある条件の下でInとSbをSi(111)基板上に1原子層(ML)程度吸着させた場合、その上に成長させたInSb薄膜はSi基板に対して30°回転することを発見した。図2のように面内で30°回転すると格子不整合が約3.3%に軽減されるため、InSb/Si界面における転位の発生が大幅に抑制され、結晶性、電気的特性の向上が期待される。これはエピタキシャル成長が困難とされるInSb/Si系において、

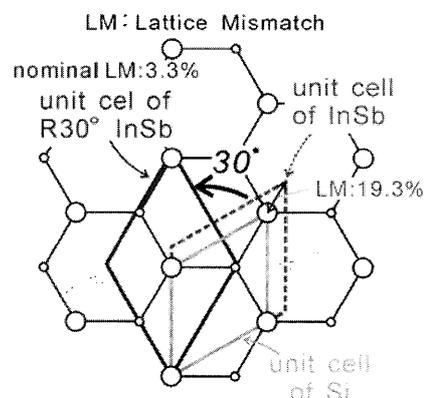


図2 格子不整合緩和の模式図

高品質の薄膜を得るための非常に重要な発見である。本研究は、この表面再構成制御成長法を用いて高品質なInSb量子井戸構造をSi上に形成し、それを高速トランジスタに応用しようとするものである。

(2) 研究成果

表面再構成制御成長法では、Si(111)基板上へ1ML程度のIn及びSb原子を吸着させることによりInSb単分子層を形成し、その上にInSb薄膜を2段階成長法を用いて成長する。図3に示すように、InSb単分子層を形成する際、In原子とSb原子との置換反応が起こり、In原子の下にSb原子が潜り込んで、Si-Sb-Inという積層順となる。この時、いくらかのIn原子が基板表面から脱離してしまうため、2x1-Sb表面再構成が形成される。この2x1-Sb再構成構造上ではInSb

薄膜が Si 基板に対して 30° 回転しないため、結晶性の悪い InSb が混在した膜しか得られない点が問題となっていた。

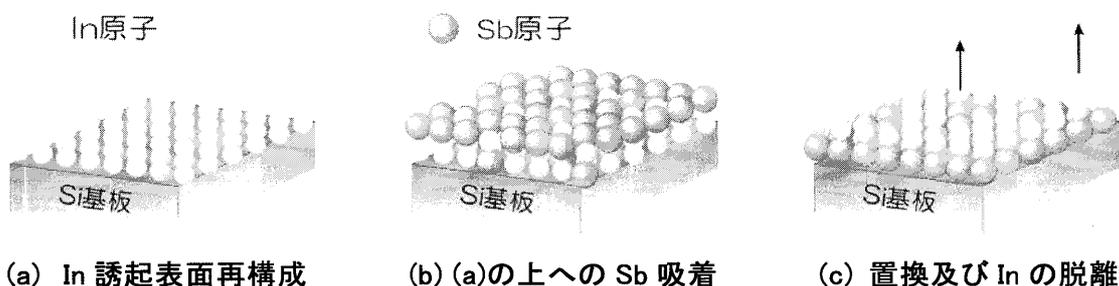


図 2 InSb 単分子層形成時における In 原子の脱離

そこで今年度は、Sb 吸着時の In 原子の脱離を考慮し、初期の In 被覆量を増加させて InSb 単分子層を形成し、その上に成長させた InSb 薄膜をこれまで作製した試料と比較した。表 1 に主な Si(111)基板上的 In 誘起表面再構成とその In 被覆量を示す。今回はこれまで使用していた 2x2-In よりも In 被覆量の多い $\sqrt{7} \times \sqrt{3}$ -In 再構成構造を使用した。この $\sqrt{7} \times \sqrt{3}$ -In 再構成構造には原子配列は異なるものの、 $\sqrt{7} \times \sqrt{3}$ の周期性を持つ 2 種類の構造が存在するが、今回はより In 被覆量の多い rectangular phase (1.2ML) を用いた。

表 1 In 誘起表面再構成とその In 被覆量

$\sqrt{3} \times \sqrt{3}$ -In	0.33ML
2x2-In	0.75ML
$\sqrt{7} \times \sqrt{3}$ -In (hex)	1.0 ML
$\sqrt{7} \times \sqrt{3}$ -In (rec)	1.2 ML

InSb 薄膜は 2 段階成長法を用いて作製した。まず、形成した InSb 単分子層からの In 原子の脱離を抑制するため、1 層目は基板温度 200°C で 300 Å の InSb 層を成長させる。その後 2 層目の成長温度 (350°C) までゆっくりと昇温して結晶化させた後、2 層目の InSb 層を成長させる。作製した InSb 薄膜の膜厚は約 1.1 μm であった。薄膜の表面性および配向性を反射型高速電子線回折 (Reflection high-energy electron diffraction : RHEED)、結晶性を X 線回折法 (X-ray diffraction : XRD)、電気的特性を van der Pauw 法を用いて評価した。

図 3 に及び InSb 薄膜蒸着後の RHEED パターンを示す。InSb 単分子層形成後のパターンでは (a)、(b) とともに 2 倍周期のストリーク及びリングパターンが観察され、2x2-InSb 再構成 (InSb 単分子層) が形成されていることが分かる。また、InSb 薄膜蒸着後のパターンにおいても同様に 2 倍周期のストリーク及びリングパターンがはっきりと観察される。このことから、蒸着後の InSb 薄膜が平坦で周期性の高い表面を持っていることが分かる。しかし、InSb 単分子層のパターンと比較すると、電子線の入射方向とストリーク間隔との関係が入れ替わっている。すなわち、InSb 単分子層形成後では、 $\langle 110 \rangle$ 方向でストリーク間隔が広く、 $\langle 211 \rangle$ 方向で狭いのに対し、InSb 薄膜蒸着後では、 $\langle 110 \rangle$ 方向でストリークの間隔が狭く、 $\langle 211 \rangle$ 方向で広がっている。これは $\langle 110 \rangle$ と $\langle 211 \rangle$ 方向のなす角が 30° であることから、InSb 単分子層上に成長させた InSb 薄膜が基板に対して 30° 回転していることを示している。

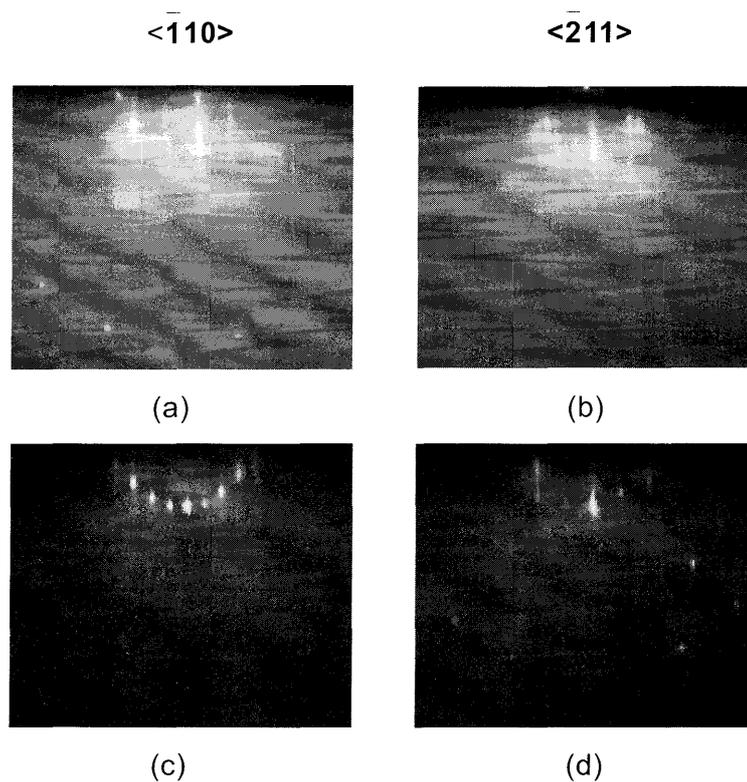


図3 RHEED パターン
(a,b) InSb 単分子層形成後、(c,d) InSb 薄膜蒸着後

図4に作製した試料の(111)反射の ϕ スキャンパターンを示す。比較のため、過去に作製した試料も結果も示した。 ϕ スキャン測定はX線回折(XRD)測定法の1つで、通常の $2\theta/\omega$ スキャンでは分からない薄膜の面内の配向性を知ることができる。(111)基板の場合、基板の法線に対して約 70.5° 傾斜した位置に別の(111)面があるので、検出器を(111)面の回折角度に固定し、基板を約 70.5° 傾けて面内で回転させながら測定する。図中の●はSi基板のピーク位置を示している。○で囲んだピークは $2\times 1\text{-Sb}$ 再構成構造上に成長した回転していないInSbからの回折ピークであり、半値幅が広く結晶性が悪いことが分かる。それに対し、Siに対して 30° 回転した結晶からのピークは半値幅が狭く、良い結晶性を持っていることを示している。また、回転していない結晶からのピークは、初期のIn被覆量が増加するにつれて小さくなり、 $\sqrt{7\times\sqrt{3}\text{-In}}$ を介して作成した

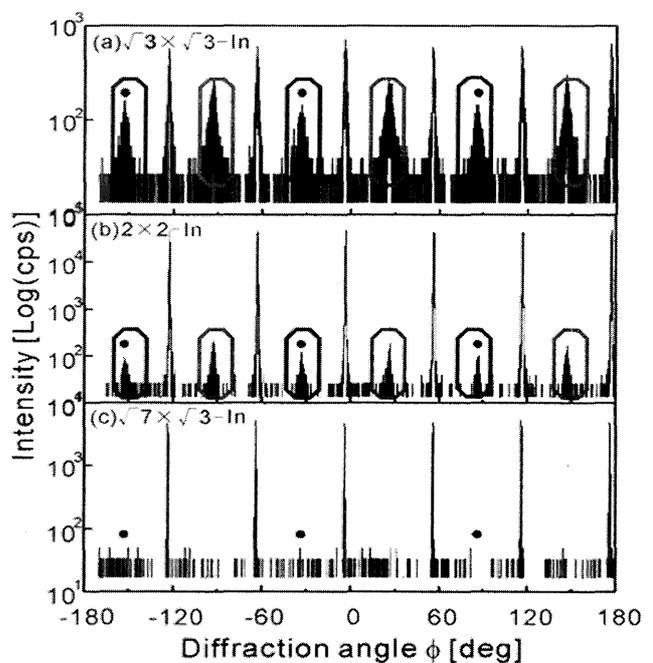


図4 (111)反射の ϕ スキャンパターン

また、回転していない結晶からのピークは、初期のIn被覆量が増加するにつれて小さくなり、 $\sqrt{7\times\sqrt{3}\text{-In}}$ を介して作成した

今回の試料では全く現れていない。この結果は、作製した InSb 薄膜が Si 基板に対して完全に 30° 回転して成長したことを示す。

Si 基板に対して 30° 回転した結晶と回転しない結晶が混在するという表面再構成制御成長法の問題点が解決されたことにより、図 5 の様なデバイス構造 (InSb 量子井戸構造) 作製に向けて一歩前進した。今後は $\sqrt{7} \times \sqrt{3}$ -In 再構成構造を介して作製した InSb 単分子層を AllInSb 層に応用し、高品質な InSb 量子井戸構造の作製と、デバイス構造作製および特性評価を行う予定である。

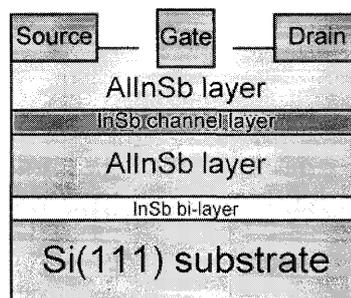


図 5 InSb QW-FET 構造

【発表論文】 7 編 (掲載決定のものを含む)

【国内学会】 3 件

【国際学会】 5 件

(3) プロジェクト成果 (特許, 起業, 技術移転等)

(4) プロジェクト成果の応用・効果・構想 (起業計画, 市場での応用・効果, 特許化構想)

現時点でこの分野で先行している Intel でさえ 2 μ m 以上の分厚いバッファ層を介して Si 基板上に InSb 量子井戸型 FET を作製している。しかし我々の研究成果は、僅か 1 分子層という非常に薄いバッファ層を介して FET 構造を作製できる可能性を持っている。しかも、そのバッファ層材料は薄膜の構成元素からなっており、バッファ層材料による薄膜汚染の問題も起こらない。デバイス特性のデモンストレーションができれば、半導体業界に大きなインパクトを与えられると考えている。

今後、InSb を用いた QW-FET 作製に対する研究過程において、この膜成長法に最適なデバイス製造法等で特許を取得できると考えている。

(5) 利用施設

極微表面解析顕微システム

高出力・高分解能 X 線回折システム (薄膜材料解析装置部: ATX-E)