

博士論文
Si(001)面上でのGeバッファ層を介した
InSb薄膜のヘテロエピタキシャル成長
に関する研究

1998年3月

富山大学大学院 工学研究科

森 雅之

博士論文

森 雅之

目次

第1章 序論	1
1.1 はじめに	1
1.2 本研究の背景	4
1.3 本研究の目的と各章の紹介	9
第2章 Si、Ge、InSbの基礎的性質	12
2.1 化合物半導体	12
2.2 InSbの性質	13
2.3 Siの性質	15
2.4 Geの性質	16
第3章 実験方法	19
3.1 実験装置	19
3.1.1 超高真空蒸着装置	19
3.1.2 分子線エピタキシー(MBE)装置	20
3.2 実験方法	24
3.2.1 実験サイクル	24
3.2.2 基板の準備	25
3.2.2.1 基板の切り出し及び洗浄	25
3.2.2.2 真空中での基板表面の清浄化	28
3.2.3 蒸着	30
3.3 試料の評価方法	31
3.3.1 表面形態	31
3.3.1.1 反射型高速電子線回折(RHEED)	31
3.3.1.2 光学顕微鏡	31
3.3.1.3 走査型電子顕微鏡(SEM)	31
3.3.1.4 原子間力顕微鏡(AFM)	31
3.3.2 組成の評価	32
3.3.3 結晶性の評価	32
3.3.3.1 X線回折(XRD)	32
3.3.3.2 電子チャネリングパターン(ECP)	33
3.3.4 電気的特性の評価	33

3.3.5 膜厚測定	33
第4章 Si(001)基板上での直接成長InSb薄膜の作成と評価	35
4.1 1段階成長	35
4.1.1 試料の作成	35
4.1.2 表面観察および組成	36
4.1.3 X線回折	36
4.1.4 電気的特性	37
4.2 2段階成長	38
4.2.1 試料の作成	38
4.2.2 表面観察および組成	39
4.2.3 X線回折	39
4.2.4 電気的特性	40
4.3 まとめ	40
第5章 Ge(001)基板上での直接成長InSb薄膜の作成と評価	51
5.1 InSb薄膜の結晶性に対するフラックス比(Sb/In)の影響	51
5.1.1 試料の作成	51
5.1.2 表面観察および組成	52
5.1.3 X線回折	53
5.1.4 電子チャネリングパターン(ECP)	53
5.2 フラックス比4.5での成長	54
5.2.1 試料の作成	54
5.2.2 表面観察および組成	54
5.2.3 X線回折	55
5.2.4 電子チャネリングパターン(ECP)	55
5.3 まとめ	56
第6章 Ge/Si(001)基板上でのInSb薄膜の作成と評価	66
6.1 試料の作成	66
6.2 試料の評価	67
6.2.1 表面観察および組成	67
6.2.2 X線回折	67
6.2.3 電子チャネリングパターン(ECP)	68

6.2.4 電気的特性	68
6.3 まとめ	69
第7章 Geアイランドを介したSi(001)基板上でのInSb薄膜の作成と評価	77
7.1 Si基板上でのGeアイランドの形成	77
7.2 Geバッファ層厚依存性	79
7.2.1 試料の作成	79
7.2.2 表面観察および組成比	80
7.2.3 X線回折	81
7.2.4 電気的特性	83
7.3 まとめ	84
第8章 InSb/Ge(100ML)/Si(001)構造の結晶性に対する基板温度の効果	108
8.1 1段階成長	108
8.1.1 試料の作成	108
8.1.2 表面観察	109
8.1.3 X線回折	110
8.1.4 電気的特性	111
8.2 2段階成長	112
8.2.1 試料の作成	112
8.2.2 第1層目の評価	113
8.2.2.1 表面観察	113
8.2.2.2 X線回折	113
8.2.3 第2層目の評価	113
8.2.3.1 表面観察	113
8.2.3.2 X線回折	114
8.3 まとめ	116
第9章 結論	134
付録	136
A.1 分子線エピタキシー(MBE)	136
A.1.1 はじめに	136
A.1.2 薄膜の成長機構	138

A.2 原子間力顕微鏡(AFM)	140
A.2.1 はじめに	140
A.2.2 AFMの原理	140
A.2.3 AFMの動作	142
A.3 電子チャネリングパターン(ECP)	143
A.3.1 はじめに	143
A.3.2 ECPの原理	143
A.3.3 装置	145
A.3.4 パターンの解析	146
A.4 基板洗浄をする上での注意点	148
A.4.1 装置面で注意すること	148
A.4.2 基板を扱う人間に関して	148
A.4.3 本研究で使用した薬品とその性質	149
A.4.3.1 硫酸(H_2SO_4)	149
A.4.3.2 過酸化水素水(H_2O_2)	149
A.4.3.3 硝酸(HNO_3)	149
A.4.3.4 弗化水素酸(HF)	150
A.4.3.5 塩酸(HCl)	150
謝辞	152
研究業績一覧	153

第1章 序論

1.1 はじめに

1997年7月5日(日本時間)、アメリカのNASAが打ち上げた火星探査機「マーズ・パスファインダー」が、7ヶ月にわたる旅を終えて火星に着陸した。着陸後、ランダー(着陸船)から数多くの鮮明な画像が地球に送られてきている。NASAが公開したパスファインダーに関するホームページには、公開後わずか3週間で4億回を超えるアクセスがあり、人々の関心の高さを物語っている。このマーズ・パスファインダー計画の成功によって、「バイキング」以来21年ぶりに、人類が火星の赤い大地を目にしたことになるが、この成功が半導体によるところが大きいことを忘れてはいけない。実際にランダーや探査車(ソジャーナー)には、class S(Space)、class M(Military)と呼ばれる高品質、高信頼性の半導体デバイスが数多く使用されている。宇宙空間では、放射線が絶えず降り注ぎ、現代の最先端の科学技術を使用しても、一瞬にしてその努力が無に帰してしまう。このような過酷な環境下でも確実に動作するほどの信頼性と耐久性をデバイスに要求される。そういった点において化合物半導体デバイスは、低消費電力性にすぐれ、また放射線耐量がSiと比較して1-2桁以上優れており、通常 5×10^7 rad程度まで特性劣化がなく、衛星用や軍用のICなどに適している[1]。GaAs ICの商品化はアメリカが進んでおり、アメリカの市場の広さを反映している。主な適用分野は1)政府、軍用、2)通信、3)コンピュータ、4)計測器である。

インターネットの普及、高度利用とともに、マルチメディア関連の機器、システムの研究開発が活発に展開されつつある。当然のごとく、これらを支えるフォトニクス、エレクトロニクス、エネルギー、環境などの関連材料の研究開発も、半導体、有機・高分子化合物、生体関連物質、無機化合物、金属など多様な物質群を対象として、活発に展開されている[2]。このように、新しい機能を持った材料の開発は、科学技術の進展に大きく寄与することになる。材料を微視的、原子論的に研究し、新機能性材料を人工的に設計、創出することが要請されており、このような

新素材の開発が産業革命の引き金となることは、これまでの歴史をたどることで自ずと明らかとなる。その中でも半導体は常に材料開発の先導的立場を演じてきた。

半導体の分野においては、1948年のShockley、Bardeen、Brattainによる点接触型のトランジスタの発明以来、ゲルマニウム(Ge)の時代を経て、シリコン(Si)が広く電子デバイス材料として用いられ、今日のエレクトロニクスを代表する大規模集積回路(LSI)もSi基板上に作成されている。Siは極めて安定な物質で、完全結晶技術や精密加工技術が確立されている。さらにSiがLSI用の材料として優れているのは、表面を安定化するSi酸化膜が存在することに負うところが大きい。このため、GeやSiを中心としたIV族元素半導体においては、最も多くの研究がなされ、最も深い知識が得られている。

言うに及ばず、従来の集積回路はSiを基板として作られている。シリコンデバイス、なかでもMOS LSIは20年以上にわたり驚異的な発展を遂げ、今日の社会に不可欠な基盤デバイスとなっている。LSIの出現は1970年代初期の1Kbitのメモリーや4bitのマイコンにさかのぼるが、現在は集積度(メモリの容量)で数万倍以上、演算能力で数千倍以上のものが市場にでてきている[3]。これらのデバイスは、集積度の向上、素子寸法の微細化により、デバイスの高速化、高信頼性化、高性能化が図られてきた。この間、高集積化に付随したチップサイズの拡大およびコストの増加には、ウェハーの大口径化によって対抗してきた。半導体メモリーに関して言えば、今後、現在主力の64MB-DRAMから次期主力の128MB-DRAMへの2倍に増加することを除けば、これまでは1世代で記憶容量が4倍、3年で1世代進むといったペースで開発が進められてきている。しかし、すでに材料が持つ性質そのものによって制限されてしまうところまで開発が進められており、最近ではそのような微細化によるデバイスの性能向上も飽和の傾向にある。微細化の限界以外にも、メモリーデバイスとしてのDRAMの限界、システムと切り離れたデバイス開発の限界、2値論理の限界、電子だけによる情報プロセッシングの限界など、DRAMを中心とする技術パラダイムも今日いくつかの限界に直面している。そのため、一層の高性能化を目指して、新しい半導体材料開発に目が向けられ、Siの可能性を超えるような高度な特性を持ったデバイスが要求されている。しかし、Siを使用したデバイスの研究は現在も進められており、電子の粒子としての性質を利用したこれまでのデバイスから、電子の波としての性質を利用した新しい量子デバイスの研究・開発が進められている。またクーロンブロックードと呼ばれる現象を利用した単一電子トランジスタや単一電子メモリーなどの素子がすでに試作段階で実現しており、21世紀のエレクトロニクスを支える中心的なデバイスの基礎として期待されている[4]。Siでは実現不可能なこと、困難なことは多くあり、そのために素子製作用材料として、GaAsに代表されるIII-V族化合物半導体の重要性が大きくなっている。つまり新しい半導体材料の開発に目が向けられるようになってきている。このような背景から、半導体新材料開発は、Siから化合物半導体、さらには混晶半導体へと移行しつつある。

化合物半導体の研究は、Welkerの最初の論文(1952年)に始まるとされている。彼は、InSb、GaAsなどのIII-V族化合物が半導体的性質を示すことを発見し、移動度がSiよりも大きいことな

などを指摘している。III-V族化合物半導体の特徴は、Siと比較して高い電子移動度と高い発光効率を持っているという点である。またIII-V族化合物半導体はエネルギーバンド構造が直接遷移型のものが多いという特徴も持っている。この特徴を極限まで生かすために、ヘテロ接合が利用されている。その結果、光デバイス関連では、化合物半導体特有の物性である直接遷移型バンド構造を利用した高性能な発光ダイオード、レーザーダイオードや受光素子が実用化され、光通信方式を支えている。レーザーなどの光デバイスや超高周波素子などに関しては、Siは間接バンドギャップであることや、移動度の点で本質的な限界があるために、現在この分野では化合物半導体に委ねられている。しかし、デジタルデバイスの分野では、Siでの既存の技術、製品として産業の米と言われるまでに成長、成熟している分野であるため、絶えずSiと比較されながら研究されてきた。化合物半導体は、地球上に存在する量が炭素に次いで2番目に多く安価で手に入り、機械的に強いSiとは異なり、単結晶生成の困難さや結晶の脆さのために、ウェハーへの加工が難しく、コストがかかること、あるいはSi酸化膜のように、優れた絶縁皮膜が簡単にできないことなどの難点がある。しかし、Siの持つ欠点を化合物半導体を用いて補うことができれば、半導体素子の応用の幅がさらに広がるものと考えられる。そのため、Si基板上への化合物半導体薄膜の研究が進められている。

上述したように、Si基板はGaAsやInP基板といった化合物半導体基板に比べ、安価で機械強度にすぐれ、かつ大きな熱伝導率を有する利点がある。Si基板上に光学的特性や高速性に優れる化合物半導体を成長できれば、オプトエレクトロニクスIC(OEIC)などの機能素子や安価な化合物半導体集積回路の作製が可能となる。このような期待からSi基板上にGaAsなどのIII-V族化合物半導体をエピタキシャル成長させる技術の研究が活発に行われ、格子定数が大きく異なるヘテロ結晶の成長機構の解明や転位密度の低減方法についての多くの見地が蓄積されてきた。近年の研究では、格子不整合をによる転位の発生を克服するために、熱サイクルや歪超格子の導入やエピSi基板の使用、熱不整合への対策として、成長温度からの冷却速度に依存する転位密度を、冷却速度を遅くすることにより、転位発生を抑制することができることが報告されている[5]。素子への応用に関しても、レーザー、LEDなどの光素子および、電子素子について多くの報告がなされている。

マルチメディア情報ネットワークなど、将来の情報通信社会基盤を構築するため、オプトエレクトロニクスの重要性が増しつつある。この分野では、1995年度の総売上げが4兆3千億円に達する見込みで、中でも半導体レーザーが750億円、伸び率37%と好調である。さらに、青色、緑色レーザーなどの新しい材料・デバイスの開拓、量子極微構造による新機能の創世といった具合に、21世紀に向けて多くのハードウェアの芽が出始めた。一方情報インフラストラクチャーの整備もその方向付けが徐々に進み、大容量通信では数10Gbits/s以上の高速化、2Tbits/s以上にも及ぶ波長多重、光非線形伝送などの技術の進歩がめざましい。ネットワークを光技術で構築すべく、大量生産、低価格化の波が押し寄せている。これからはモジュール化、集積化が鍵となるだろう。他方、コンピュータへの光技術導入も急ピッチで進んでいる。主なものは、機器間を光でつなぐ

インターコネクションで、一本あるいは複数のファイバーで接続する。さらに、ボード間、チップ間の連絡も考えられる。電気信号を送ると金属配線の電気抵抗と容量が原因の伝送時間の遅れが必ず生じる。これまでは無視できたり影響を少なくする工夫でしのいできたが、半導体の処理速度が速くなった結果無視できない高性能化へのあい路となってきた。信号を光で伝送すれば時間遅れは生じない。光インターコネクションでは電気信号を半導体レーザーで光に変換、光ファイバーを介して送り、フォトダイオードで電気信号に戻す。これはいわば、長距離で実用化済みの光通信技術の短距離版である。画像情報などの大量の情報を瞬時に伝送/処理するためには、Gbits/s以上の転送レートが必要であるため、光源には半導体レーザーが必須であり、面発光レーザーが低価格になる可能性を秘めていることから実用化が始まった。1996年より、面発光レーザーの低しきい値化技術の発展が著しく、GaAs系では約10マイクロアンペア、長波長帯はより困難とされていたが、1ミリアンペアを切るデータが出始めた。このように、低消費電力の半導体レーザーでは、全波長領域にわたって面発光レーザーに匹敵するものはなくなってきた。このように、空間的に並列に情報を送る超並列光伝送システム、複数のコンピュータやLSIチップ間を結ぶ並列光インターコネクション、さらには光並列情報処理システムなど、いわば、超並列光エレクトロニクスの実現が強く望まれ、また発展が期待されている[6][7]。

1.2 本研究の背景

高度情報化社会の到来によって、種々の情報機器・映像機器が登場しているが、これらの機器のキーデバイスとなる超LSIや平面ディスプレイ、磁気メモリ、光ディスク等を支えているのが薄膜形成技術であり、従って薄膜形成技術が時代を支えていると言い換えても過言ではない。さまざまな薄膜形成技術が、それぞれの目的や条件に応じて使用されている。今日では、半導体デバイスはますます高度なものとなり、そのデバイスを作製するためにはますます薄く、より平坦性の良い単結晶薄膜形成技術の開発が必要となってくる。このような必要性のため、現在の薄膜形成技術は、化学気相成長(CVD)法や分子線エピタキシャル成長(MBE)法が主流となっている。CVD法は、ガスとして供給される薄膜の構成材料に対して、熱・光・電磁波等のエネルギーを加えてガス分子の励起や分解を行い、分解・反応・中間生成物を形成し、基板表面での反応(吸着・反応・分解)を経て薄膜を堆積する方法である。MBE法は、 10^{-10} Torr以下の超高真空中に基板を置き、堆積したい物質を別々のるつぼ状の容器に入れて加熱し、蒸発昇華により気相として基板上に供給し、結晶成長を行う方法である。いずれの方法も、1960-70年代に研究が盛んに行われ、80年代に入って一気に発展した薄膜形成技術である。

分子線エピタキシーは、極めて精密に結晶を積み上げることが可能なため、任意の複雑な層構造を持った結晶を正確に作るができる。この精密な制御性のために、単原子層の厚さの制御性と大面積にわたる一様性を必要とされる、化合物半導体を用いた半導体レーザー等の光デバイ

スや電子デバイスの作製に広く応用され、必要な特性を極めて再現性よく得ることが可能になった。薄膜形成技術は、超LSIの製造工程の中でも最も重要な部分を占めている。高集積、高機能な製品を開発するためには良質な薄膜を作ることが欠かせない。

MBEを用いた半導体材料の開発において、その初期から最も良く研究されてきたのがⅢ-V族化合物である。Ⅲ族元素としてAl、Ga、In、V族元素としてN、P、As、Sbが主に用いられてきた。Ⅲ-V族化合物半導体は超高速デバイス用の材料として期待されており、GaAsやInPなどの他にも多く存在するが、その中でもGaAsが最有力候補である。従来GeやSi等Ⅳ族の元素半導体が用いられていたのに対して、GaAsは自然界には存在しない物質を、人工的に作って実用化した初めての半導体である。また、結晶技術やプロセス技術が他の材料よりも進んでいる。超高速を実現するためのデバイス構造には、従来から知られていたものを改良したものとして、GaAsFETに超格子を導入した高電子移動度トランジスタ(HEMT、TEGFET)、ヘテロ接合バイポーラトランジスタ(HBT)、ホットエレクトロントランジスタなどがある。また、従来にはない全く新しい高速デバイスとして期待されているものに共鳴トンネル効果を利用したものや速度変調トランジスタなどがある。このように、Ⅲ-V族系MBEは、実験室規模にとどまらず、低雑音HEMTあるいは可視光レーザー等のエピウエハー製造技術として成功を収めるなど、成熟したエピタキシャル結晶成長法としての地位を築いている。

先に述べたように、こうした特徴を持つ化合物半導体とSiLSIの特徴を兼ねあわせたLSIを同一基板上に作る事ができれば、デバイスの応用範囲が一段と広がることになる。しかし、物質を異なる基板上に単結晶成長させるヘテロエピタキシーにおいては、格子定数と熱膨張係数が一致しているか、その差が極めて小さいことが必要な条件と言える。格子定数差に関しては、以前からその差が約15%以内であることが必要であると考えられている。中にはTiN/Siのように、約28%もの格子不整合が存在するにもかかわらず、TiNが4格子に対してSiが3格子で対応し、約4%の不整合としてエピタキシャル成長する長周期バッファ層という例も報告されている[8][9]。ヘテロエピタキシーの難しさは、特に格子不整合をいかに緩和するかにある。化合物半導体とSiには、ほとんどの場合大きな格子不整合が存在し、また熱膨張係数が異なるため、欠陥のない良質な単結晶薄膜を成長させることは困難である。薄膜をバルクの結晶基板上に成長させる時には、わずか1%の格子定数の違いによっても問題が生じてしまう。これは格子定数の違いによって界面に欠陥が生じ、この欠陥によって作られた準位によって電子の振る舞いが大きく乱されるためである。現在GaAsを用いたデバイスでは、バルクのGaAs基板上に、GaAs薄膜を成長させて任意の構造を作製している。このためSi基板上に高品質の化合物半導体を成長させる技術を開発する必要があるが、欠陥の密度をできる限り軽減するために、Siと化合物半導体薄膜との間に、中間緩衝層としてそれぞれの物質の中間の格子定数を持った物質を挟み込むことが考えられている。

本研究のテーマであるInSbにおいても、Siとの間の格子定数差が約19.3%と大きく、ヘテロエピタキシャル成長させるのが困難な物質の一つである。InSbというと、1992年に宇宙飛行士の

毛利衛さんが、科学者としてスペースシャトル・エンデバー内で数多くの宇宙実験を行ったが、その中の化合物半導体単結晶の引き上げ実験で使用されたのが記憶に新しい。InSbは室温の電子移動度が約 $75000\text{cm}^2/\text{Vs}$ と非常に高く、また狭いバンドギャップ(約 0.17eV)を持っている。このため、この優れた特性を利用することで、磁電変換素子や赤外線検出器としての応用が期待される。また、Si基板上に薄膜を作成できれば、素子自体を独立した機構で作らずともよいので、集積回路化することができ、さらに磁電変換素子はその厚さが薄いほど高感度になるという利点がある。この目的のために、Si基板上にInSb薄膜を成長させる試みが行われている。これまでに、多くの研究者が格子不整合を緩和するために、GaAs、InP、AlSb、BaF₂、CaFなどの化合物層を中間層として用い、またさまざまな蒸着方法を用いてヘテロエピタキシャル成長させようと研究を進めている。特に多く用いられているのがIII-V族化合物半導体である。中にはバルク基板上に異なった角度で中間層をボンドさせることによって、欠陥密度の小さな薄膜を成長させる研究も行われている。しかし、Si上のGaAs(~4%の不整合)やCdTe(~19%の不整合)の成長についての研究に比べると、Si上のInSb薄膜のヘテロエピタキシャル成長に関しては、ほとんど報告されていない。

Liらは、GaAsやSiに対して広い成長ウィンドウを持つAlSbをバッファー層として用い、MBE法を用いて300nmのAlSbバッファー層高品質のInSb薄膜を成長させることができることを報告した[10]。AlSbはGaAsと同様にバンドギャップが大きい半絶縁性を示し、SiやGaAsとInSbとの格子不整合を約5.6%に軽減できる。

Raoら[11]は、Si(001)基板上に $2\mu\text{m}$ のMBE成長させたGaAsバッファー層を成長させ、その上にマグネトロンスパッタリング法を用いてInSb薄膜を成長させた。Chyiら[12]もまた、Si(001)基板上のInSbのMBE成長に対してGaAsをバッファー層に用いた。その結果、バッファー層がない場合よりも、電子移動度が向上することを発見した。

最近ではまず低温で1層目を蒸着し、その上に2層目として高温でInSbを蒸着する、2段階成長法が多くの研究者に利用されている。この方法を用いることによって、高温においても表面性が維持され、また結晶性の良い薄膜が得られるようになる。この方法を用いた中で、ユニークな方法を使用しているのが、Thompsonら[13]の原子層エピタキシー(ALE)成長させたInSb層をバッファー層として使用して、GaAs基板上にMBE成長させるというものである。彼らは、1層目として85原子層(約 280\AA)のInSb低温ALE成長層を蒸着することで、2層目の $5\mu\text{m}$ -InSb薄膜内部の転位が減少し、電子移動度が非常に高いInSb薄膜を得た。ALEは従来の成長法が種々の成長パラメータを超精密に制御し、成長時間により成長膜厚を制御するのに対して、この方法によれば、原料供給の回数のみで成長膜厚が1分子層を単位として保証される。しかし、シャッターの開閉を正確に制御する必要があり、非常に多くのシャッターの開閉を行われ、成長レートが非常に遅いという欠点がある。実際に、彼らが用いた85原子層のInSb層を成長させる時の成長レートは $0.05\mu\text{m}/\text{h}$ であった。

BaF₂やCaF₂などの弗化物層を用いた、Si(001)基板上へのInSb薄膜のMBE成長もLiuら[14]に

よって報告されている。弗化物層はSiよりも非常に大きな熱膨張係数を持っているため、成長後に室温まで冷やした弗化物薄膜にはcrackが存在せず、熱不整合問題を最小限にすることができる。また格子定数もBaF₂やCaF₂とグレーデッド層を挿入することで減少させることができる。また、格子不整合や熱膨張係数の問題の他にも、CaF₂が極性を持っているため、アンチフェーズドメイン(APD)の問題の解決が期待されている。このAPDは無極性半導体上の有極性半導体の成長において問題となり、格子定数の違いや熱膨張係数の違いと並んでヘテロエピタキシャル成長における問題点の一つである。

SiやGaAs以外の基板の上にInSb薄膜を成長させた報告もある。Okimuraら[15]は雲母基板の上に基板温度と蒸着源の温度を徐々に上げながらInSbを成長させると、ある時点から膜が再結晶化が樹枝状に広がり、非常に結晶性の良い得られたことを報告している。この再結晶化には化学量論的組成からのずれが関係していると考えられる。InSbの相図を図1.1[16]に示す。これを見ても、化学量論的組成からInリッチの方向にずれると、結晶の融点が下がり、また、Sbリッ

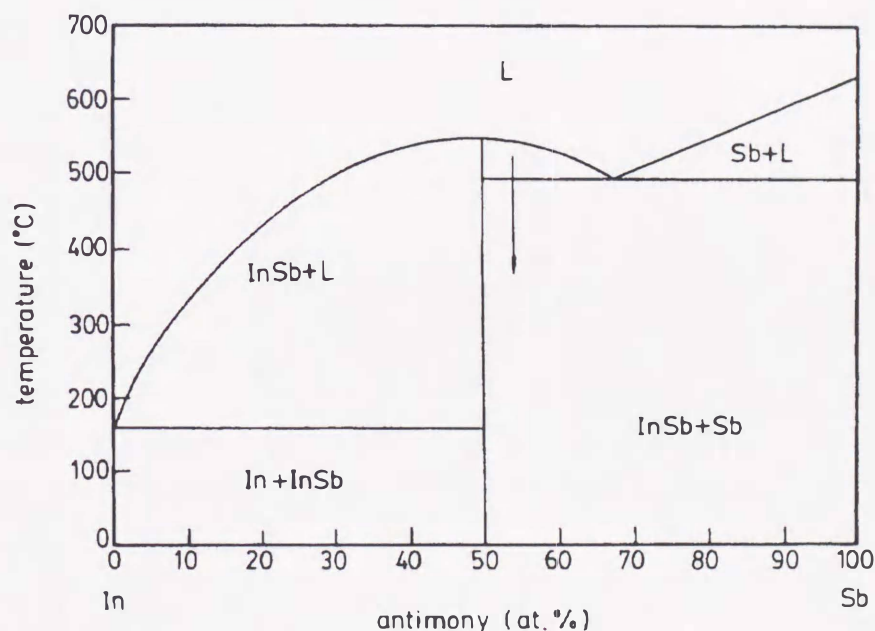


図1.1 InSbの温度-組成相図[16]

チの方向にずれた場合でもSbの割合が70%程度までは融点が下がることが分かる。Sbは蒸気圧が高いため、基板温度が高くなるにつれてSbの再蒸発が活発になり、膜の組成がInリッチとなり融点が下がり再結晶化が始まったと思われる。

バッファ層そのものにlattice engineeringというユニークな考えを取り入れたグループがいる。これはEjeckamら[17][18]によって提案されたものであるが、彼らはtwist wafer bondingと呼ばれる方法で、清浄なGaAs基板上に10~45°の角度をなすように、30~100Å程度の非常に薄いGaAsバッファ層をボンディングすることで、その上に成長させるInSb層内の転位密度が大幅

に減少することを報告している。twist bondingされたバッファ層が、何故大きな格子不整合を緩和することができるのかは、彼らにも分からないらしいが、転位密度を大幅に減少させることができ、InSb以外の物質に対しても適用できる技術である。現時点ではSi基板に対してこの技術を応用できないらしいが、もし、Si基板に対して実現可能となれば、20%以上の格子不整合を持った材料間でのエピタキシャル成長に道が開けると考えられる。

1.3 本研究の目的と各章の紹介

Ⅲ-V族化合物半導体の1つであるInSbは、Siとの間の格子不整合が約19.3%と非常に大きく、ヘテロエピタキシーが難しい系の一つである。このため、多くの研究グループが、この大きな格子不整合を緩和するために、SiとInSbの中間の格子定数を持った物質をバッファー層として挿入することを試みている。本研究では、InSbとの格子不整合が約14.5%であるGe層を用いてSi(001)基板上に、高品質なInSb薄膜をヘテロエピタキシャル成長させることを目的として研究を行った。

・第2章 Si、Ge、InSbの基礎的性質

本章では、本研究に使用される半導体であるSi、GeそしてInSbの結晶構造、電気的特性などの基礎的な物性について述べる。

・第3章 実験方法

本章では、実際に本研究で使用した装置を紹介し、基板の準備、基板洗浄、各基板の清浄面、蒸着方法などの試料作成の手順と、作成した試料の表面形態、結晶性、組成、電気的特性、そして膜厚測定などの各種評価方法について述べる。

・第4章 Si(001)基板上での直接成長InSb薄膜の作成と評価

本章では、Si(001)基板上に直接InSb薄膜を成長し、評価した。一定の温度で蒸着する1段階成長法で作成した試料は、低温で成長させると平坦であるが、基板温度を上げると凝集してしまった。表面性の良い膜を高温で作成するため、先ず低温で表面性の良い膜を蒸着し、その上に高温で蒸着を行う2段階成長法を用いることで、結晶性、表面性の良い膜が成長し、電気的特性も向上した。しかし、いずれの試料も膜は多結晶であった。また、Si(001)基板上のInSbは $\langle 111 \rangle$ 方向に配向しやすい傾向が見られた。

・第5章 Ge(001)基板上での直接成長InSb薄膜の作成と評価

本章では、Ge(001)基板上にバッファー層を用いずに、直接InSb薄膜を成長し、評価した。InSb薄膜はGe(001)基板上で、完全に $\langle 001 \rangle$ 配向し、ヘテロエピタキシャル成長する。また、多少成長条件を変えても、ヘテロエピタキシーの度合いは変化せず、GeがInSbに対して非常に広い成長ウィンドウを持っていることが分かった。またInSb薄膜の表面性は、フラックス比そして組成比に大きく影響を受け、Sbリッチの膜は非常に表面性が良い。しかし、結晶性はこれとは逆で、むしろInリッチの方が結晶性、配向性の良い膜が得られた。膜の表面性と結晶性、配向性は必ずしも一致しないことも分かった。

・第6章 Ge/Si(001)基板上でのInSb薄膜の作成と評価

本章では、Ge(001)基板上での結果を踏まえて、Ge層を4000Å蒸着したGe/Si(001)基板上にInSb薄膜を成長し、評価した。Ge層を4000Å蒸着することで、Ge(001)基板と同様の表面が得られる。InSb薄膜はGe基板上と同様にヘテロエピタキシャル成長したが、この場合もInリッチの膜の方が結晶性が良くなった。Ge層上のInSb薄膜は回転せずに、Si(001)基板の面方位に沿って成長していることも分かった。しかし、完全にヘテロエピタキシャル成長しているにもかかわらず、移動度は小さく、低抵抗のGe層の影響を受けていると考えられる。

・第7章 Geアイランドを介したSi(001)基板上でのInSb薄膜の作成と評価

本章では、Si(001)基板上に10~1000ML(monolayer)の薄いGe層を蒸着し、その上にInSb薄膜を成長し、InSb薄膜のヘテロエピタキシーの度合いに関する、Geバッファー層の効果について評価した。250°CでInSb薄膜を成長させた場合、Geの膜厚が増加するにつれて、多結晶ピークが小さくなり、ヘテロエピタキシーの度合い(全てのInSbピークの強度の総和に対するInSb(004)ピークの強度比)が増加した。これは、Geの層厚の増加に伴って、Geアイランドの面積密度が増加し、このアイランドを核としてInSbが成長したためである。Geアイランドとヘテロエピタキシーの度合いの結果から、アイランドを核としたエピタキシャル成長が横方向にも進んでいることが分かった。また、Ge層を100ML程度蒸着することで、バッファー層としての効果を十分に得ることができることが分かった。

・第8章 InSb/Ge(100ML)/Si(001)構造のInSb結晶性に対する基板温度の効果

本章では、Geバッファー層の厚さを100MLに固定して、2段階成長法を用いてInSb薄膜を成長し、InSb薄膜の結晶性に対する基板温度の効果について評価した。2段階成長法を用いて400°Cで作成した試料は、非常に結晶性が良く、ヘテロエピタキシーの度合いもほぼ100%となり、Si(001)基板上に100MLのGe層を介して、表面性と結晶性に優れたInSb薄膜をヘテロエピタキシャル成長させることができた。

・第9章 結論

本研究で得られた結果を総括し、今後の展望について述べる。

・付録

本章では、本研究で使用した分子線エピタキシー(MBE)、原子間力顕微鏡(AFM)、電子チャネリングパターンの各測定法の概要と本研究で使用した薬品の性質や取り扱いについて述べる。

【参考文献】

- [1] 菅野卓雄監修、大森正道編、超高速化合物半導体デバイス(培風館、1986) 343
- [2] 中西八郎 : 応用物理 66, (1997) 1039
- [3] 岩井洋、百瀬寿代 : 応用物理 64, (1995) 1074
- [4] 上羽弘 : 工学系のための量子力学(森北出版、1997) 189
- [5] 太刀川正美、森英史 : 第58回応用物理学会学術講演会公演予稿集No.1、4a-SM-1(1997年10月) 350
- [6] 伊賀健一 : 応用物理 66, (1997) 1
- [7] 伊賀健一、小山二三夫 : 第58回応用物理学学術講演会公演予稿集No.0、2p-R-4(1997年10月) 8
- [8] J. Narayan et. al. Appl. Phys. Lett. 61, (1992) 1290
- [9] W. J. Meng et al., Thin Solid Films 71, (1995) 108
- [10] J. Vac. Sci. Technol. B 11, (1993) 872
- [11] T. S. Rao, J. B. Webb, D. C. Houghton, J. M. Baribeau, T. Moore, J. P. Noad, Appl. Phys. Lett. 53(1988) 51
- [12] J. I. Chyi, D. Baswas, S. V. Iyer, N. S. Kumar, H. Morkoc, R. Bean, K. Zanio, H. Y. Lee, H. Chen, Appl. Phys. Lett. 54 (1989) 1016
- [13] P. E. Thompson, J. L. Davis, J. Waterman, R. J. Wagner, D. Gammon, D. K. Gaskill, R. Stahlbush, J. Appl. Phys. 69 (1991) 7166
- [14] W. K. Liu, J. Winesett, Weiluan Ma, Xuemei Zhang, M. B. Santos, X. M. Fang, P. J. McCann, J. Appl. Phys. 81, (1997) 1708
- [15] H. Okimura, T. Matsumae, M. Ohshita, J. Appl. Phys. 66 (1989) 4252
- [16] L. H. Chou, M. C. Kuo, J. Appl. Phys. 77, (1995) 1964
- [17] F. E. Ejeckam, Y. H. Lo, S. Subramanian, H. Q. How, B. E. Hammons, Appl. Phys. Lett. 70, (1997) 1685
- [18] F. E. Ejeckam, M. L. Seaford, Y. H. Lo, H. Q. Hou, B. E. Hammons, Appl. Phys. Lett. 71, (1997) 776

第2章 Si、Ge、InSbの 基礎的性質

2.1 化合物半導体

化合物半導体とは、2種類あるいはそれ以上の元素の組み合わせで作られる半導体であり、GaAsに代表されるⅢ-V族化合物、ZnSeに代表されるⅡ-VI族化合物、SiCに代表されるⅣ-Ⅳ族化合物などがある。化合物半導体の最大の特徴は、その物性の多様さであり、ヘテロ構造を縦横に駆使できることにある。しかしながら、世界規模で13兆円という半導体産業の中であって、化合物半導体が占めるのはそのわずか10%にも満たない。これは、材料がいかに物性的に特徴があっても、工学的、経済的に優れていなければ、実用に供されないかを如実に示している。今では化合物半導体がシリコンにとって代わると主張する人はほとんどいなくなったが、逆に化合物半導体がシリコンに駆逐されてしまうと考える人もいないだろう。なぜなら、それぞれが得意とする領分には住み分けが存在するからである。したがって、その住み分けを十分に意識することが、今後の化合物半導体の研究開発にとって重要といえる。[1]

1952年Welkerは、InSbが半導体として優れた性質を持つことを指摘した。それ以来、多くのⅢ-V族、Ⅱ-VI族化合物半導体が研究されてきた。しかし、一般にこれらの化合物半導体の結晶成長は、SiやGeと比較すると困難であった。そのため、その後のSiを用いた半導体素子の

	IIa	IIb	IIIb	IVb	Vb	VIb
4	Be		B	C	N	
12	Mg		Al	Si	P	S
30	Zn		Ga	Ge	As	Se
48	Cd		In	Sn	Sb	Te

↑ ↑
Ⅲ-V族化合物半導体

図2.1 関連部分の周期律表[2]

めざましい発展に比べて、化合物半導体を用いた素子の研究は大きく遅れてしまった。1960年代になって、GaAsやInPにおける注入発光の発見、GaAsレーザーやガン発振などの発見、さらに化合物半導体のエピタキシャル成長技術の開発がなされ、再び注目されるようになった。そして、現在では化合物半導体を用いて、Siでは実現できない発光素子や、高速素子の開発が盛んに行われている。

III-V族化合物半導体とは、図2.1に示すような周期律表のIIIb族とVb族の2つの元素の組み合わせである[2]。代表的なものにGaAs、InP、InSbがある。いずれも灰色から黒色の光沢のある固体で、すべて半導体である。Vb族元素は非常に蒸気圧が高いため、天然においてIII-V族化合物は存在しないと言われている。

多くのIII-V族化合物半導体やII-VI族化合物半導体は、図2.2に示すような閃亜鉛鉱型の結晶構造を持ち、各元素は正四面体配置をとっている。立方晶系に属するこの構造はIIIb族原子からなる面心立方格子を体対角線方向に1/4だけずらした位置にVb族原子からなる面心立方格子が位置している。構造はダイヤモンド型の格子と同じであるが、化合物なので原子は2種類存在する。分子量が増えると、原子が大きくなるため格子定数が増加し、結果的に結合エネルギーが減少する。そのため融点が下がり、バンドギャップが減少し、電子の有効質量が減少して、電子の移動度が増加する。

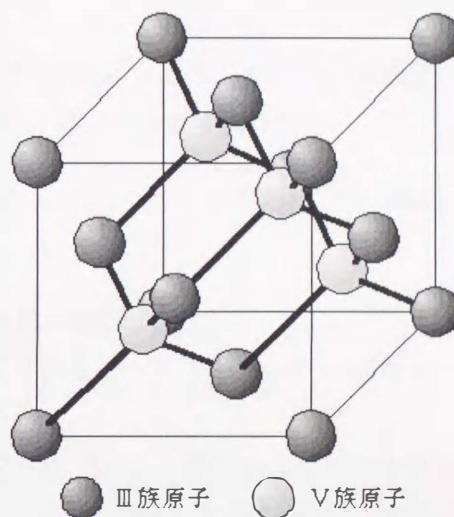


図2.2 閃亜鉛鉱型構造

III-V族化合物の一般的な性質について説明すると、まず、周期律表を縦に見て原子番号が大きくなるほど融点が下がり、絶縁物から金属に近い性質を示すことが分かる。これは原子番号が大きくなるほど、原子の閉殻による遮蔽効果が効いて、価電子と原子核の結合が弱くなり、価電子によるボンドの結合力が弱められるためである。これに対し、IV族を中心にして周期律表を横に見て対応するIII-V族、II-VI族化合物の性質を比較すると、IV族から離れるほど半導体から絶縁体に移ることを示している。これは構成原子のポテンシャルの差が大きくなるほど、バンドギャップが広がるためであることが知られている。このことからIII-V族化合物、とりわけ、GaP、GaAsなどが他の化合物半導体と比較して、最もSiやGeに近い性質を示すことが分かる。

2.2 InSbの性質

1910年に初めてInPが作製され、その後の1950年にかけて作製された多くのIII-V族化合物半

導体の一つがInSbである。InSbは結晶が作りやすいため、電子物性の研究対象としてIII-V族化合物の草分け的な役割を果たしてきた。InSbは室温における電子移動度の値が極めて大きく、バンドギャップも小さい。そのため、電子デバイスや磁電変換素子へ利用するのに重要である。結晶構造は図2.2に示した閃亜鉛鉱構造であり、エネルギー帯構造は直接遷移型である。

InSbの電子の有効質量は $0.014m_e$ (m_e は電子の質量)と非常に小さく、室温の電子移動度が約 $78000\text{cm}^2/\text{Vs}$ と極めて大きいのが特徴である。そして、その温度依存性は

$$\mu_n = 7 \times 10^8 T^{-1.6} \quad (\text{cm}^2/\text{Vs}) \quad (2.1)$$

である。

正孔の有効質量は、重い正孔が $0.47m_e$ であり、軽い正孔が $0.015m_e$ である。またその移動度は電子のものよりも2桁小さく、室温において $700\text{cm}^2/\text{Vs}$ 程度である。その温度依存性は

$$\mu_p = 1.1 \times 10^8 T^{-2.1} \quad (\text{cm}^2/\text{Vs}) \quad (2.2)$$

である。したがって、室温における電子と正孔の移動度比は約100である。

室温におけるバンドギャップは約 0.17eV である。温度が下がるとバンドギャップは増加し、 77K で約 0.23eV であり、 0K 付近では約 0.25eV となる。

n型InSbのホール係数は、低温ではほとんど温度によらず一定であり、活性化エネルギーは検出されない。これはドナー準位が伝導帯の底についているからであると思われる。純粋なInSbでは、 $120\text{-}130\text{K}$ 以下の温度では不純物伝導によるが、 150K 以上では真性伝導となる。しかし、p型InSbも低温では正孔による不純物伝導であり、ホール係数は正である。しかし、 130K 以上になるとホール係数の符号が反転する。符号反転温度は、不純物密度が大きいほど高くなる。さらに高い温度でホール係数は最大となり、それ以上の温度ではホール係数は減少して、n型のInSbの特性に近づく。

n型InSbは移動度が大きいので、電力や効率を問題とするホール素子や、磁気抵抗素子として用いられる。一方、p型InSbは磁気抵抗率が大きいので磁気抵抗素子として用いられるが、ホール素子には使用されない。

このInSbをSi基板上に成長させるとき、格子不整合や熱膨張係数の違いが問題となるが、その他に、アンチフェーズドメイン(APD)の問題がある[3]。このAPDは無極性半導体上の有極性半導体の成長において発生する。InSbの結晶は図2.2に示したようなInとSbの2種類の原子が交互に並んだ閃亜鉛鉱型の構造を持つ。一方Siは1種類の原子からなり、ダイヤモンド型の結晶構造を持つ。よって、Siの方がInSbに比べて結晶の対称性が高い。その結果、InSb結晶をSi基板上にヘテロエピタキシャル成長させる場合、結晶構造を規定するための情報が1つ不足する。す

なわち、Si(001)表面上での $\langle 110 \rangle$ 方向は、 $\langle \bar{1}10 \rangle$ 方向と等価であるのに対して、InSb(001)表面上ではそれらが等価ではなく、成長する場合にそれらを規定する必要がある。

Si(001)上にシングルステップが存在する場合には図2.3に示すように、シングルステップの両側では、Sb面とIn面の順番がずれ、その結果結晶方位の異なる2つのInSbの結晶領域が成長することが分かる。このような2つの結晶領域をアンチフェーズドメイン(APD)と呼ぶ。APDが発生するとエピタキシャル成長層は2つの結晶方位をもつ微結晶のモザイク的な構造となり、デバイスの応用上好ましくないものとなる。したがって、Si上にInSbの単結晶膜を成長させるためにはAPDの発生を押さえる必要がある。

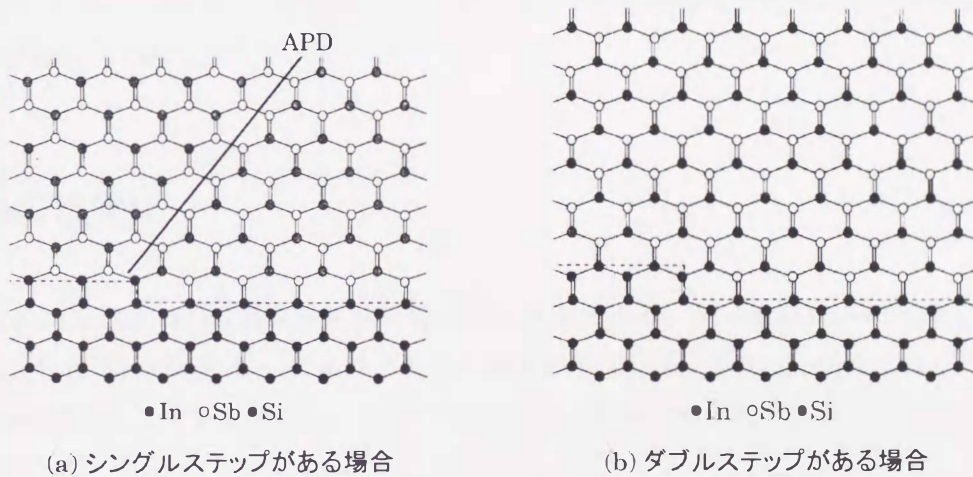


図2.3 基板界面付近の結晶格子概念図[3]

2.3 Siの性質[4]

半導体デバイス用材料として現在最も多く使用されているSiは、1824年に発見された。Siは代表的な半導体的性質を示す原子番号14の元素であり、周期律表ではIVb族に属している。結晶構造は立方晶系に属するダイヤモンド型構造である。その結晶構造を図2.4に示す。ダイヤモンド構造は図2.2に示した閃亜鉛鉱型構造を1種類の元素に置き換えたものであり、閃亜鉛鉱型構造と同様にすべての原子が4配位(再近接原子が4個)の正四面体構造をとっている。

Siは共有結合であり、原子同士が強く結ばれているため、融点は1410℃で沸点が2360℃と非常に高い。エネルギー帯構造は間接遷移型である。SiはGeと並ぶ典型的な元素半導

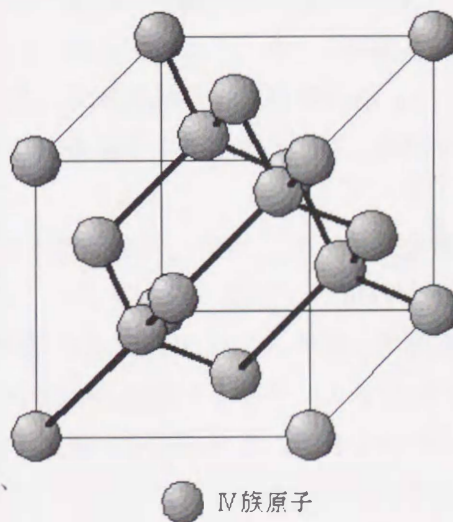


図2.4 ダイヤモンド構造

体で、エネルギーギャップは1.12eV(300K)であり、その温度依存性は[5]、

$$E_G = 1.16 \times \alpha T^2 / (T + \beta) \quad [\text{eV}] \quad (2.3)$$

で表わされる。ここで $\alpha = 7.02 \times 10^{-4}$ 、 $\beta = 1108$ である。

Siの格子定数は5.430Å(25°C)であり、InSbとの格子不整合は約19.3%と非常に大きい。電子の有効質量は0.19 m_e で、室温の電子移動度は1500cm²/Vsである。また、正孔の有効質量は0.5 m_e で、移動度は600cm²/Vs(300K)である。この電気的特性の低さがSiの欠点であるが、地球上に最も多く存在する炭素に次いで、Siは2番目に多く存在するため、また安価であることが非常に大きな利点となっている。そのため、Siは現代の半導体産業で最も重要な素材であり、さまざまな加工をした単結晶が広く利用されている。

2.4 Geの性質[4]

Geは代表的な半導体的性質を示す原子番号32の元素であり、原子量は72.59である。この物質は1886年にC.A.Winklerによって発見された。周期律表ではSiと同じくIVb族に属している。結晶構造は図2.3に示したダイヤモンド構造である。そしてGeはC、Siと同様に四面体配位の共有結合をつくっている。

Geの電子の有効質量は0.082 m_e で、電子の移動度は3900cm²/Vs(300K)である。また正孔の有効質量は0.3 m_e で、移動度は1900cm²/Vs(300K)である。エネルギー帯構造は間接遷移型で、バンドギャップは0.69eV(300K)である。また、Geの融点は937°Cで、沸点は2830°Cである。GeはSiと比較すると、融点が低いと扱いやすく、また電子移動度も高いので優れている。しかし、熱に弱いという欠点のため、使用環境によっては動作が不安定になってしまう。また、Si基板上にGeを成長させると、Ge層がp型になり、不純物密度が高いために低抵抗になる性質がある。

1948年、最初のトランジスタがGeで作成されて以来、半導体産業の主役であったが、1970年頃までにその座をSiに譲ることになる。

表2.1に本研究で使用した物質であるSi、Ge、InSbの物理定数を示す。また、III-V族化合物半導体の中で本も研究されているGaAsについても示しておく。そして、Si、GeそしてIII-V族化合物半導体の代表的なものの格子定数とバンドギャップの関係を図2.5[2]に示す。今回、本研究で使用した物質に関しては、黒丸で示した。この図から、SiとInSbの格子不整合の大きさがよく分かる。また、GeはSiとInSbの間にあり、SiとInSbの格子不整合を緩和することも分かるが、GeはSiの方によっているので、依然として格子不整合は大きいものとなっている。その他の化合物半導体を見てみると、格子定数に関してはSiとInSbの間に位置し、バンドギャップに関

してみると、InAsを除けばかなり大きいことが分かる。

物質	原子量	比誘電率	バンドギャップ [eV]	格子定数 [Å]	融点 [°C]
Si	29.09	11.8	1.12	5.43	1410
Ge	72.59	15.7	0.69	5.658	937.4
InSb	236.6	18.7	0.17	6.48	525
GaAs	144.6	13.1	1.43	5.654	1238

表2.1 本研究で対象とするSi、Ge、InSbの物理定数
GaAsも比較のために示してある。

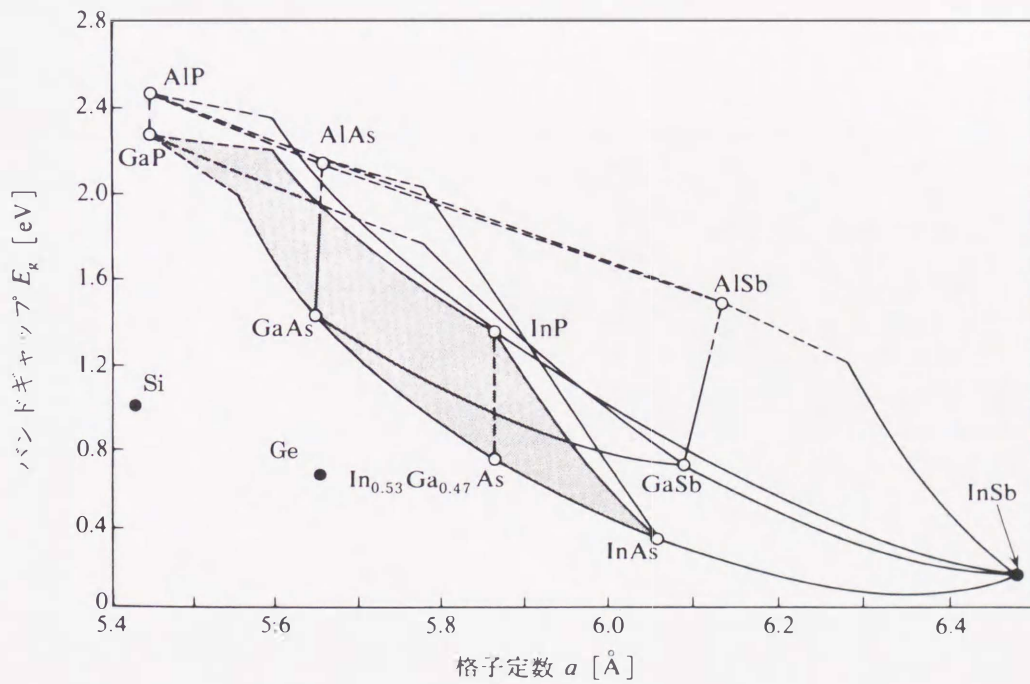


図2.5 格子定数とバンドギャップの関係[2]

[参考文献]

- [1] 1997年秋季第58回応用物理学会学術講演会公園予稿集0分冊:3p-S-9p.42
- [2] 小長井誠:半導体超格子入門(培風館、1987年)
- [3] 西永頌編著:結晶成長の基礎(培風館、1997年)
- [4] 久保亮五、長倉三郎、井口洋夫、江沢洋編集:岩波理化学辞典第4版(岩波書店、1987年)
- [5] 古川静二郎著:半導体デバイス(コロナ社、1982年)

第3章 実験方法

3.1 実験装置

3.1.1 超高真空蒸着装置

第4、5、6章の試料の作成は、超高真空蒸着装置を用いて行った。装置の排気系の模式図を図3.1に示す。このチャンバーはULVAC社製であり、到達真空度は $\sim 10^{-10}$ Torrである。メインチャ

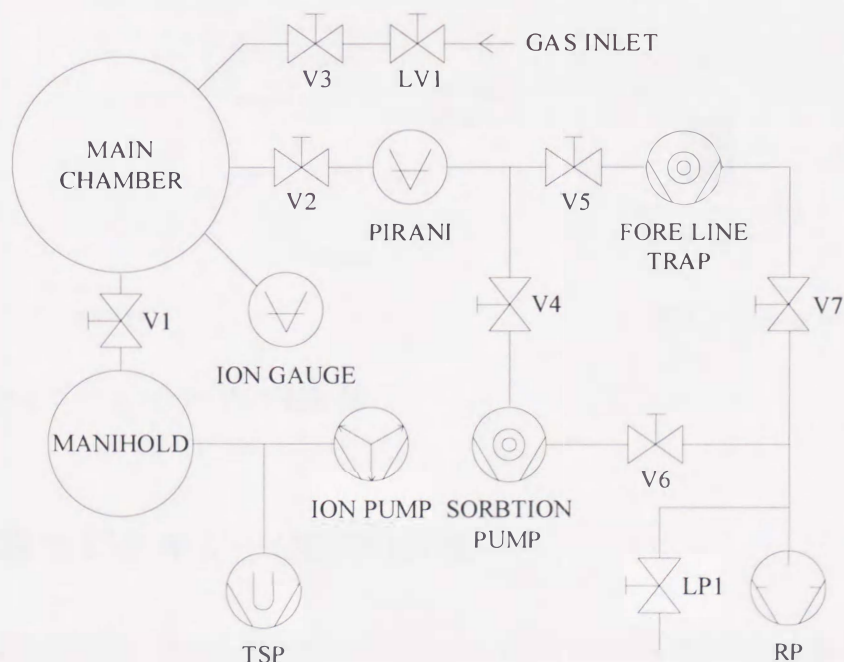


図3.1 超高真空蒸着装置の真空排気系の模式図

ンバーとマニホールド間のバルブV1を閉じることでそれぞれのチャンバーを分離でき、マニ

ホルドの真空を維持したままチャンバーの上半分のみを大気圧にすることができる。また、このチャンバーにはイオンポンプ、チタンゲッターポンプ、ソーブションポンプ、そしてロータリーポンプが取り付けられている。

また、オージェ電子分光法(AES)測定および低速電子線回折(LEED)観察を同一の装置で行うことができる阻止電場型のエネルギー分析器が測定装置として取り付けられている。

図3.2にメインチャンバーの概略図を示す。基板は図に示された位置にある試料ホルダー(図3.3)に取り付けられ、蒸着時には蒸着源の方向に向けて蒸着を行い、蒸着前後のLEEDおよびAUGER測定時には、図中のOPTICSの方向に向けて測定を行う。蒸着源はInとSbをそれぞれ別の電源で加熱し、蒸着時の蒸着源のフラックスは、それぞれ別の水晶振動子膜厚測定装置によってモニターされる。基板のアニーリング中は、図中のWindowの方向に向けて、赤外線ピロメータを使用して基板温度をモニターする。また、蒸着以外に蒸発物質が基板表面に付着するのを防ぐため、シャッターを取り付けた。図には示していないが、測定装置にもシャッターが取り付けられている。

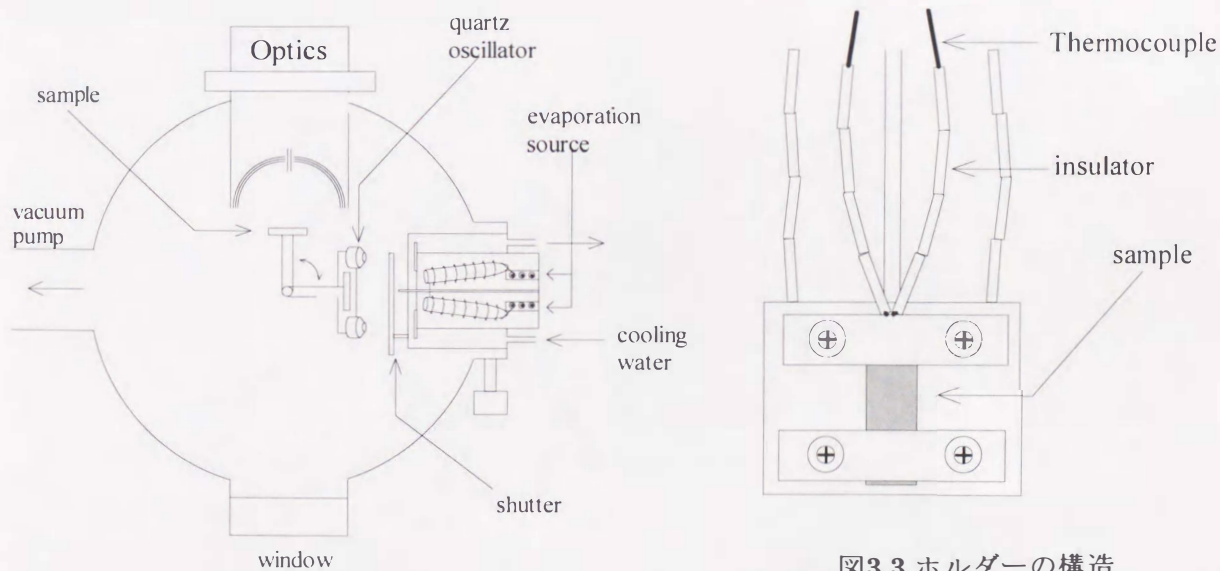


図3.3 ホルダーの構造

図3.2 メインチャンバー内の概略図

3.1.2 分子線エピタキシー(MBE)装置

第7、8章の試料作成は、富山大学地域共同研究センター内の材料表面分析装置を用いて行った。この超高真空装置は、OMICRON社製であり、到達真空度は $\sim 10^{-11}$ Torr台である。この装置の簡単な仕様を表3.1に示す。また装置の外観を図3.4に示す。

装置		備考
Si蒸着源	EFM-3	φ4ロッド
Ge蒸着源	クヌーセンセル	容量10cc
In蒸着源	クヌーセンセル	容量10cc
Sb蒸着源	クヌーセンセル	容量10cc
ポンプ	イオンポンプ、チタンポンプ	
基板加熱	通電加熱、Wヒーター加熱	
背圧	~10 ⁻¹¹ Torr	
成長時の真空	~10 ⁻⁹ Torr	
評価装置	RHEED、STM、AES、AFM、ISS	

表3.1 材料表面分析装置の仕様

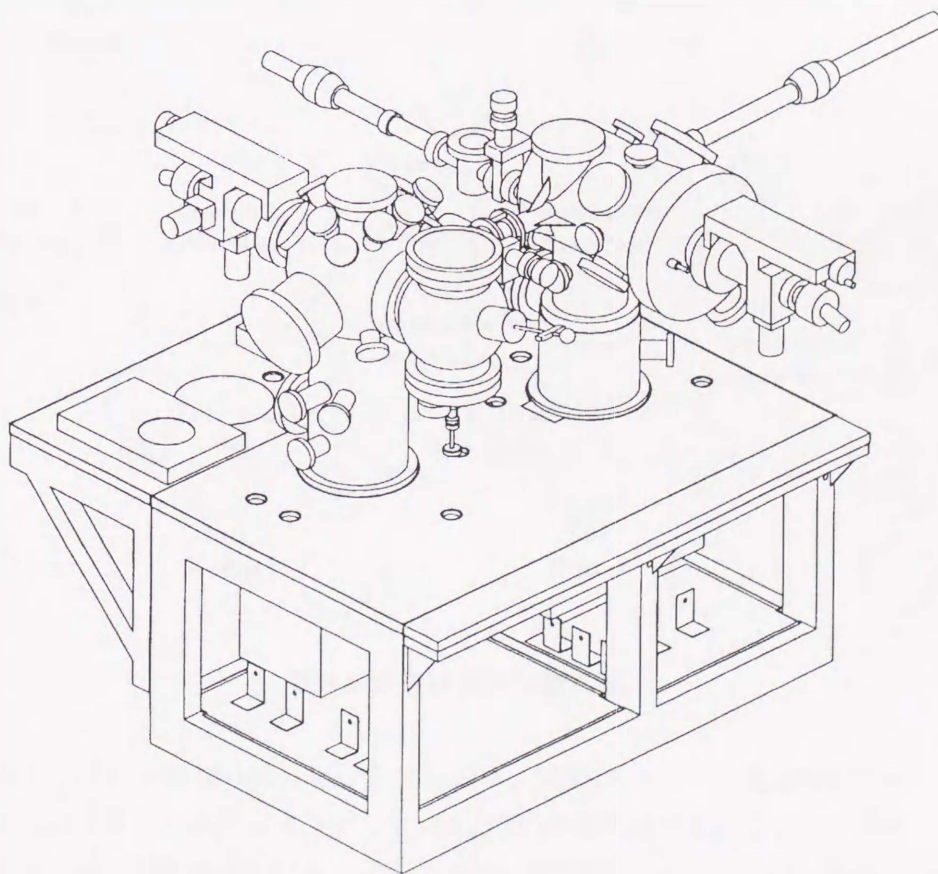


図3.4 材料表面分析装置の外観

その他、この装置には交換、分析(AES、XPS(X線光電子分光法)、ISS(イオン散乱分光法))、

STM(走査型トンネル顕微鏡)の3つのチャンバーを備えている。Siのソースは10Nの高純度Siロッドを、Ge、InそしてSbのソースには、それぞれ10N、6N、6Nの高純度Ge、In、Sbを使用している。

この装置の真空排気系の模式図を図3.5に示す。図に示すように、この装置はMBEチャンバー、分析チャンバー、そしてSTMチャンバーの3つの主要なチャンバーに分かれており、それぞれ使用目的が異なる。これらのチャンバーの他に試料導入用のLoad Lockチャンバーがある。これらのチャンバーはゲートバルブの開閉により、試料の移動が可能であり、またチャンバーを完全に分離することもできる。そのため、汚染による他のチャンバーへの影響を最小限に抑えることが可能である。STMチャンバーを除く3つのチャンバーには、ターボポンプ(T.P.)+ロータリーポンプ(R.P.)がそれぞれ一組ずつ取り付けられており、MBEチャンバー及び分析チャンバーには、この他にイオンポンプとチタンゲッターポンプ(TSP)が備え付けられている。チャンバー内の真空度は、イオンゲージを使用してモニターできる。MBEチャンバーでは、基板の加熱、試料の作成、そして、RHEEDによる試料の表面観察を行う。基板加熱では、ヒータ加熱と抵抗加熱の2種類の加熱方法が可能であり、ヒーター加熱では $\sim 900^{\circ}\text{C}$ までの加熱が可能である。主にホルダーやマニピュレータのガス出しに用いる。抵抗加熱では 900°C 以上の加熱も可能で、高温での

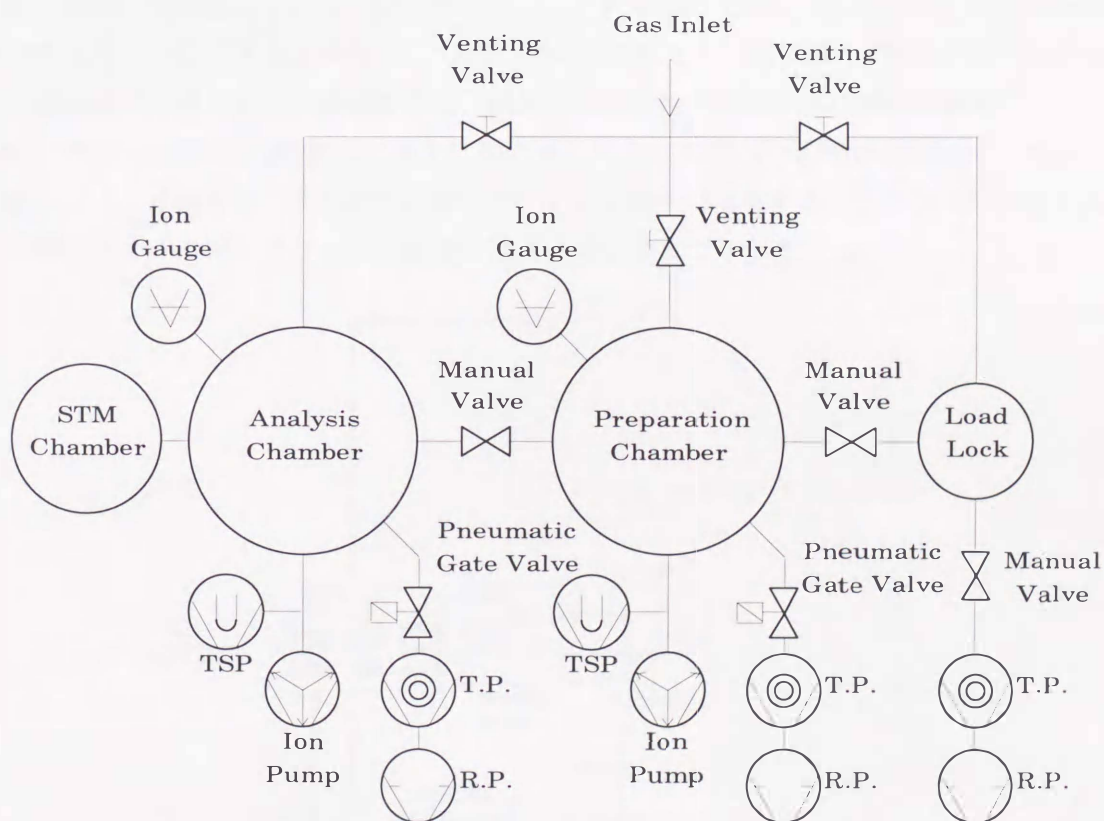


図3.5 真空排気系の模式図

ンプ(R.P.)がそれぞれ一組ずつ取り付けられており、MBEチャンバー及び分析チャンバーには、この他にイオンポンプとチタンゲッターポンプ(TSP)が備え付けられている。チャンバー内の真空度は、イオンゲージを使用してモニターできる。MBEチャンバーでは、基板の加熱、試料の作成、そして、RHEEDによる試料の表面観察を行う。基板加熱では、ヒータ加熱と抵抗加熱の2種類の加熱方法が可能であり、ヒーター加熱では $\sim 900^{\circ}\text{C}$ までの加熱が可能である。主にホルダーやマニピュレータのガス出しに用いる。抵抗加熱では 900°C 以上の加熱も可能で、高温での

基板のアニーリングに使用する。本研究では基板表面の清浄化のために基板を950℃以上に上げるため、通常の基板加熱法として抵抗加熱を使用した。試料作成時には3つのKセルをそれぞれ別の電源で加熱することにより、各蒸発源温度を独立して制御することができる。また、各Kセルにはシャッターが取り付けられており、蒸着時以外に蒸発物質が基板に付着しないようになっている。RHEEDスクリーンにも同様のシャッターが取り付けられており、蛍光面への蒸着物質の付着を防いでいる。分析チャンバーには、走査型トンネル顕微鏡(Scanning Tunneling Microscope : STM)、原子間力顕微鏡(Atomic Force Microscope : AFM)を備えたSTMチャンバーが接続されており、同じく分析チャンバーに取り付けられたCSA(Cylindrical Surface Analyzer)により、オージェ電子分光(Auger Electron Spectroscopy : AES)、X線光電子分光(X-ray Photoelectron Spectroscopy : XPS)そして、イオン散乱分光(Ion Scattering Spectroscopy : ISS)の各測定が可能である。AESおよびXPS用の励起源として電子銃とX線源もまた分析チャンバーに取り付けられている。本研究では、試料の組成分析のために主にAESを用いた。

CSAシステムの概略図を図3.6に示す。図に示すようにAES及びXPSの各測定は、コンピュータを使用して、希望するエネルギー範囲のデータを自動的に取得するようなシステムである。また、取得したデータはコンピュータにより加工、分析することができる。

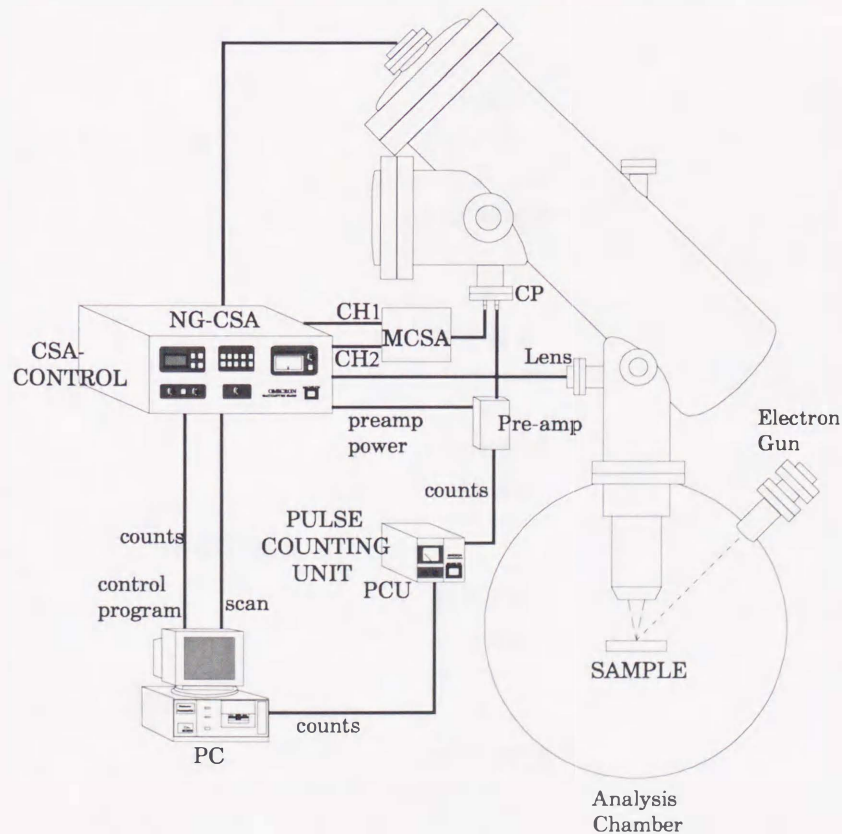


図3.6 CSAシステムの概略図

3.2 実験方法

3.2.1 実験サイクル

図3.7に実験の流れを示す。

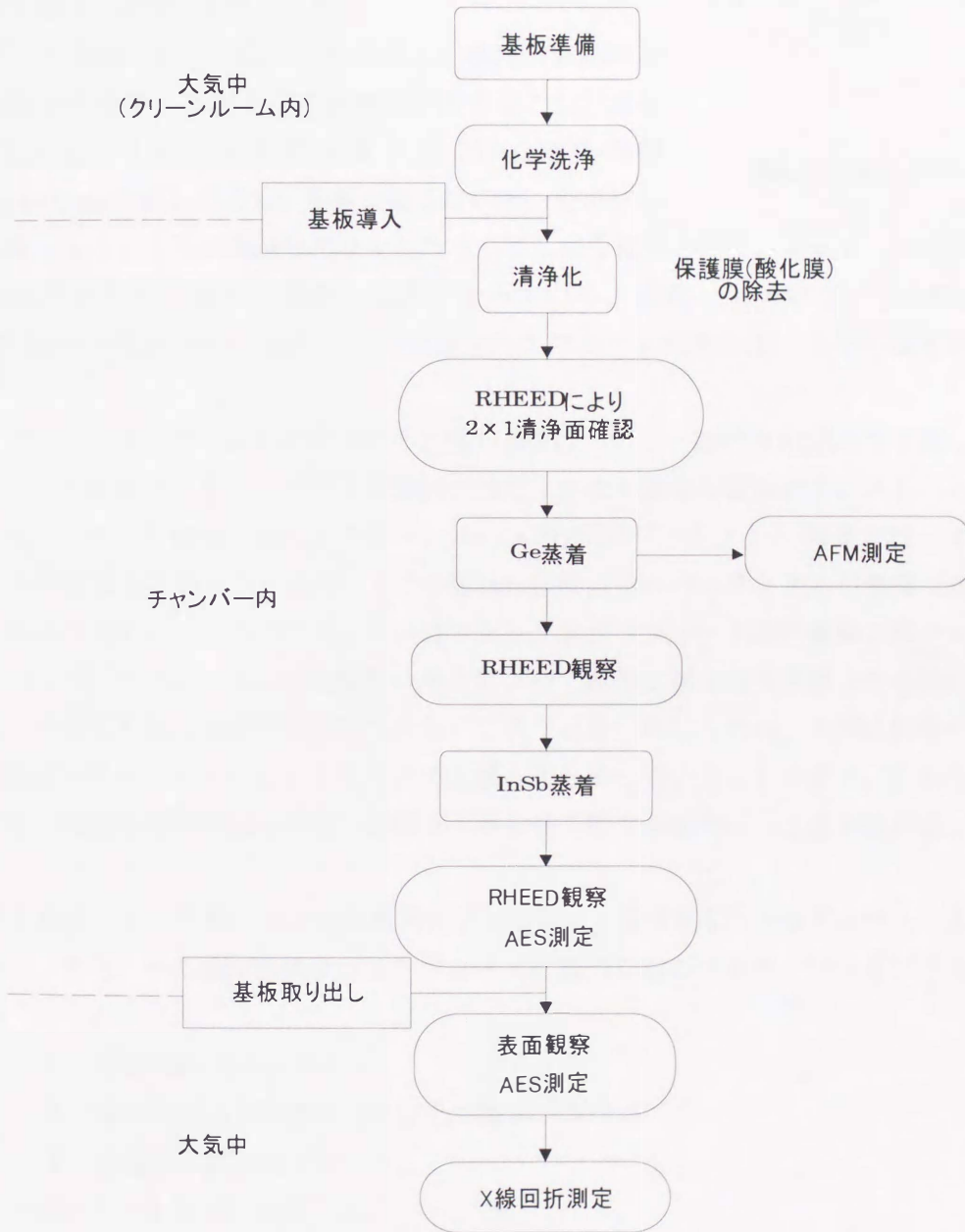


図3.7 実験サイクル

3.2.2 基板の準備

3.2.2.1 基板の切り出し及び洗浄

蒸着に用いる基板は図3.8に示す基板ホルダーに装着するために、約5×13mmの大きさに切り出す。この基板ホルダーはモリブデン製で、高温にも耐えられる。

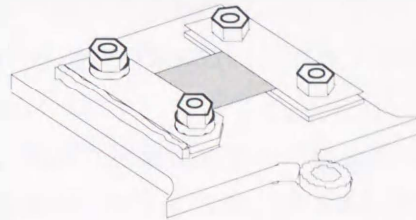


図3.8 基板ホルダー

切り出した基板に対して洗浄が行われる。洗浄の目的は基板上及び基板表面中に存在する不純物を除去することである。しかしながら、そのやり方や対象としている汚染物質 (Contamination) に対して正しい処置を施さないと、そのプロ

セスが無駄になるどころか深刻な汚染をもたらしてしまう結果となる。よって、この洗浄技術は半導体技術の中でも、極めて高度な技術となっている。現在、主流のプロセスは1970年にRCAのW.KernとD.A.Puotinenによって発表されたウェット洗浄法[1]、あるいはその亜種である。

通常、ウエハーメーカーより出荷された状態の基板は、ごく一般的なRCA洗浄を施してある場合が多い。この段階でクリーンルームで開封すれば、かなり清浄な基板が手に入ることになる。現在、LSIメーカーが躍起になってクリーンルーム内の埃(パーティクル)対策を行っているのは、設計ルールの微細化によって、非常に小さい0.1 μm 程度以下のパーティクルが無視できなくなってきたからである。このパーティクルはフォトリソグラフィ工程や配線工程で大きな問題となっているが、その他にこれが高温プロセスによって拡散し新たな汚染源となる恐れがあるからである。付着した埃は洗浄すれば除去されてしまうと思われがちだが、実際は初期の工程でついた埃は何度の洗浄プロセスをくりぬけても残ってしまっていることが多い。これらのことから、我々は、基板を扱う時には非常に神経をとがらせて扱う必要があることが分かる。

我々がSi基板に対して用いている基板洗浄プロセスは、基本的に3つのプロセスによって成り立っている。また、その洗浄法はウェットプロセスに基づくものであり、ドライプロセスは使用しない。

1. 有機物除去プロセス
2. 基板表面の有機物除去と凹凸の除去プロセス
3. 保護酸化膜生成プロセス。

それぞれのプロセスを以下に説明する。

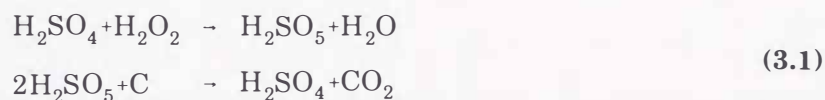
1. 有機物除去プロセス

- | | |
|--|--------|
| ・ $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ (2 : 1) | 5分 |
| ・ 純水処理(DIW)(オーバーフロー(OFF)) | 1分 |
| ・ 5%HF処理(DHF) | 撥水するまで |

以上の有機物除去プロセスを2回繰り返す。

有機物を取り除く方法として、大きく2つの方法がある。1つはアセトンを用いて超音波洗浄する方法であり、もう1つは硫酸と過酸化水素水の混合液を用いて、カロー酸(Caro acid)の強力な酸化力で有機物を除去する方法である。前者は数nm以上の極めて厚い有機物汚染にむいており、後者は市販されているSiウエハーに存在する0.2nm程度の極薄い有機物汚染にむいている。特に硫酸と過酸化水素水の混合液は、UV洗浄に近い効果が得られる。

ここで硫酸と過酸化水素水の混合液について詳しく述べる。硫酸と過酸化水素水の混合液はSPMとも呼ばれ、混合の際にできる酸化力の強いカロー酸と生成時に発生する高い熱(135°C)を利用して基板表面の有機物をCO₂にして大気中に放出する。



通称、ピラニア液と呼ばれており、金属不純物に対しても有効である。ピラニア液の強力な酸化力は、Siに対しても有効なので処理後に希弗酸にディッピングすると、Si酸化膜とともに汚染物質が除去される。我々はこれを2回繰り返している。

2. 基板表面の有機物除去と凹凸の除去プロセス

- | | |
|-----------------------|--------|
| ・ HNO ₃ 処理 | 煮沸5分 |
| ・ DIW(OF) | 1分 |
| ・ DHF | 撥水するまで |
| ・ DIW(OF) | 1分 |

以上のプロセスを5回繰り返す。

基板表面内部にも有機物や金属汚染物の汚染が考えられる。そこで、硝酸と弗酸を用いて表面を薄く削り、汚染を取り除いている。また、硝酸と弗酸のエッチングプロセスは等方性を示すので、基板表面は平坦になってゆく。しかし、ある程度の回数(5~7回)をやらないと効果が薄いと思われる。また、硝酸と弗酸の混合液を用いることもできる。比率的に硝酸が多い場合には等方性のエッチング特性を示す。比率はHNO₃:HF=200:1とすれば、エッチング特性は等方性で、また極端なレートにならなくてコントロールがしやすい。エッチングは液温、液の供給率に律速されるので、室温に注意し、不均一な攪拌はしない方がよい。

3. 酸化膜生成プロセス

- | | |
|--|--------|
| ・ HCl+H ₂ O ₂ +H ₂ O(1:1:6)処理 | 80°C5分 |
| ・ DIW(OF) | 1分 |

最後にパシベーション膜として、酸化膜を基板表面につける。これにはいろいろな方法が存在

するが、いわゆるRCA法といわれる洗浄法の塩酸と過酸化水素水と水の混合液(HPMあるいはSC-2と呼ばれる)を用いて酸化膜を薄く生成している。アンモニアと過酸化水素水と水の混合液(APMあるいはSC-2と呼ばれる)でも良いが、この液はパーティクル除去効果が高いものの処理中に基板表面に金属不純物を吸着しやすく、表面にマイクロラフネスを生じるために用いなかった(しかしアンモニア濃度を下げることによって改善されることが分かっている。)

本来この洗浄の後、酸化膜の除去が必要であるが、MBE装置の成長室内で熱的に解離させて取り除いている。混合液の混合の比率であるが、その研究者によりまちまちだが、我々は

$$\text{HCl} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 6 \quad (3.2)$$

程度としている。

すべての洗浄プロセスが終了後、基板表面の水分をイソプロピルアルコール(IPA)により置換し、MBE装置の交換室へ導入している。

次にGe基板の洗浄法について説明する。Ge基板の場合、硫酸と過酸化水素水の混合液に浸すと、変質してしまい基板として使用できなくなる。そこで我々は、Prabhakaranaら[2]によって報告された方法を参考にした。この方法では、以下のプロセスをとる。

1. 基板表面の有機物除去と凹凸の除去プロセス
2. 酸化膜生成プロセス

以下にそれぞれのプロセスの詳細を説明する。

1. 基板表面の有機物除去と凹凸の除去プロセス

・ DHF	撥水するまで
・ DIW(OF)	1分
・ H ₂ O ₂ 処理	30秒
・ DIW(OF)	1分

以上のプロセスを7回繰り返す。

基板表面内部に有機物や金属汚染物の汚染が考えられる。そこで、弗酸を用いて表面を薄く削り、汚染を取り除いている。H₂O₂によってGe基板表面に酸化膜を形成し、酸化膜に取り込まれた有機物や金属汚染物をHFによって取り除く。

2. 酸化膜生成プロセス

・ H ₂ O ₂ 処理	30秒
・ DIW(OF)	1分

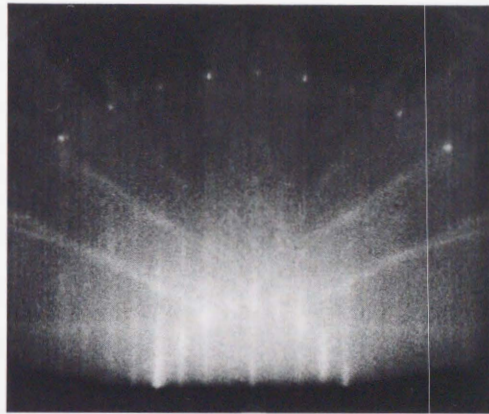
最後にパシベーション膜として、酸化膜を基板表面につける。酸化膜は基板表面の有機物除去と凹凸の除去プロセスと同じく、H₂O₂に浸すことで形成する。すべての洗浄プロセスが終了後、

基板表面の水分をイソプロピルアルコール(IPA)により置換し、MBE装置の交換室へ導入する。

3.2.2.2 真空中での基板表面の清浄化

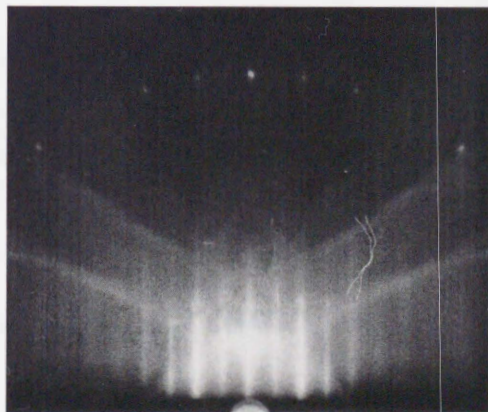
化学洗浄によって基板表面に形成させた薄い酸化膜は、試料を超高真空チャンバーへ導入後に除去する。Si基板における酸化膜の除去プロセスは、 SiO_2 がSiOの形をとったときに、蒸気圧が上がって比較的低温で蒸発してしまうことを利用している。しかし、SiOはSi基板と SiO_2 の界面にのみ存在するため、酸化膜が厚いとSiOとして表面に出てこられないのでこのプロセスは使用できない。よって、Si表面につける酸化膜は薄い多孔質のものが望ましいと思われる。蒸発に必要な温度は酸素分圧と基板温度の関数となっているので、酸素分圧が十分に低ければ、比較的低温で除去が可能である。

通常この処理では、Si基板の場合は約 950°C で30分、Ge基板の場合は約 750°C で30分間のアニーリングを行い、RHEED観察において明瞭なダブルドメイン 2×1 再構成パターンが現れた時が清浄面が得られたと判断している。清浄化後のSi(001)およびGe(001)基板の 2×1 RHEEDパターンを図3.9、図3.10にそれぞれ示す。



[110]

図3.9 Si(001)-2×1清浄面のRHEEDパターン



[110]

図3.10 Ge(001)-2×1清浄面のRHEEDパターン

3.2.3 蒸着

各蒸着源用Kセル温度を上げて、設定した温度で安定したら、基板をKセルの方向に向けてシャッターを開けることで蒸着を開始する。InSb蒸着における各Kセル温度は、事前にさまざまな条件で作成した試料について、AES測定を行い表面組成がSb/In=1.0になるような温度を使用した。AES測定では図3.11に示すように、それぞれ404eVと454eVのIn-MNNとSb-MNNピークのピーク強度から見積もった。下の図の場合で組成比は1.08である。

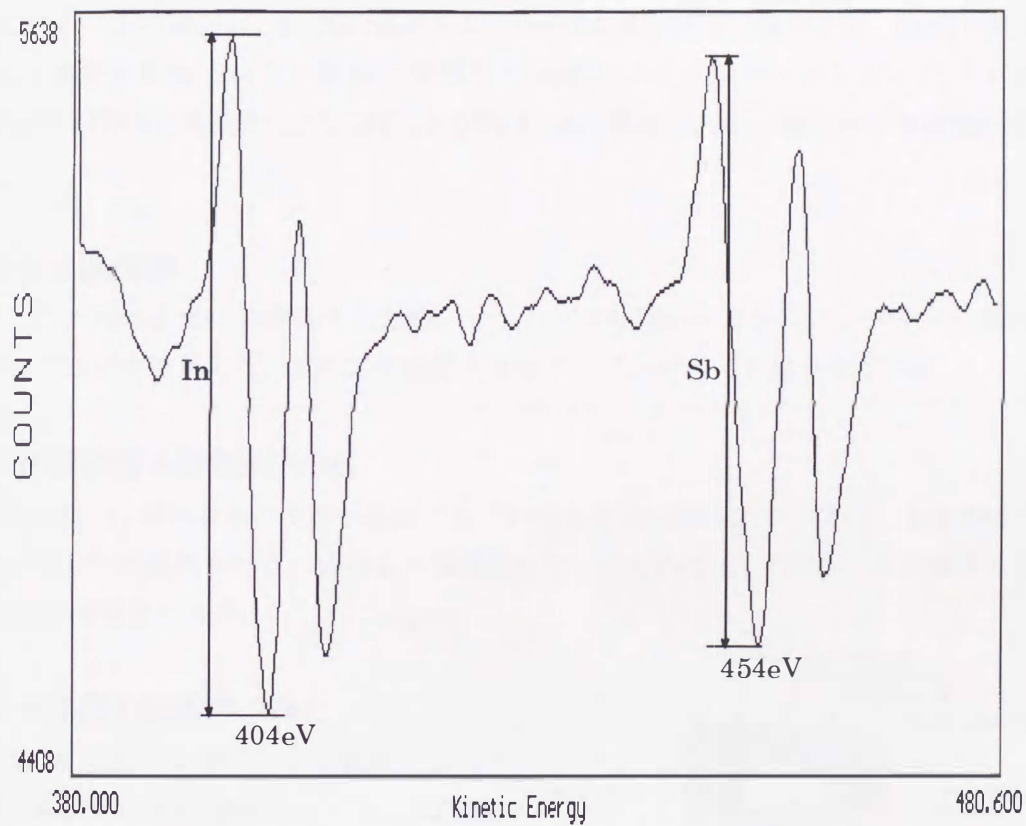


図3.11 AESによる組成比の見積もり

3.3 試料の評価方法

3.3.1 表面形態

3.3.1.1 反射型高速電子線回折(RHEED)

RHEED観察では、作成した試料表面の再構成や平坦性を評価するために使用した。また、スペキュラースポットの強度振動を利用して、Geの蒸着レートの見積もりにも使用した。RHEEDパターンの観察は、Si(001)基板およびGe(001)基板表面の清浄化後、Ge層の蒸着後、そしてInSb薄膜蒸着後に行う。観察に使用した装置は、エイコー・エンジニアリング社製のMB-1000型RHEED電子銃およびMY-1000型RHEED電源である。測定時の加速電圧は15kVであった。

3.3.1.2 光学顕微鏡

作成した試料の表面性を評価するため、オリンパス社製のオリンパスシステム金属顕微鏡(モデルBH2-UMA)を使用した。試料が比較的大きなグレインを持った場合に用いる。

3.3.1.3 走査型電子顕微鏡(SEM)

光学顕微鏡では試料表面の特徴が観察できないほど平坦な試料については、走査型電子顕微鏡を使用して表面の観察を行う。使用した加速電圧は、15kV~30kVであり、また使用した倍率は1000~20000倍程度である。

3.3.1.4 原子間力顕微鏡(AFM)

10×10 μm^2 程度の領域の表面を観察するため、原子間力顕微鏡(AFM)観察を行った。AFM測定には、富山大学地域共同研究センター内に設置されている、Digital Instruments社製のNanoscope IIIを使用した。この装置は大気中で測定するAFMであり、試料に探針を接触させるコンタクトモードで測定を行った。図3.12に測定装置の外観及び各部の名称を示す。測定した画像は付属のコンピュータによって、各種分析、加工することができる。また、加工した画像データをDos/Vパソコン用に変換することも可能である。

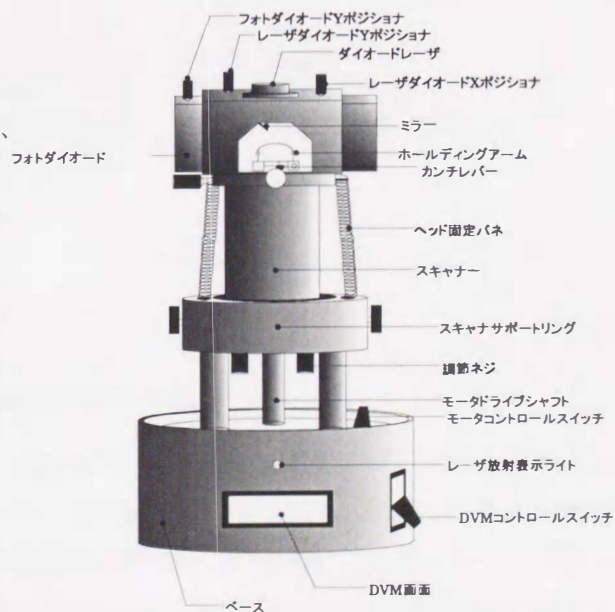


図3.12 Nanoscope IIIの外観

3.3.2 組成の評価

アニーリング後の基板表面の清浄性、あるいは作成した試料の組成比を見積もるために、オージェ電子分光法(AES)を用いた。AES測定では図3.11に示したように、それぞれ404eVと44eVのIn-MNNとSb-MNNピークのピーク強度の比に補正係数をかけて組成比を見積もった。補正係数は、単結晶InSb基板のAES測定を行い、その時のInとSbのピーク強度比が1.0となるようにとる。今回実際に使用した値は1.25である。

3.3.3 結晶性の評価

3.3.3.1 X線回折(XRD)

X線回折はCu-K α 源を使用して、主に試料の結晶性および配向性の評価に用いた。測定に使用した装置は、図3.13に示した理学電機社製の卓上ディフラクトメーターRINT1100型測定装置で、 θ - 2θ 法で測定している。この装置は富山大学地域共同研究センター内に設置されており、32Bitのワークステーションによる全自動X線回折装置である。無機、有機、鉱物等の結晶状態

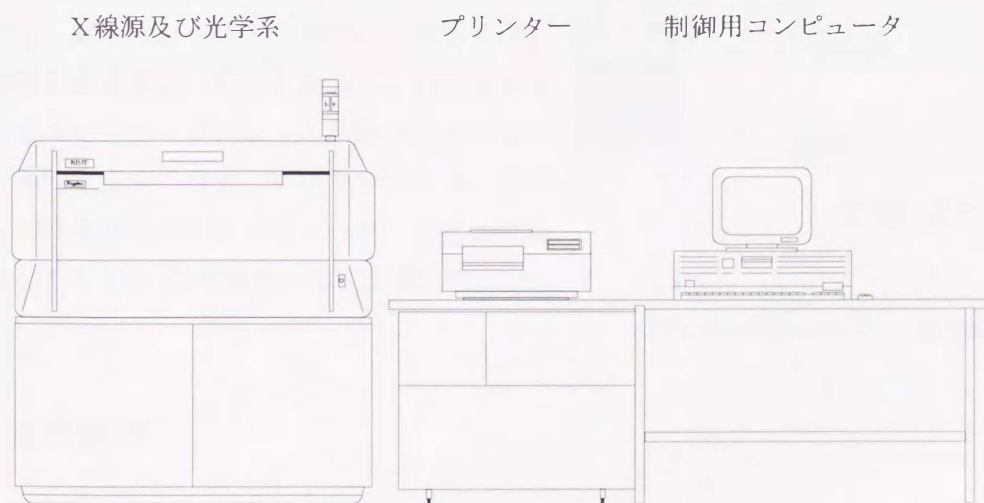


図3.13 X線回折測定装置の外観

等から定性分析、定量分析が可能である。また、測定したデータは制御用のワークステーションで処理することができ、Dos/Vパソコン用へのデータの変換も可能である。測定はX線回折測定専用の試料ホルダーに試料を装着して行う。結晶性についてはInSb(004)ピークのピーク強度及び半値幅から、また配向性についてはすべてのInSbに関するピークの強度の総和に対するInSb(004)ピークの強度の割合を調べ評価した。InSb(022)ピーク(39.293°)とIn(110)ピーク

(39.142°)が非常に近い位置に現れるため、装置付属のユーティリティソフトを使用して、 $K\alpha_2$ ピークを除去してピークを分離している。

3.3.3.2 電子チャネリングパターン(ECP)

X線回折測定では、膜中にある面方位に配向した結晶があれば、全て同じピークとして現れるため、面内の配向性については知ることができない。そこで、試料の面内の配向性を評価するため、電子チャネリングパターン(ECP)を観察した。パターン観察時に使用した加速電圧は30kVで、電子線の入射角度は $5^\circ\sim 7^\circ$ であった。観察されたパターンから配向している方位、および方向、そして結晶性を評価した。

3.3.4 電気的特性の評価

作成した試料の電気的特性を評価するため、van der Pauw法を用いて移動度、キャリア濃度、ホール係数および抵抗率を測定した。図3.14に示すように、試料はガラス板上に固定され、試料の四隅に電極を設ける。電極は銀ペーストを用いて固定する。測定は液体窒素温度まで試料を冷却し、液体窒素温度から室温まで、ヒータによって試料を温めることによって各測定温度で電流、電圧を測定する。測定データから移動度などの各パラメーターを算出する時、キャリアのタイプが1種類として計算した。

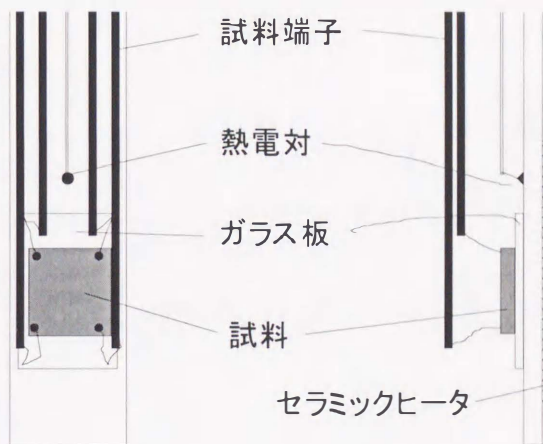


図3.14 試料ホルダー部外観

3.3.5 膜厚測定

試料の膜厚は干渉膜厚計を使用して測定する。この場合、表面観察で使用したオリンパス社製のシステム金属顕微鏡に、付属の干渉膜厚計を接続することで測定する。測定では、繰り返し干渉法が用いられ、基板と薄膜に見られる干渉縞のずれから膜厚を見積もる。1本の干渉縞のずれが 2730\AA に相当するので、干渉縞が何本ずれているか数えて、その数字に2730をかけた値が膜厚になる。しかし、試料表面がひどく荒れてしまった場合には、このような干渉縞を観察できないため、膜厚を測定できない場合がある。

[参考文献]

- [1] W. Kern and D. A. Puotinen: RCA REV. 31, 187
- [2] K. Parabhakarana, T. Ogino, R. Hull, J. C. Bean, L. J. Peticolas, Surf. Sci. 316 (1994)
- [3] 河東田隆編著: 半導体評価技術(産業図書、1989)
- [4] 小間篤、白木靖寛、斉木幸一朗、飯田厚夫共著: シリコンの物性と評価法(丸善、1987)

第4章

Si(001)基板上での 直接成長InSb薄膜 の作成と評価

SiとInSbとの間には大きな格子不整合(約19.3%)が存在し、ヘテロエピタキシャル成長が難しい系である。そのため、多くの研究者がSiとInSbとの間にバッファ層を挿入し、格子不整合を緩和させ、InSb薄膜をヘテロエピタキシャル成長させようと試みている。ここでは、Si(001)基板上に直接InSbを成長させた場合の表面性、結晶性、電気的特性について調べた。

4.11 段階成長

4.1.1 試料の作成

作成した試料はいずれも、ある一定の温度で成長させる1段階成長法を用いて作成した。表4.1に作成条件および作成した試料の膜厚を示す。基板温度は230°C、300°Cの2種類を用いて基板温度の違いによる薄膜への影響について調べる。蒸着時のフラックス比を4.0として蒸着した。蒸着時間はいずれも60分間である。それぞれの試料は、蒸着終了後に成長温度で20分間の熱処理を行った。230°Cで作成した試料の膜厚は1.62 μm であったが、300°Cで作成した試料は、アイランド成長しているため、膜厚を測定できなかった。膜厚から基板温度230°Cの試料の成長レートは4.5 $\text{\AA}/\text{sec}$ と見積もることができる。基板温度300°Cで作成した試料は、表面が荒れて膜厚が測定できなかったが、同様の成長レートでInSbが成長していると考えられる。

基板温度 [°C]	Flux比 (Sb/In)	蒸着時間 (分)	蒸着後の熱処理 温度(°C)、時間(分)	組成比 (Sb/In)	膜厚 [μm]
230	4.0	60	230、20	1.11	1.62
300			300、20	0.76	---

表4.1 1段階成長における成長条件および膜厚

4.1.2 表面観察および組成

作成した試料の表面形態を調べるため、それぞれの試料を光学顕微鏡で観察した。表面写真を図4.1(a)と(b)に示す。基板温度300°C(図4.1(b))においては、InSb膜がアイランド状になっており、アイランド同士が合体している部分も見られる。大きなアイランドとアイランドの間には細かな結晶が見られるものの、基板表面が見えてしまっている部分もある。このことはAES測定の際にSi-LMMスペクトルが観察されたことから分かる。これは成長時の基板温度が高すぎるために、膜が凝集してしまったものである。この試料の組成比は0.76であり、かなりInリッチとなっていた。これは蒸気圧の高いSbが基板表面から再蒸発したためである。しかし、基板温度230°C(図4.1(a))の試料表面は平坦で、大きなアイランドも見られず連続膜となっている。こちらの試料では、組成比が1.11であり、ややSbリッチであった。

これらの結果より、Si基板上に直接InSbを成長させる場合、300°C以上の温度では、InSb膜は凝集してしまうため、1段階成長で表面性の良い膜を得るためには、低温で成長させる必要がある事が分かる。

4.1.3 X線回折

X線回折測定の結果から各試料の結晶性、配向性、ヘテロエピタキシーの度合いについて調べてみる。もし、InSb薄膜がSi(001)基板上にヘテロエピタキシャル成長したならば、56°付近にInSb(004)ピークのみが強く現れ、その他のInSbに関するピークは現れない。図4.2に各試料のX線回折測定の結果を示す。いずれの試料も多くのInSbに関するピークが現われており、膜が多結晶であることが分かる。また、小さなInピークも観察された。また、Si(004)ピークを除いて、InSbに関するピークの中ではInSb(111)ピークが優勢である。

個々に見ていくと、基板温度230°Cで作成した試料は、Inに関するピークは非常に小さく、AESによる組成の結果を支持している。Sbリッチにもかかわらず、Sbピークが見られず、In

ピークが現われているのは、Sbが結晶化し難いために、少々Sbリッチであってもピークが現われず、逆にInは結晶化しやすいため、膜中に結晶化したInが存在するために、Inピークが現われるためである。

基板温度300°Cで作成した試料では、低角度側にInピークが鋭く現われている。ここで見られるInに関するピークはIn(101)、In(002)、そしてIn(110)ピークである。In(101)ピークは230°Cの試料にも現われているが、その他のInピークは新しく現われたものである。また、In(110)ピークは、InSb(022)ピークに非常に近い位置に現われるため、2つのピークが同時の現われた場合、ピークが重なってしまう。300°Cの試料の39°付近のピークを見ると、230°Cの試料と比較して半値幅が広がっているのが分かる。このことから、In(110)ピークが現われているのが分かる。これらのInピークの出現および強度の増加は、AESによる組成比が0.76とかなりのInリッチになっていることに対応している。

ここで、Si(001)基板上に成長させたInSb薄膜のヘテロエピタキシーの度合いを示すものとして、以下のような式を定義する。

$$\frac{I_{\text{InSb}(004)}}{\sum I_{\text{InSb}(hkl)}} \times 100 \quad [\%] \quad (4.1)$$

この式では、すべてのInSbに関するピークのピーク強度の総和に対する、InSb(004)ピークのピーク強度の割合を与え、この値が大きいほどInSb薄膜が<001>配向しており、ヘテロエピタキシーの度合いが高いことを表わす。もし、この値が100%となると、完全にヘテロエピタキシャル成長したInSb薄膜が成長したことになる。また、この値はピーク強度の比を表わしているために、試料の膜厚が異なる場合においても比較が可能である。

式(4.1)を用いてそれぞれの試料のヘテロエピタキシーの度合いを調べた。基板温度230°Cで作成した試料では1.1%、300°Cで作成した試料では3.1%となり、いずれの試料とも非常に小さい値となり、ヘテロエピタキシーの度合いは小さい。しかし、高温で作成した300°Cの試料の値が僅かながら大きく、高温で作成することによって、僅かにヘテロエピタキシャル成長が促進されたと考えられる。

4.1.4 電気的特性

図4.3に基板温度230°Cで作成した試料のホール移動度、キャリア濃度、図4.4にホール係数と抵抗率の温度依存性を示す。基板温度300°Cで作成した試料の電気的特性は、表面がかなり荒れており、連続膜が得られなかったために測定できなかった。

図4.3において、ホール移動度は高温になるにつれて増加する活性化型の依存性を示した。低

温で移動度が下がっているが、InSb結晶粒界による散乱のためである。また、移動度の値は最高で $2000\text{cm}^2/\text{Vs}$ に留まっており、キャリアタイプの反転も観察される。高温側でn型、低温側でp型の振る舞いをしているが、高温側では伝導電子の寄与が、低温側ではInによる伝導が見られている。図4.4の抵抗率の温度変化を見ると、低温側で増加しているものの、全体として温度が上がるにつれて抵抗率が下がり、半導体的な温度依存性を示している。移動度が低い値となっているのは、低い基板温度で成長させたために、膜の結晶性が悪かったためである。

4.2 2段階成長

4.2.1 試料の作成

1段階成長させた試料においては、低温で成長させると表面性の良い連続膜が得られるが、結晶性が悪いため、高い移動度が得られない。また、 300°C で成長させた場合、膜が凝集してアイランド成長してしまい連続膜が得られず、電気的特性を測定することができない。より高い結晶性を得るためには、より高い基板温度で成長させる必要があるが、膜の凝集を押さえる必要がある。そこで2段階成長法を用いてInSbを成長させた。2段階成長法とは、図4.5に示すように、1層目として表面性の良い膜を低温で成長させることで、2層目の膜の表面性を維持したまま高温で成長させるものである。この方法は結晶性の良い薄膜を成長させる方法として、数多くのグループが使用している。[1-4]

表4.2に作成条件および作成した試料の膜厚を示す。1層目として基板温度は 230°C で60分間蒸着後、基板温度を 370°C まで上げて、2層目の蒸着を行う。蒸着時のフラックス比は、1層目、2層目を通して4.0として蒸着した。2層目の蒸着時間も60分で全体として120分間である。試料は蒸着終了後に成長温度で20分間の熱処理を行った。得られた試料の膜厚は $4\mu\text{m}$ となり、かなり厚い試料となった。膜厚から見積もられる成長レートは、 $5.5\text{\AA}/\text{sec}$ であり、1段階成長の試料よりも速い。

	基板温度 [$^\circ\text{C}$]	Flux比 (Sb/In)	蒸着時間 (分)	蒸着後の熱処理 温度($^\circ\text{C}$)、時間(分)	組成比 (Sb/In)	膜厚 [μm]
1層目	230	4.0	60	---、20	---	1.62
2層目	370			370、20	0.94	4.0

表4.2 2段階成長法における成長条件および膜厚

4.2.2 表面観察および組成

作成した試料の表面性を調べるため、試料を光学顕微鏡で観察した。表面写真を図4.6に示す。これを見ると、370°Cという高温にもかかわらず、先ほどの基板温度230°Cで1段階成長法を用いて作成した試料と同程度の平坦性をもった膜が得られた。これは、2層目の蒸着においては、下地がSi基板ではなくInSbであるため、格子不整合が存在せず、高温で成長させても凝集が起こりにくいからである。

膜の組成比は0.94であり、僅かにInリッチとなったが、1.0に近いものとなった。1段階成長させた試料では、基板温度が上がるにつれてSbが再蒸発し、かなりのInリッチとなったが、2段階成長法では、1層目の230°Cで作成した試料がSbリッチとなっており、基板温度の上昇に伴いSbが析出して、高温蒸着でのSbの不足を補うため、大きくInリッチとはならない。

これらの結果から、高温で平坦な膜を得るためには、2段階成長法が非常に有効であり、膜の組成においても、1層目をSbリッチとすることにより、高温蒸着におけるSbの不足を補うことができることが分かる。

4.2.3 X線回折

2段階成長法を用いて作成した試料の結晶性、配向性を調べるため、X線回折測定を行った。図4.7にX線回折測定の結果を示す。このデータから分かるように、多くのInSbピークが現れており、膜が多結晶成長していることが分かる。また、低角度側に小さなInピークが現れており、AES測定の結果とよく対応している。また、InSb(111)ピークが非常に強く現れており、InSb薄膜が<111>方向に優先配向していることを意味している。1段階成長させた試料と比較してみると、その他のInSbピークも、試料の膜厚の増加に対応して、ピーク強度が強くなっているが、InSb(111)ピークの強度の増加の割合が非常に高い。このことから、<111>方向であるものの、2段階成長法を用いて高温でInSbを作成したことによって、膜の配向性が向上したと言える。また、InSbはSi(001)基板上に直接成長させると、<111>方向に配向しやすい傾向を示すことが分かった。

2段階成長法で作成した試料の、ヘテロエピタキシーの度合いを式(4.1)から求めると2.3%となり、基板温度230°Cで作成した試料よりも良いものの、基板温度300°Cで作成した試料よりも悪くなった。これは1層目のヘテロエピタキシーの度合いが悪く、その上に2層目を蒸着するため、1層目の配向性の悪さを引きずっているためである。

4.2.4 電気的特性

2段階成長法で作成した試料は、370°Cという高温で作成したにもかかわらず、連続膜となり試料の電気的特性を測定することができた。図4.8に作成した試料のホール移動度、キャリア濃度、図4.9にホール係数、抵抗率の温度依存性をそれぞれ示す。

図4.8に示した移動度では、基板温度230°Cで1段階成長させた試料と同様に、温度の増加にもなって移動度が高くなる活性化型の温度依存性を示している。移動度の最大値は室温での約 $10000\text{cm}^2/\text{Vs}$ であり、2段階成長法による高温成長によって移動度が大きく改善されている。これは、X線回折測定の結果における結晶性、配向性の向上が大きく効いている。しかし、移動度の値は、他の研究グループのものと比較すると、依然として低い。[1-6]

キャリア濃度の温度依存性を見ると(図4.8)、200K付近でp型からn型へのキャリアの反転が見られる。室温のキャリア濃度をみると $10^{16}/\text{cm}^3$ の前半であり、基板温度230°C作成した試料よりかなり低い値となっている。

抵抗率の温度変化は半導体的であり、基板温度230°Cで1段階成長させた試料とほぼ同じ依存性と値を示した。

4.3 まとめ

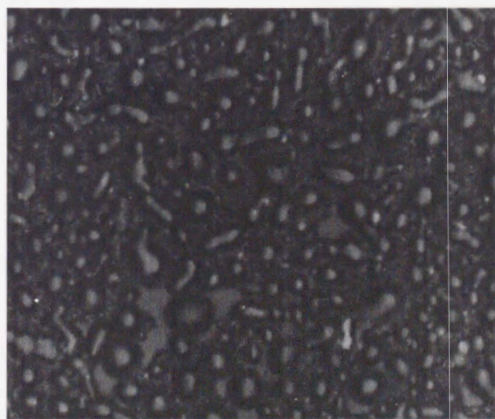
InSbを直接Si(001)基板上に1段階成長および2段階成長させ、各試料を表面形態、X線回折、ホール測定によって評価した。1段階成長では低温で成長させると表面性の良い膜が得られるが、結晶性、配向性が悪く移動度が低い。高温にすると凝集が起こり、アイランド成長してしまう。2段階成長法を導入することによって、表面性の良い膜が高い基板温度でも成長させることが可能で、 $\langle 111 \rangle$ 配向した結晶性の良い膜が得られる。その時の移動度も非常に高いが、温度によって大きく変化し、キャリアの反転現象もみられる。

Si(001)基板上でのInSb薄膜は、 $\langle 111 \rangle$ 方向に配向しやすく、高温で成長することでこの傾向が顕著に現れる。



25μm

(a) 230°Cで作成した試料



25μm

(b) 300°Cで作成した試料

図4.1 1段階成長InSb薄膜の光学顕微鏡写真

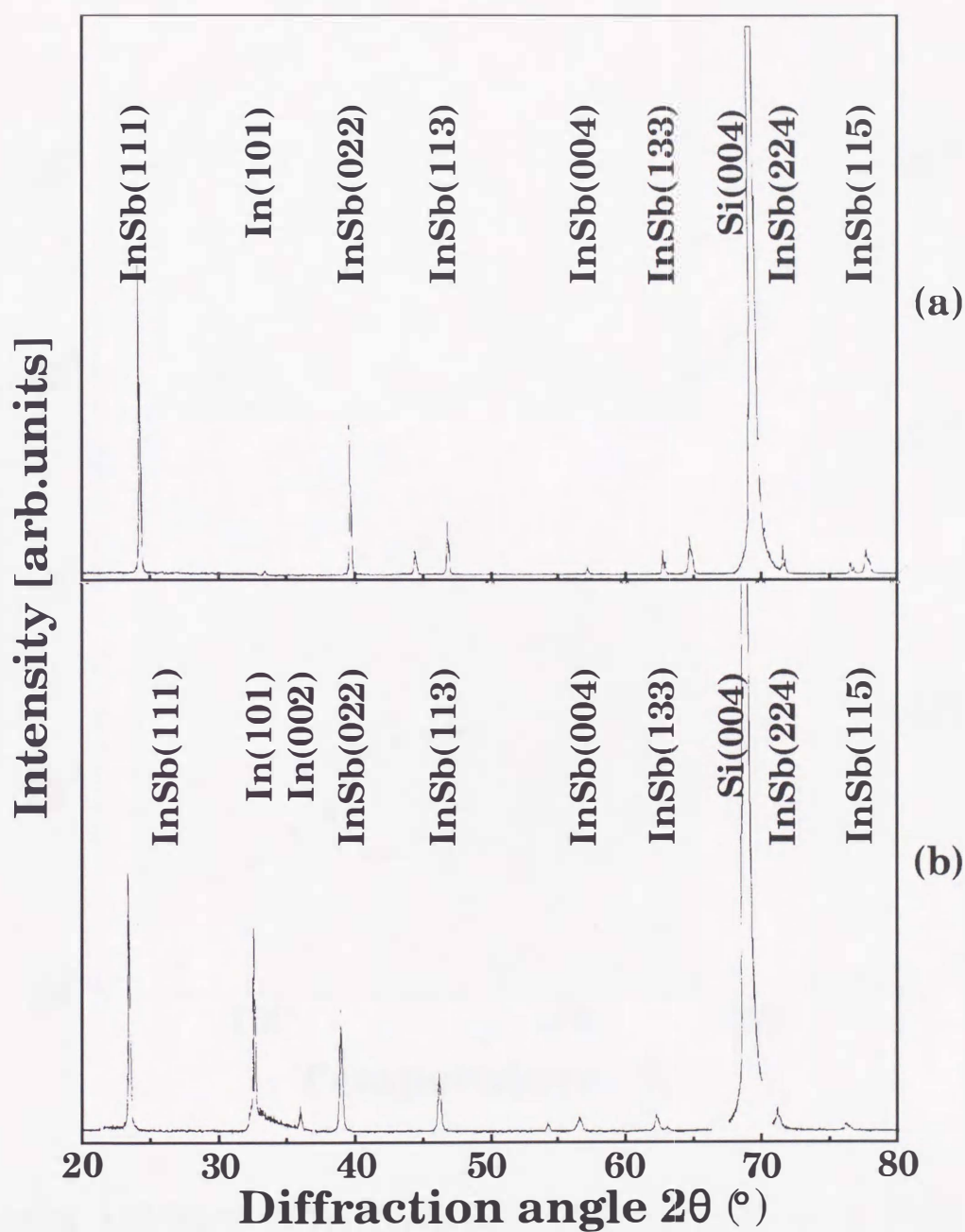


図4.2 1段階成長InSb薄膜のXRDパターン
(a)230 $^\circ$ C、(b)300 $^\circ$ C

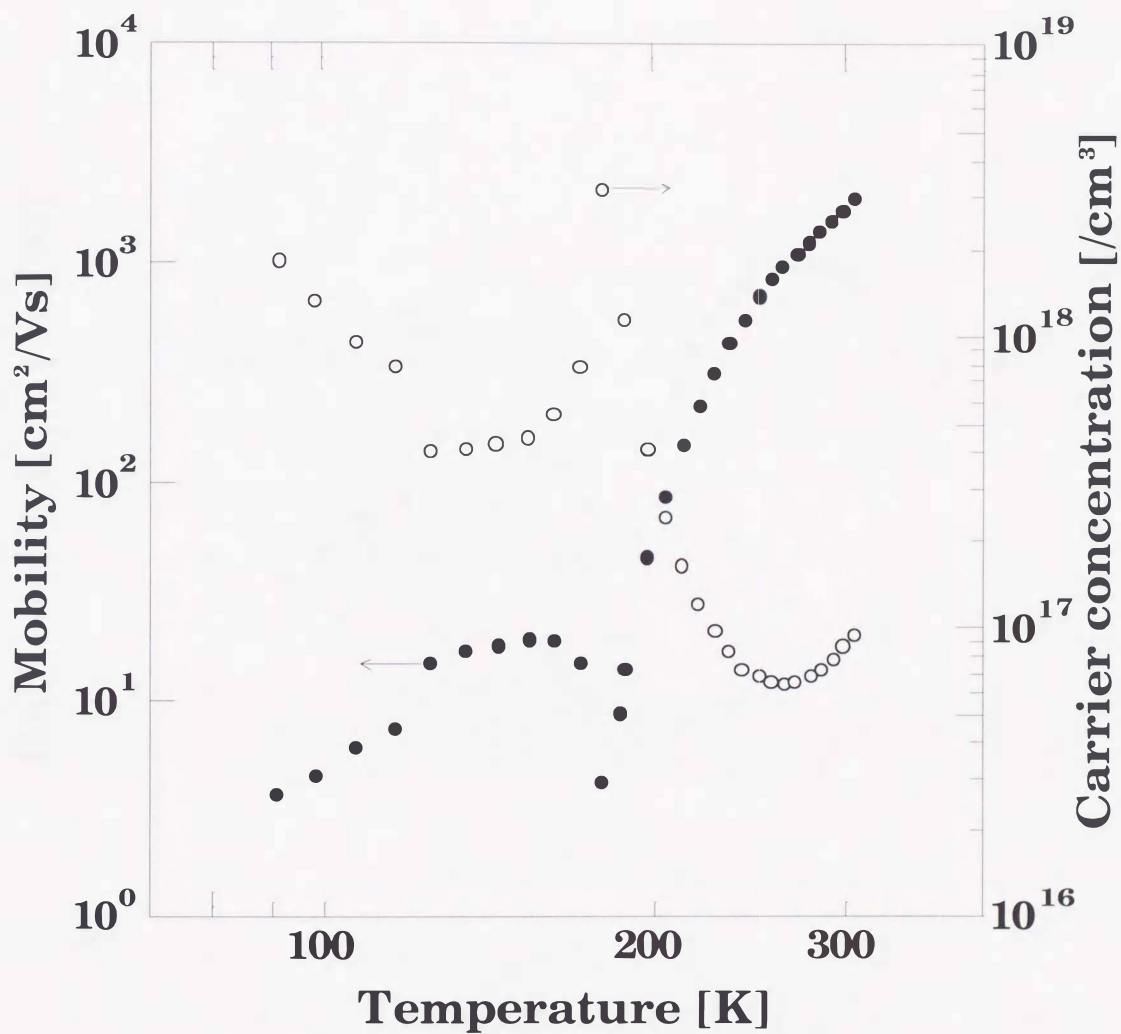


図4.3 1段階成長InSb薄膜の移動度とキャリア濃度の温度依存性 ●移動度、○キャリア濃度

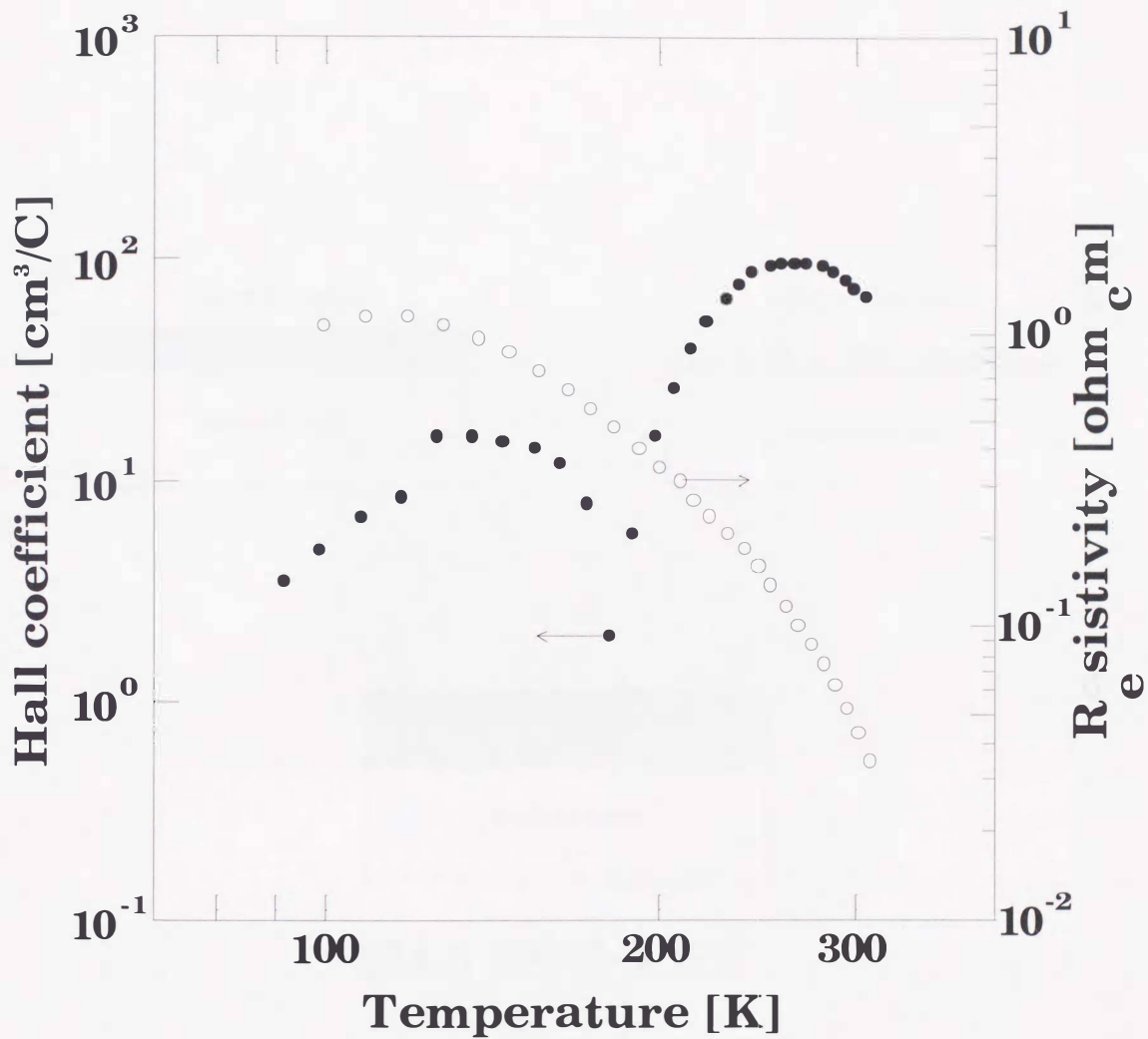


図4.4 1段階成長InSb薄膜のホール係数と抵抗率の温度依存性 ●ホール係数、○抵抗率

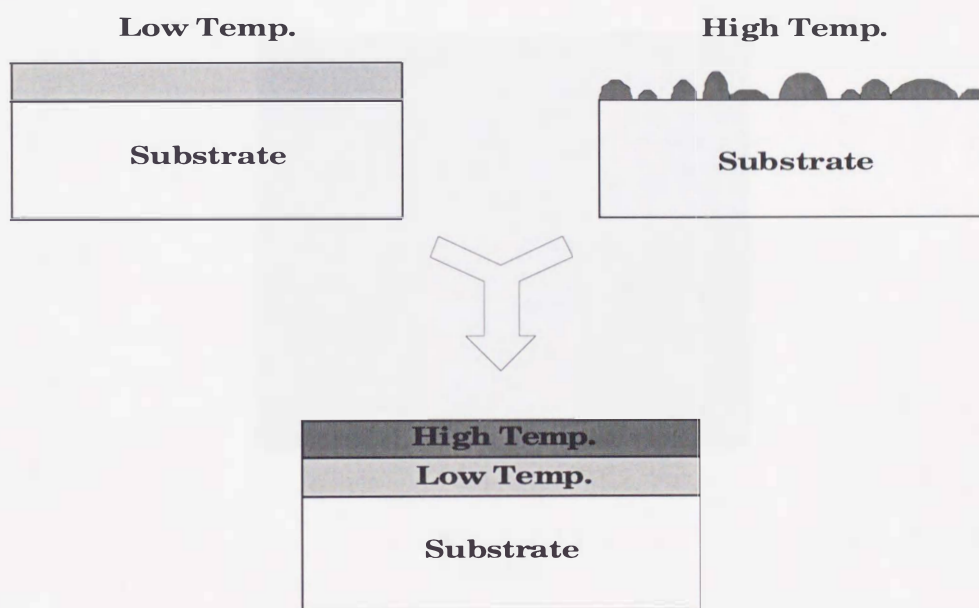


図4.5 2段階成長法



25 μ m

図4.6 2段階成長InSb薄膜の光学顕微鏡写真

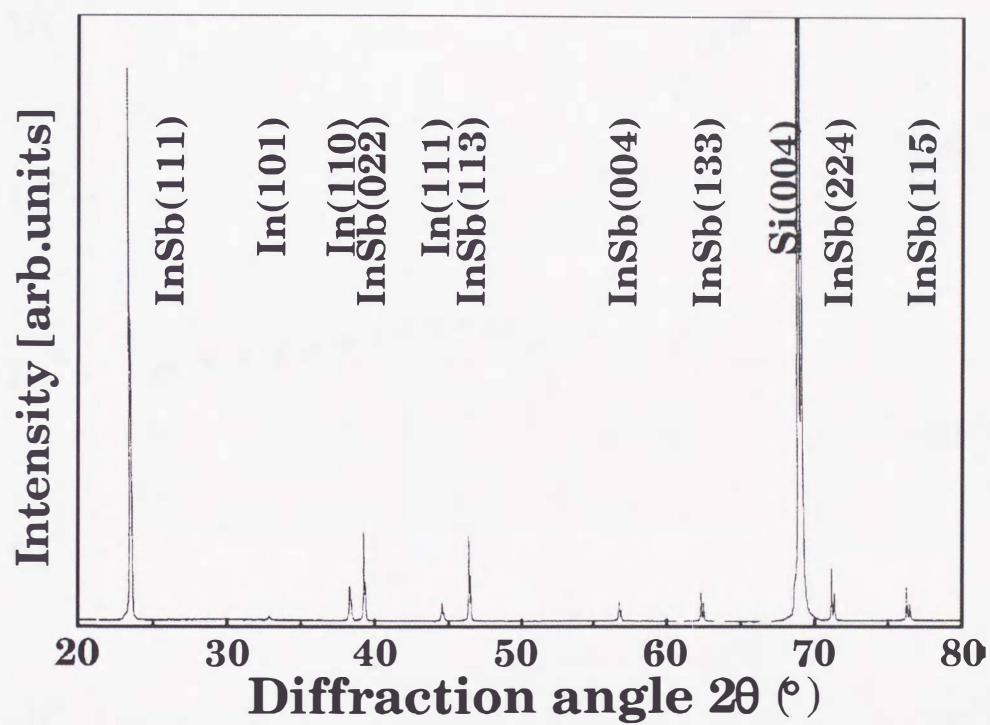


図4.7 2段階成長InSb薄膜のXRDパターン

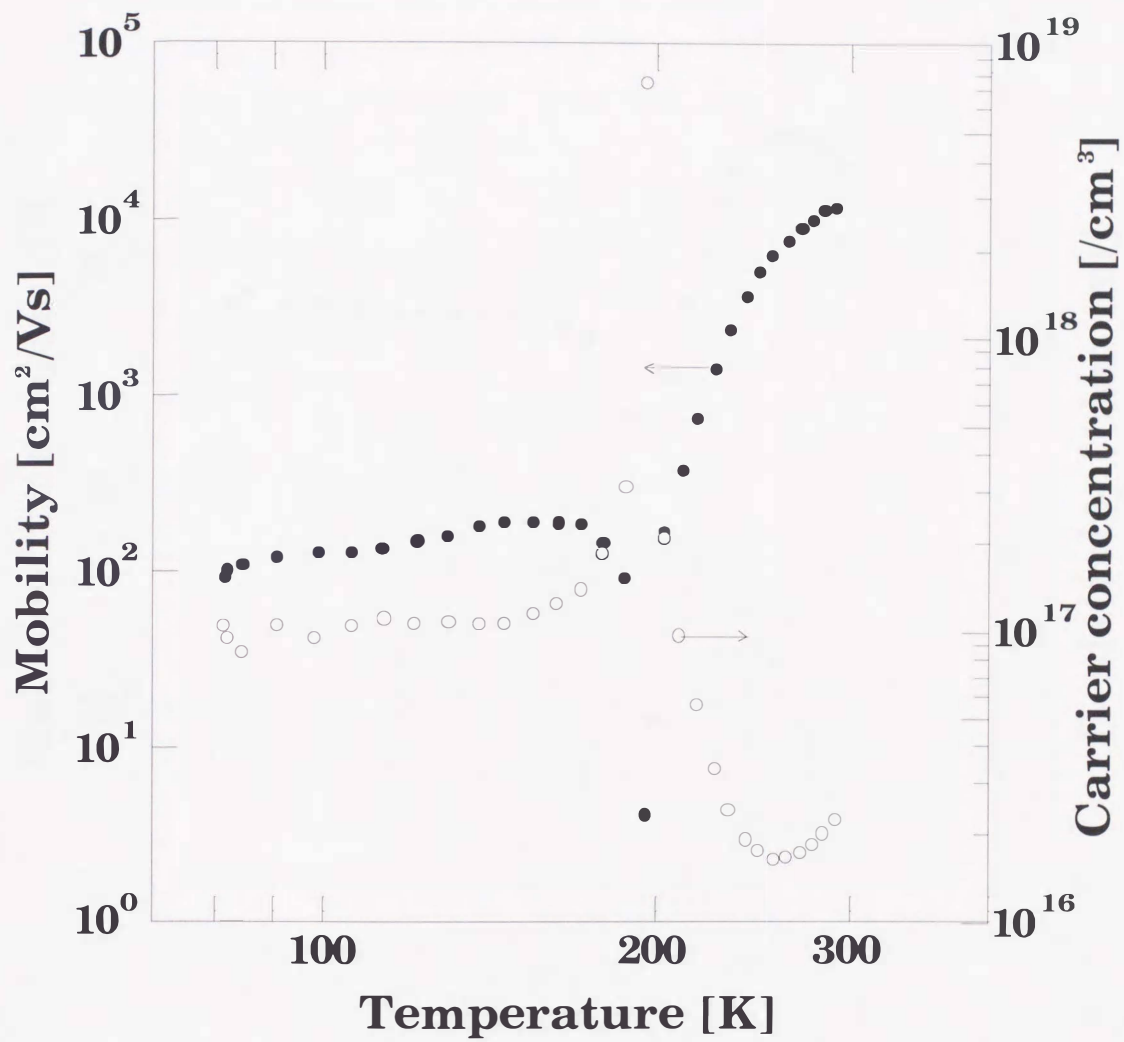


図4.8 2段階成長InSb薄膜の移動度とキャリア濃度の温度依存性 ●移動度、○キャリア濃度

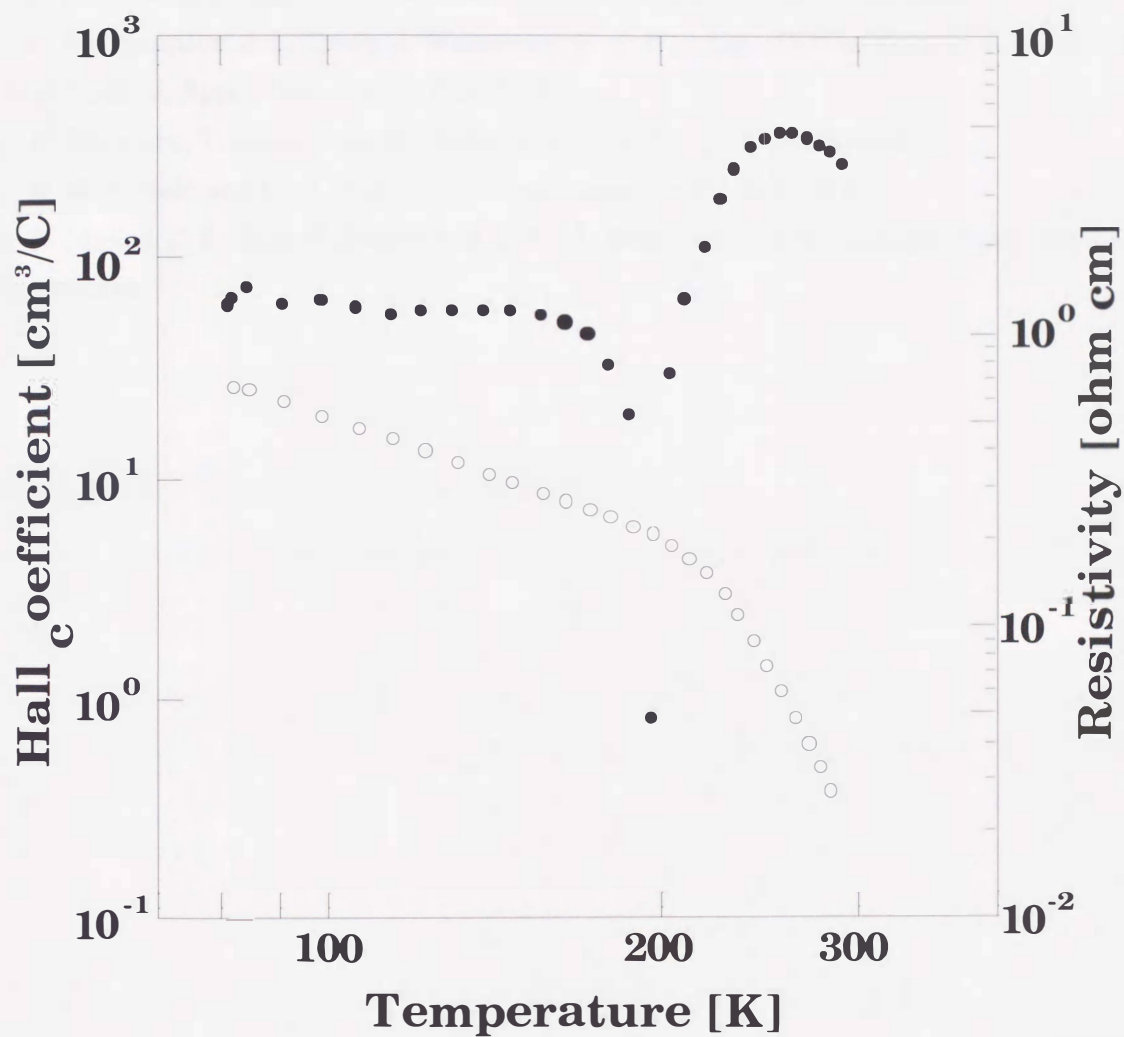


図4.9 2段階成長InSb薄膜のホール係数と抵抗率の温度依存性 ●ホール係数、○抵抗率

[参考文献]

- [1] J. -I. Chyi, D. Biswas, S. V. Lyer, N. S. Kumar, and H. Morkoç, R. Bean, and K. Zaino, H. -Y. Lee, and Haydn Chen, *Appl. Phys. Lett.* 54(11), (1989) 1016
- [2] J. L. Davis and Philip E. Thompson, *Appl. Phys. Lett.* 54(22), (1989) 2235
- [3] P. E. Thompson, J. L. Davis, J. Waterman, R. J. Wangner, D. Gammon, D. K. Gaskill, and R. Stahlbush, *J. Appl. Phys.* 69(10), (1991) 7166
- [4] H. Okimura, T. Matsumae, M. Ohshita, *J. App. Phys.* 66 (1989) 4252
- [5] R. M. Biefeld and G. A. Hebner, *J. Cryst. Growth* 109 (1991) 272
- [6] E. Michel, J. D. Kim, S. Javadpour, J. Xu, I. Ferguson, and M. Razeghi, *Appl. Phys. Lett.* 69 (1996) 215

第5章

Ge(001)基板上での 直接成長InSb薄膜 の作成と評価

Si(001)基板上にInSbを直接成長させた場合、2段階成長法で高温成長させた試料では、 $\langle 111 \rangle$ 方向に配向しやすい傾向が見られた。このことは、基板の情報がInSb薄膜に伝わっていないことになり、ヘテロエピタキシャル成長できていないことを意味する。この原因はSiとInSbとの間に存在する約19.3%の格子不整合であると考えられる。そこで、InSbとの格子不整合が約14.5%であるGeを基板として用いて、Si基板上でのInSb薄膜の成長との比較を行った。

Ge(001)基板上にInSb薄膜をヘテロエピタキシャル成長させることができれば、Si(001)基板とInSbとの間にGeバッファ層を挿入することで、ヘテロエピタキシャル成長させることができると考えられる。

5.1 InSb薄膜の結晶性に対するフラックス比(Sb/In)の影響

5.1.1 試料の作成

作成条件および各試料の膜厚を表5.1に示す。基板温度を 300°C としてSb/Inのフラックス比を3.0、4.0そして5.0と変化させて、InSb薄膜を作成した。フラックス比は、Inのレートを固定してSbのレートを変化させることによりフラックス比を変化させた。蒸着時間はすべての試料で1時間とした。すべての試料で、InSbの蒸着後成長温度で20分間のアニーリングを行った。作成した試料の膜厚は、フラックス比3.0の試料が約 $1.1\mu\text{m}$ であり、その他の2つの試料は約 $1.2\mu\text{m}$ であった。この膜厚から見積もられる各InSb薄膜の成長レートは $3.0\text{\AA}/\text{sec}$ と $3.4\text{\AA}/\text{sec}$ である。

基板温度 [°C]	Flux比 (Sb/In)	蒸着時間 (分)	蒸着後の熱処理 温度(°C)、時間(分)	組成比 (Sb/In)	膜厚 [μm]
300	3.0	60	300、20	0.72	1.1
	4.0			0.82	1.2
	5.0			1.29	1.2

表5.1 成長条件および膜厚

5.1.2 表面観察および組成

AES測定によって見積もられた各試料の組成比のフラックス比依存性を図5.1に示す。フラックス比3.0、4.0、5.0で作成した試料に対して、それぞれ0.72、0.82そして1.29であった。組成比はフラックス比3.0および4.0で作成した試料は、Inリッチであったが、フラックス比5.0で作成した試料では逆にSbリッチとなった。フラックス比の増加に伴い組成比も増加しており、Sbの供給量の増加に伴い、膜に取り込まれたSbの量が増加していることが分かる。フラックス比を4.5とすると組成比が化学量論的組成である1.0に近い試料が作成可能であると考えられる。

作成した試料の走査型電子顕微鏡(SEM)像を図5.2(a)~(d)に示す。ここで図5.2(d)はフラックス比5.0で作成した試料(図5.2(c))の拡大した像である。これらを見てみると、試料の組成比が増加するにつれて表面が平坦になっていくのが分かる。

フラックス比3.0で作成した試料では、試料表面に多くのグレインが見られ、フラックス比4.0で作成した試料にも同様に小さな結晶が見られる。これらの試料はInリッチの試料であることから、これらはInの結晶化したものであると考えられる。Sbリッチとなったフラックス比5.0で作成した試料は、見た目には鏡面であり、図5.2(c)を見ても非常に平坦である。しかし、さらに拡大すると、モザイク状の構造が見られる。これらのことから、フラックス比や組成比が、試料の表面形態を決定する上で非常に重要な役割を果たしているといえる。Sb/Inのフラックス比に依存した表面形態については、Chyiら[1]によってGaAs上のInSb薄膜に対して同様の振る舞いが報告されている。

5.1.3 X線回折

各試料のXRDパターンを図5.3に示す。Si(001)基板上のInSbの成長とは対照的に、すべての試料においてInSb(004)ピークのみが非常に強く現れており、InSb薄膜が完全に<001>方向に配

向している。低角度側には多くの小さなピークが見られるが、全てInもしくはSbのピークである。Inピークに関しては、試料の組成比が増加するにつれて、小さくまた少なくなっていく。また、Sbのピークは、Si上のInSb薄膜の成長においては観察されなかったが、Ge基板上での成長では現れており、Ge基板上ではSbが結晶化しやすいと思われる。

Ge(004)ピークに対するInSb(004)ピークの割合は、フラックス比3.0で作成した試料が一番大きく、フラックス比が増加するにつれて小さくなっている。この場合、InSb薄膜の膜厚が厚くなると、Ge(004)ピークの強度が小さくなるために、膜厚が一定の場合にのみ数値の大小を比較できるが、今回の場合膜厚が薄い試料が一番値が大きいため、これらの値の大小関係は変わらない。このことはフラックス3.0で作成したInSb薄膜が、最も結晶性が良いことを意味し、結晶性に関して言えば、ややInリッチの条件の方が良いと言える。

式(4.1)で定義したヘテロエピタキシーの度合いは、すべての試料においてInSb(004)ピーク以外に、InSbに関係したピークが観察されないもので、いずれの試料も100%である。

5.1.4 電子チャネリングパターン(ECP)

X線回折測定では、膜中に(001)配向した部分が存在すれば、それは全て(004)ピークとして現れる。しかし、これでは(001)配向したそれぞれの微結晶が、面内であらゆる方向に回転していても、(004)ピークとして現れることになる。そのため、面内の配向性については、X線回折測定では知ることができない。そこで電子チャネリングパターン(ECP)を用いて、作成した試料の面内の配向性、結晶性について調べた。ECPは試料に対して垂直方向からある一点に電子線を入射させ、その点に対する電子線の入射角度を変化させて測定するため、面内の配向性、結晶性についての情報を得ることができる。

図5.4に各試料のECP像を示す。フラックス比3.0で作成した試料では、(022)および(004)面に相当する4本の帯が交わった、膜が(001)配向した時に見られるクロスパターンが見られており、膜が単結晶であることを示している。しかし、パターンがはっきりとしていないことから結晶性はそれほど良いとは言えない。また、リング状のパターンが観察されるが、膜中のグレインの配向性が約 $20\mu\text{m}$ 以下の小さな領域に限られているということを示している。それに対してフラックス比5.0で作成した試料のECPは、弱いリングパターンが観察されるだけで、クロスパターンは観察されない。しかし、この試料はXRDパターンにおいてInSb(004)ピークが現れている。これらの結果から、この試料はXRDパターンにおいてInSb(004)ピークが観察されるものの、その結晶領域は小さく、膜が全体として多結晶状態であると言える。図5.2(d)に示した拡大したSEM像において観察されたモザイク構造は、Sbを過剰に含んだグレインであると考えられる。

ECPにおいて、フラックス比の増加に伴って、クロスパターンが観察されなくなり、結晶性、配向性が悪くなった。ECPにおける結晶性、配向性と組成比との間の傾向は、XRDパターンと

同じで、Inリッチの試料の方がむしろ結晶性が良いことがわかる。

5.2 フラックス比4.5での成長

5.2.1 試料の作成

図5.1の膜の組成比のフラックス比依存性を見ると、蒸着時のフラックス比を増加させると、膜中に取り込まれるSbの量が増加し、組成比がInリッチからSbリッチへと変化した。このグラフをみると、組成比が化学量論的組成である1.0の試料を得るには、フラックス比を4.5として蒸着すると良いのではないかと予想される。そこで、基板温度300°C、フラックス比4.5として蒸着を行った。蒸着時間は60分間とし、蒸着後に成長温度で20分間のアニーリングを行った。表5.2に試料の成長条件および膜厚を示す。得られた膜の膜厚は8200Åであり、この値から見積もられる成長レートは約2.3Å/secである。

基板温度 [°C]	Flux比 (Sb/In)	蒸着時間 (分)	蒸着後の熱処理 温度(°C)、時間(分)	組成比 (Sb/In)	膜厚 [μm]
300	4.5	60	300、20	1.17	0.82

表5.2 成長条件および膜厚

5.2.2 表面観察および組成

図5.5にフラックス比4.5で作成した試料のSEM像を示す。この試料では見た目には完全に鏡面であった。また、表面が非常に平坦であったため、光学顕微鏡では特徴が観察されず、倍率を図5.2(d)の場合と同程度の10400倍に拡大して示してある。試料表面は図5.2(d)と非常によく似ており、モザイク状の構造を示している。

AES測定から見積もられた試料の組成比は、1.17となり、フラックス比5.0で作成した試料よりも、Sbの割合が僅かに減少したが、依然として膜はSbリッチである。しかし、これは蒸着中のフラックス制御が完全ではなかったことによるもので、6章で示すが、Ge/Si基板上にフラックス比4.5で蒸着した試料では、組成比が1.0に非常に近い値が得られた。このことより、フラックス比を減らしたことによって、膜中のSbの割合が減少したことより、フラックス比によって膜の組成比を制御できると言える。

先ほどの図5.1のグラフに今回の結果を加えたものを図5.6に示す。同時にGe/Si基板上に作成した試料の値も合わせて示している。グラフからも良く分かるように、フラックス比を制御することで、膜の組成をほぼ正確に制御できていることが分かる。

5.2.3 X線回折

フラックス比4.5として作成した試料のXRDパターンを図5.7に示す。InSb(004)ピークのみが鋭く現れており、式(4.1)で定義したヘテロエピタキシーの度合いも100%である。低角度側に小さなInピークおよびSbピークが現れているが、フラックス比3.0、4.0で作成した試料よりもピークの数も減り、ピーク強度も小さくなっている。Sbピークの数や強度の減少は、フラックス比5.0で作成した試料よりも、膜中のSbの割合が減少していることに対応している。Ge(004)ピークに対するInSb(004)ピークの強度は、フラックス比5.0で作成した試料と同程度であるが、フラックス比3.0、4.0で作成した試料よりも弱い。これは膜が依然としてSbリッチであるため、結晶性、配向性が悪くなったためである。しかし、試料の膜厚がフラックス比5.0で作成した試料よりも薄いことを考慮すると、フラックス比4.5で作成した試料の方が、フラックス比5.0で作成した試料よりも良いと言える。

5.2.4 電子チャネリングパターン(ECP)

試料の面内の配向性を調べるために、電子チャネリングパターンを観察した。図5.8にフラックス比4.5で作成した試料の電子チャネリングパターンを示す。

ECPでは、クロスパターンは見られるものの、非常に薄いものである。001面のパターンは4本の帯が交わったパターンであるが、このECPにはぼやけた細い帯が観察されるが、太い帯はほとんどはっきりしない。しかし、フラックス比5.0の試料では見られなかったパターンが観察されており、面内の配向性は向上しているといえる。また、フラックス比3.0、4.0、5.0で作成した試料ではリングパターンが観察されていたが、これには見られない。よって001配向したグレインが大きくなったことを示している。しかし、パターンがはっきり現れていないことから、面内の配向性はそれほど良いとは言えない。また、パターンの輪郭がはっきりしないのは、膜中の欠陥密度が高いためである[2]。このことからフラックス比4.5で作成した試料は、面内の配向性および結晶性はともに悪いと言える。

5.3 まとめ

InSb薄膜をGe(001)基板上に直接成長させ、その特性について表面性、結晶性について調べた。InSb薄膜の表面性は、フラックス比そして組成比に大きく影響を受け、Sbリッチの膜は非常に表面性が良い。また、膜の組成比は蒸着時のフラックス比を制御することで変化し、制御することができる。しかし、結晶性は、これとは逆に膜中のSbの割合が増加するにつれて悪くなる。この結果は、X線回折測定および電子チャネリングパターンにおいて同様の傾向が見られる。結晶性および配向性の良いInSb薄膜は、化学量論的組成の膜においてよりも、むしろ組成がInリッチとなるような条件で作成された膜で得られる。また、膜の表面性と結晶性、配向性は必ずしも一致しない。

InSb薄膜はGe(001)基板上で、完全に<001>配向し、ヘテロエピタキシャル成長する。また多少成長条件を変えてもヘテロエピタキシャルの度合いは変化せず、InSbに対して非常に広い成長ウィンドウを持っていると言える。同様の報告がAlSbにおいて報告されている[3]。

これらの結果から、Si(001)基板上にGe層を蒸着することで、Ge基板上と同様のInSb薄膜をヘテロエピタキシャル成長させることができると考えられる。

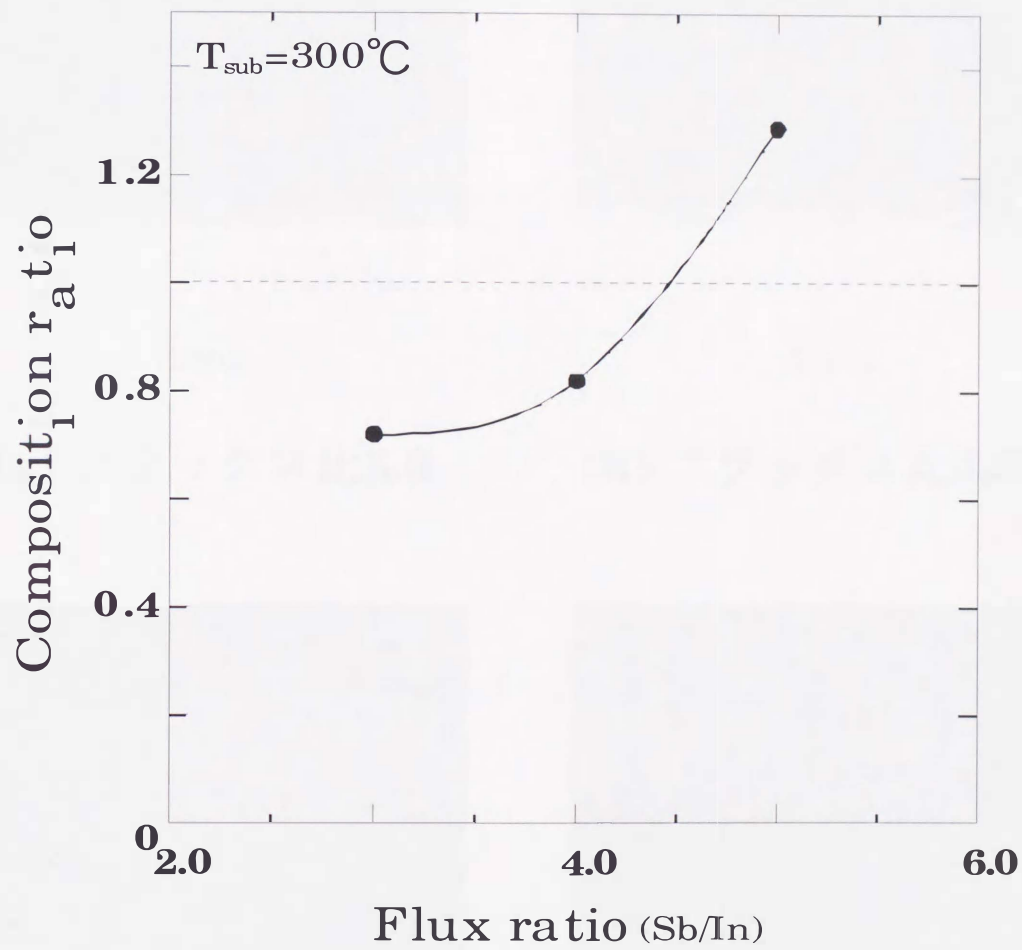
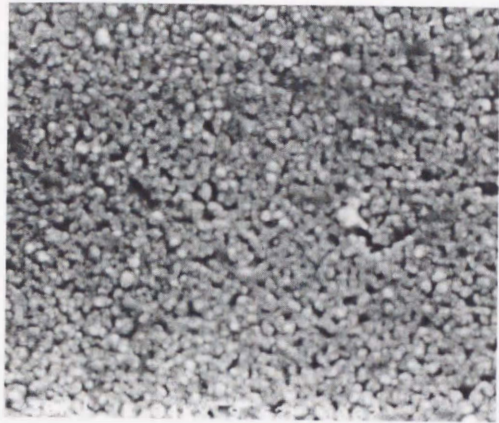


図5.1 組成比のフラックス比依存性



25μm

(a) フラックス比3.0



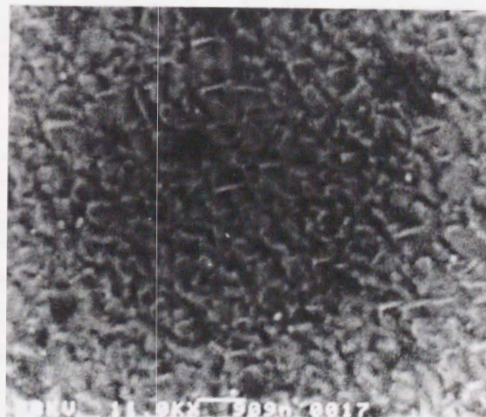
25μm

(b) フラックス比4.0



25μm

(c) フラックス比5.0



3μm

(d) 試料(c)の拡大

図5.2 各試料の走査型電子顕微鏡像

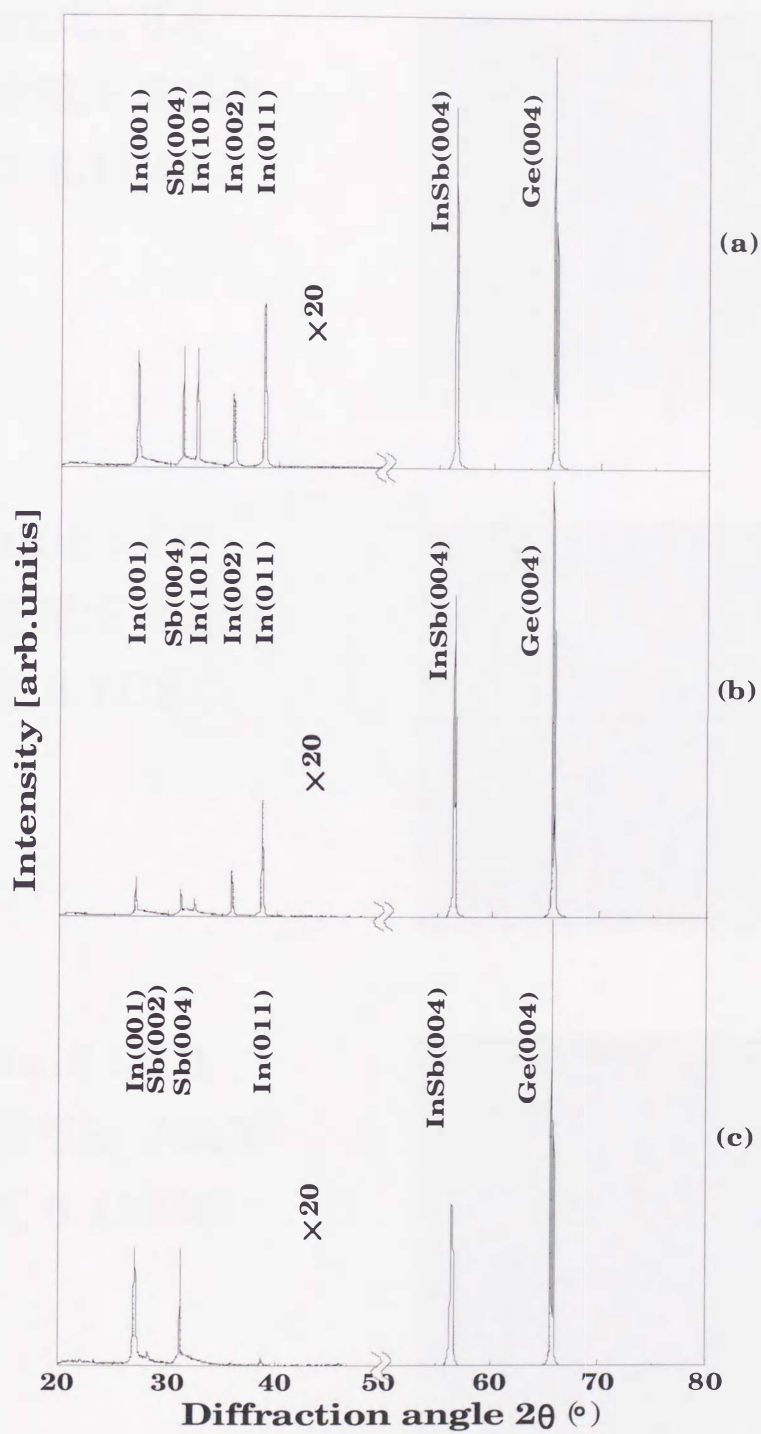
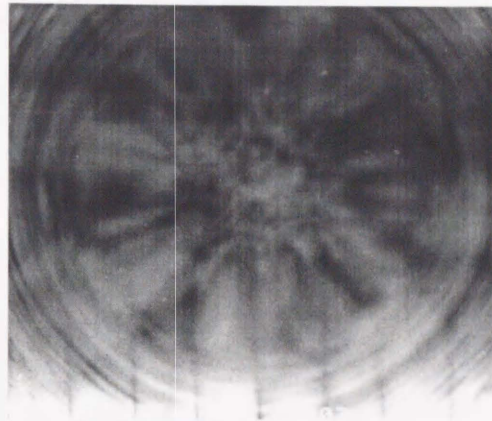
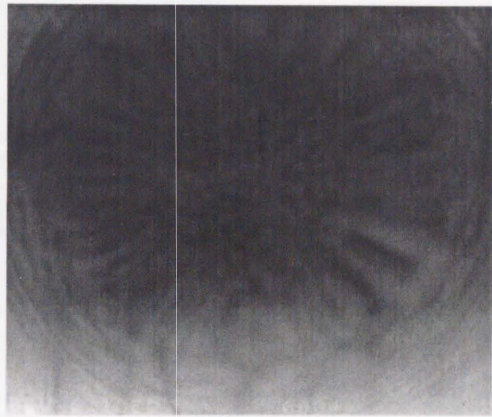


図5.3 各試料のXRDパターン
Flux比 (a)3.0、(b)4.0、(c)5.0

(a) **Flux比 : 3.0**
加速電圧 **30kV**
角度 **6.1DEG**



(b) **Flux比 : 4.0**
加速電圧 **30kV**
角度 **6.1DEG**



(c) **Flux比 : 5.0**
加速電圧 **30kV**
角度 **6.1DEG**

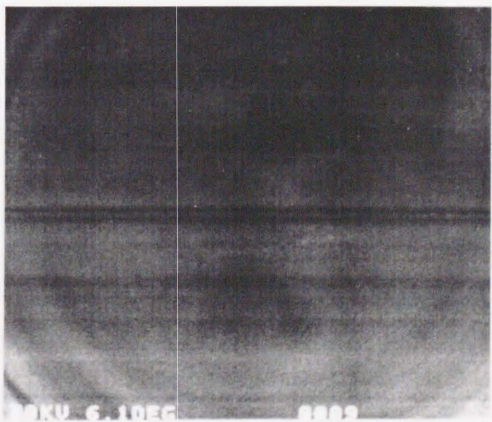
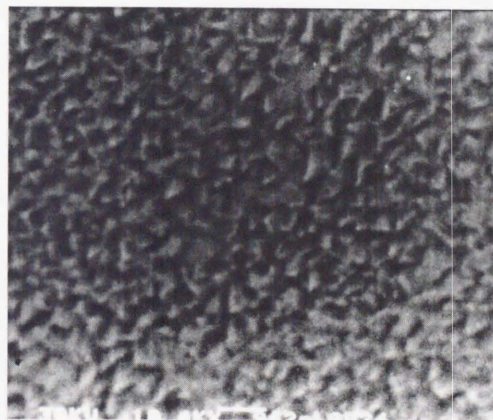


図5.4 各試料の電子チャネリングパターン



3 μ m

図5.5 フラックス比4.5の試料のSEM像

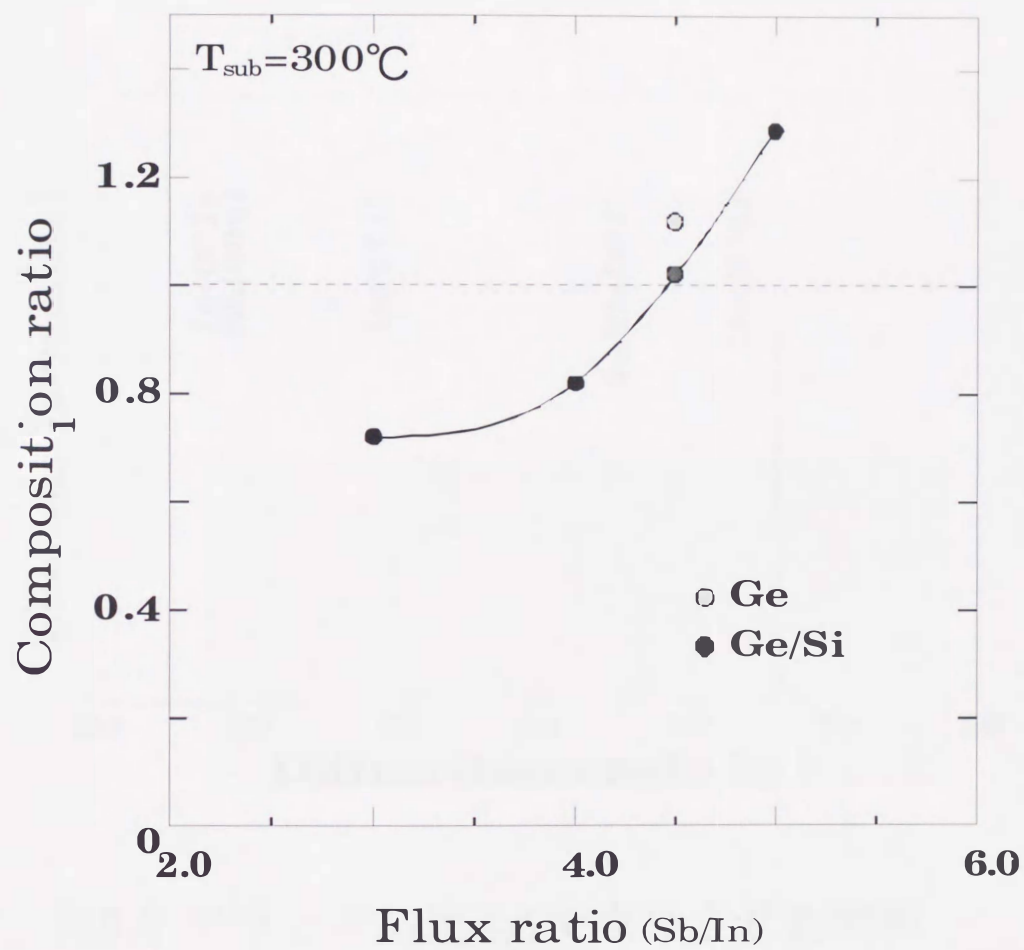


図5.6 組成比のフラックス依存性

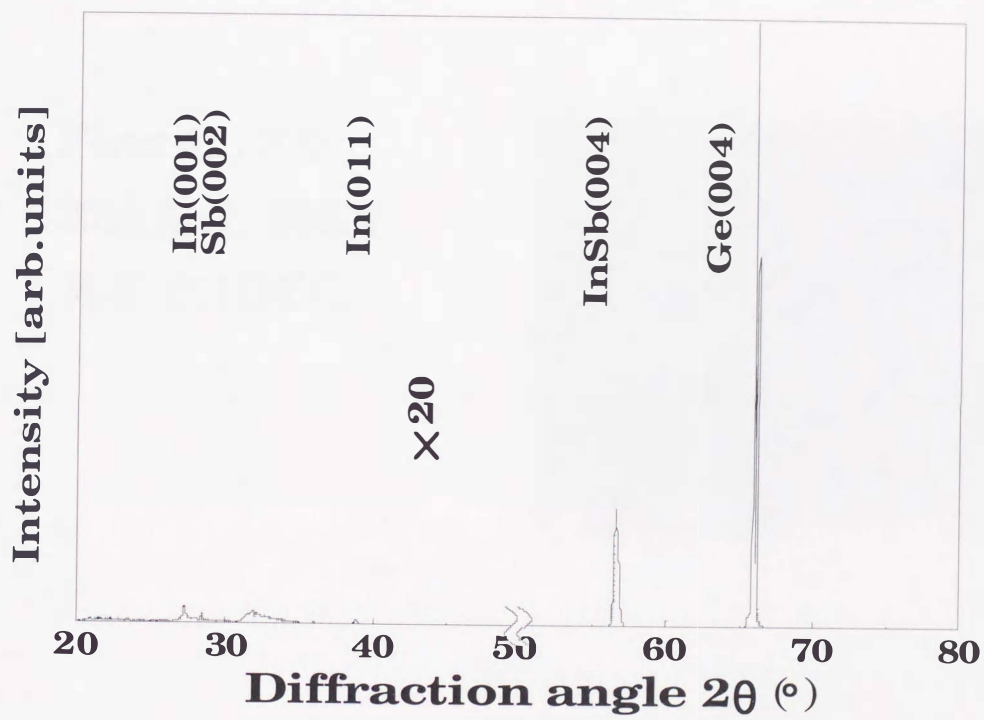


図5.7 フラックス比4.5で成長させた試料のXRDパターン

Flux比 : 3.0
加速電圧 30kV
角度 6.1DEG

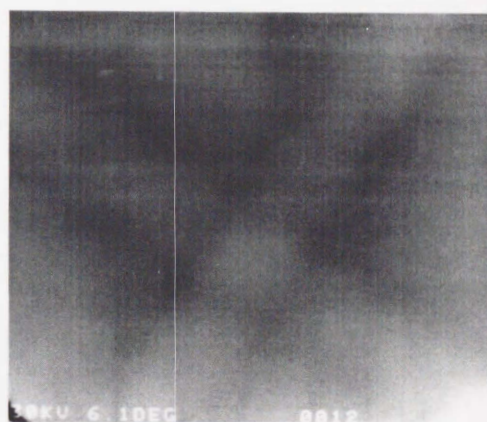


図5.8 フラックス比4.5の試料のECP

[参考文献]

- [1] J. -I. Chyi, S. Kalen, N. S. Kumar, C. W. Litton, and H. Morkoç, Appl. Phys. Lett. 53 (1988) 1092
- [2] T.S. Rao, J. B. Webb, D. C. Houghton, J. M. Baribeau, W. T. Moore, J. P. Noad, Appl. Phys. Lett. 53 (1988)
- [3] L. K. Li, Y. Hsu, and W. I. Wang, J. Vac. Sci. Technol. B 11(3), (1993) 872

第6章

Ge/Si(001)基板上 でのInSb薄膜の作 成と評価

これまでの実験でSi(001)基板上に直接InSbを成長させると、膜は多結晶成長してしまう。2段階成長法を用いることで結晶性の良い膜を高温で作成できるが、(111)配向してしまう。Ge(001)基板を用いると、広い成長条件でInSb薄膜がヘテロエピタキシャル成長し、フラックス比4.5程度で蒸着することで、化学量論的組成のInSb薄膜を作成できる。しかし、膜の表面性と結晶性は必ずしも一致せず、Inリッチの条件で作成した試料の方が、結晶性および配向性が優れている。

しかし、Ge(001)基板上のInSb薄膜の結果は、Si(001)基板上にGe層を蒸着することで、InSb薄膜をヘテロエピタキシャル成長させることができる可能性を示している。そこで、Ge基板における結果を踏まえて、Si(001)基板上に4000ÅのGe層を蒸着してInSb薄膜を成長させた。

[1]

6.1 試料の作成

試料の作成条件はGe基板上の結果を踏まえて、基板温度300°C、フラックス比4.5として60分間の蒸着を行った。InSb蒸着後の成長温度で20分間のアニーリングを行った。Ge基板上では、この条件で作成した場合、組成比が化学量論的組成である1.0に近い試料が作成される。表6.1に試料の作成条件および膜厚を示す。各試料の膜厚から見積もられるInSb薄膜の成長レートは約2.3Å/secである。

基板温度 [°C]	Flux比 (Sb/In)	蒸着時間 (分)	蒸着後の熱処理 温度(°C)、時間(分)	膜厚 [μm]
300	4.5	60	300、20	0.82

表6.1 成長条件および膜厚

6.2 試料の評価

6.2.1 表面観察および組成

作成した試料の走査型電子顕微鏡(SEM)像を図6.1に示す。比較のためにInリッチの膜のSEM像も合わせて示す。各試料の組成比はそれぞれ1.025と0.653で、SEM像の倍率はそれぞれ22000倍と11100倍である。組成比が1.0に近い試料は、肉眼でも非常に平坦で鏡面であった。SEM像をみると、試料表面が0.5~2.0μm程度のグレインサイズを持った板状の結晶で覆われており、図5.2(d)や図5.5で示したようなSbリッチの試料表面とはずいぶん異なっている。また、Inリッチの試料では、形がはっきりとした多くのInSbのアイランドによって試料表面が覆われている。

Ge基板上での成長と同様に、フラックス比4.5で成長させた試料は、組成比が1.0に非常に近くなった(図5.6参照)。このことから、Ge基板上での成長条件を使用することで、Ge/Si(001)基板上でも同様の組成制御が可能であると言える。

6.2.2 X線回折

各試料のXRDパターンを図6.2に示す。いずれの試料も多結晶InSbピークが観察されず、InSb(004)ピークのみが鋭く現れており、InSb薄膜がヘテロエピタキシャル成長していることが分かる。したがって、式(4.1)で定義したヘテロエピタキシーの度合いも100%である。このことから、Ge(001)基板と同様に、Ge/Si(001)基板上においてもInSb薄膜が、ヘテロエピタキシャル成長することが分かった。これは、Ge層を4000Å蒸着したことによって、Si(001)基板上のGeが完全に緩和し、Ge固有の格子定数を持ったために、Ge(001)基板と同様の表面が得られたためである。

Inリッチの試料では、組成比を反映して低角度側にInピークが多数見られる。InSb(004)ピークの強度は、Inリッチの試料が僅かに強く現れており、Ge/Si(001)基板上のInSbにおいても、

Inリッチの試料の方が結晶性、配向性が優れていると考えられる。

6.2.3 電子チャネリングパターン(ECP)

X線回折測定の結果から、Ge/Si(001)基板上のInSb薄膜が、Ge(001)基板上と同様にヘテロエピタキシャル成長することが分かった。また、結晶性、配向性についてもInリッチの試料の方が優れていることも分かった。そこで、ECPによって、面内方向の結晶性および配向性について調べた。また、InSb薄膜が下地のGe層とどのような方向性を持って成長しているのかについても調べてみた。

図6.3と6.4にそれぞれの試料のECPを示す。いずれも上に示すのがGe層のECPで下がその上に成長しているInSb薄膜のECPである。いずれの試料とも(004)および(022)面に関するクロスパターンが観察されている。しかし、輪郭が非常にはっきりとして高次数の面に対応するパターンまで観察できるGe層のECPと比較して、InSbのECPはいずれの試料ともぼんやりとしてはっきりとしない。したがって、膜中に多数の欠陥が存在することが分かる[2][3]。InSb薄膜のECPに関して2つの試料を比較すると、Inリッチの試料の方が僅かにパターンがはっきりとしている。この結果はXRDパターンにおけるInSb(004)ピーク強度の結果と対応している。また、InSb薄膜とGe層のECPの帯の間隔について見てみると、InSbのECPがあまりはっきりとしないために、正確な値は出せないが約12%~18%程度InSbのECPが狭くなっている。これはInSbとGeの格子定数差にほぼ一致している。また、リングパターンはこれらのECPには現れていないことから、少なくとも20 μm 以上の幅を持った単結晶膜であると言える。

次に、InSb薄膜とGe層の関係について見てみる。もし、Ge層とInSb層とでパターンが異なっていたり、回転しているならば、Ge層上のInSbが異なる面方位を持って成長していたり、回転して成長していることになる。しかし、InSb薄膜とGe層のECPの方向について注目してみると、パターンが同一の方向を向いていることが分かる。このことは、InSbとGeが同一の面方位に沿って成長していることを意味し、InSbがGeに対して回転していないことを表わしている。Si基板に対してGeは回転せずに成長することから、InSb薄膜がGe層を介してSi(001)基板の面方位に沿って成長していることが分かった。

6.2.4 電気的特性

組成比が1.0に近い試料の電気的特性を測定した。図6.5に移動度とキャリア濃度、図6.6にホール係数、抵抗率の温度依存性をそれぞれ示す。

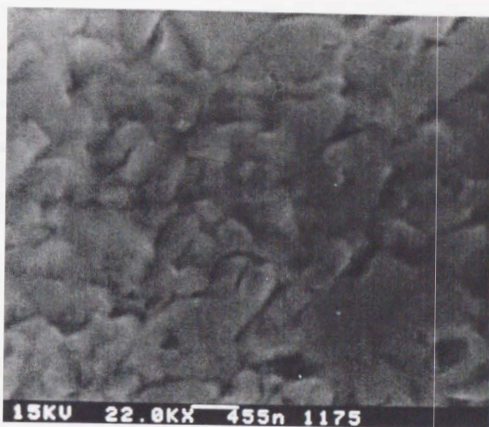
移動度は室温で $1300\text{cm}^2/\text{Vs}$ 程度とかなり小さく、また温度に対してあまり大きな変化をしていない。キャリアの反転現象は観察されなかった。また、キャリア濃度は $10^{17}/\text{cm}^3$ の後半で非常に高く、低温から温度の増加に伴ってキャリア濃度が増加しているが、150K付近で再び減少しはじめている。抵抗率は低温になるにつれて僅かに上昇しているが、金属的な温度依存性となっている。

Si基板上にGe層を蒸着した場合、Ge層の不純物密度が高くなり、低抵抗になってしまう傾向があり、そのため、測定電流がこのGe層を流れてしまう可能性がある。よって、この測定結果は、基板の影響を大きく受けていると考えられる。

6.3 まとめ

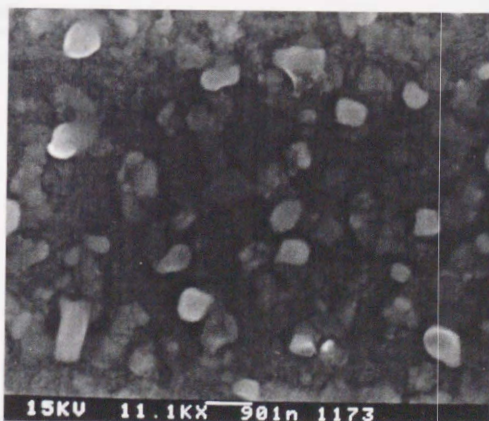
Ge基板上での実験結果を踏まえて、Si(001)基板上に約 4000\AA のGe層を蒸着したGe/Si(001)基板を用いてInSb薄膜を作成した。Ge層を 4000\AA 蒸着したことによって、Si(001)基板上のGeが完全に緩和し、Ge固有の格子定数を持つ非常に平坦な表面が得られる。これにより、Ge(001)基板と同様の表面が得られる。

化学量論的組成の薄膜を作成するため、フラックス比4.5で蒸着したが、InSb薄膜はGe基板上と同様にヘテロエピタキシャル成長した。この場合もInリッチの膜の方が結晶性が良く、電子チャネリングパターン(ECP)では、(001)面を表わすパターンがはっきりと現れた。また、Ge層のECPと比較した結果、結晶性は悪いものの、パターンはGeのECPと同一の方向を向いており、Ge層上のInSb薄膜は回転せずに、Si(001)基板の面方位に沿って成長していることが分かった。しかし、完全にヘテロエピタキシャル成長しているにもかかわらず、移動度は小さく、低抵抗のGe層の影響を大きく受けていると考えられる。



1μm

(a) Sb/In=1.025



3μm

(b) Sb/In=0.653

図6.1 各試料の走査型電子顕微鏡像

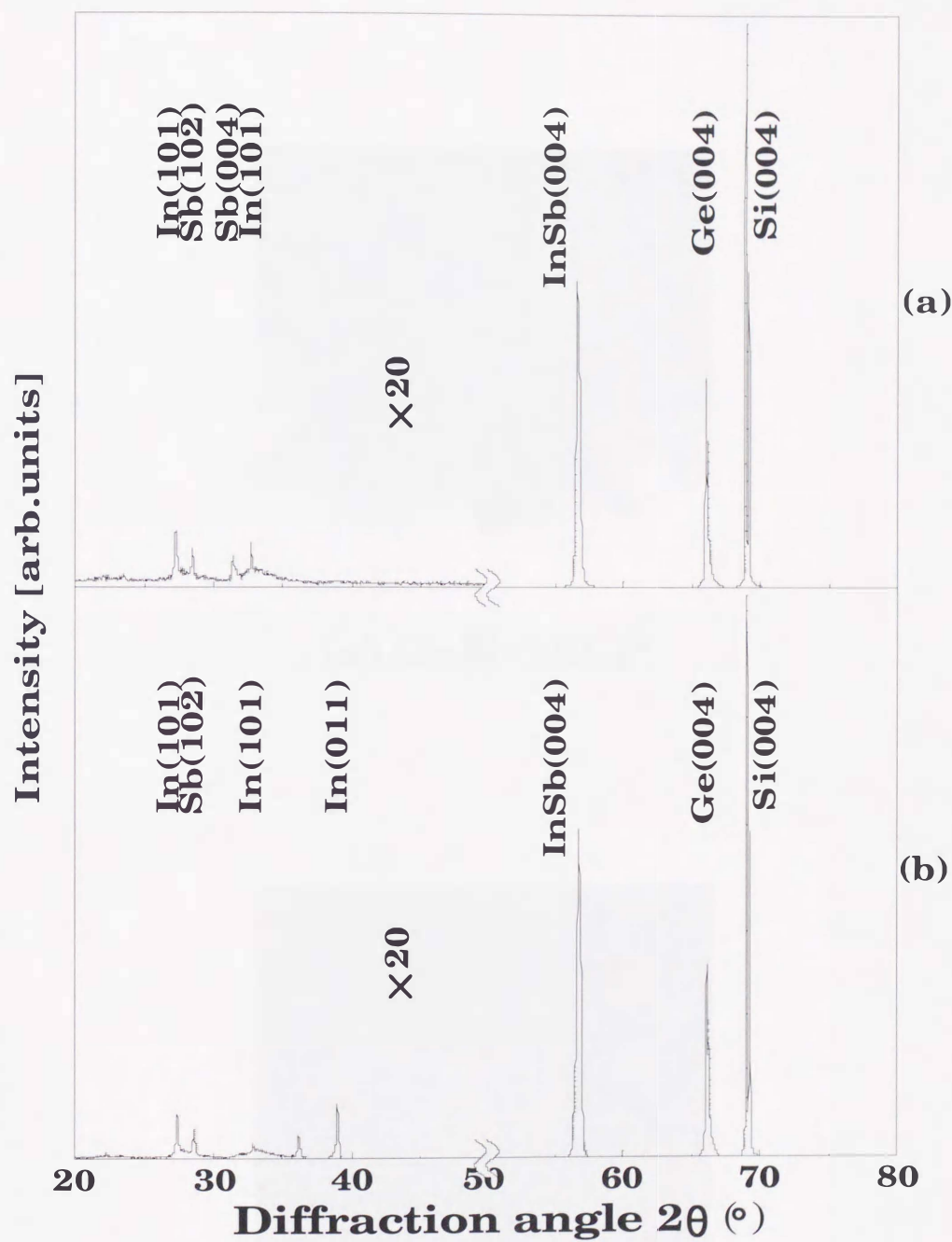
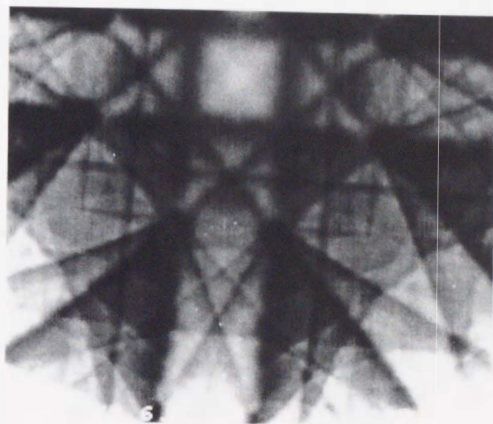


図6.2 各試料のXRDパターン
 (a)Sb/In=1.025、(b)Sb/In=0.653

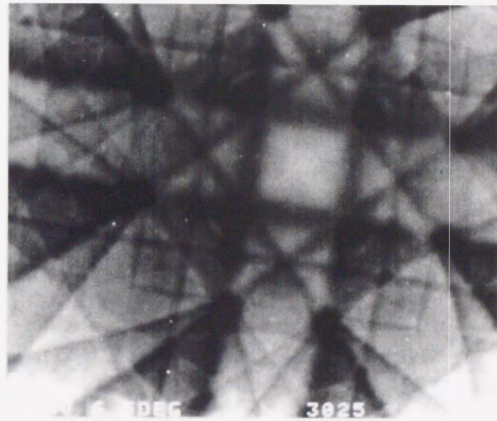


(a) Ge層のECP



(b) InSb薄膜のECP

図6.3 Sb/In=1.025の試料のECP



(a) Ge層のECP



(b) InSb薄膜のECP

図6.4 Sb/In=0.653の試料のECP

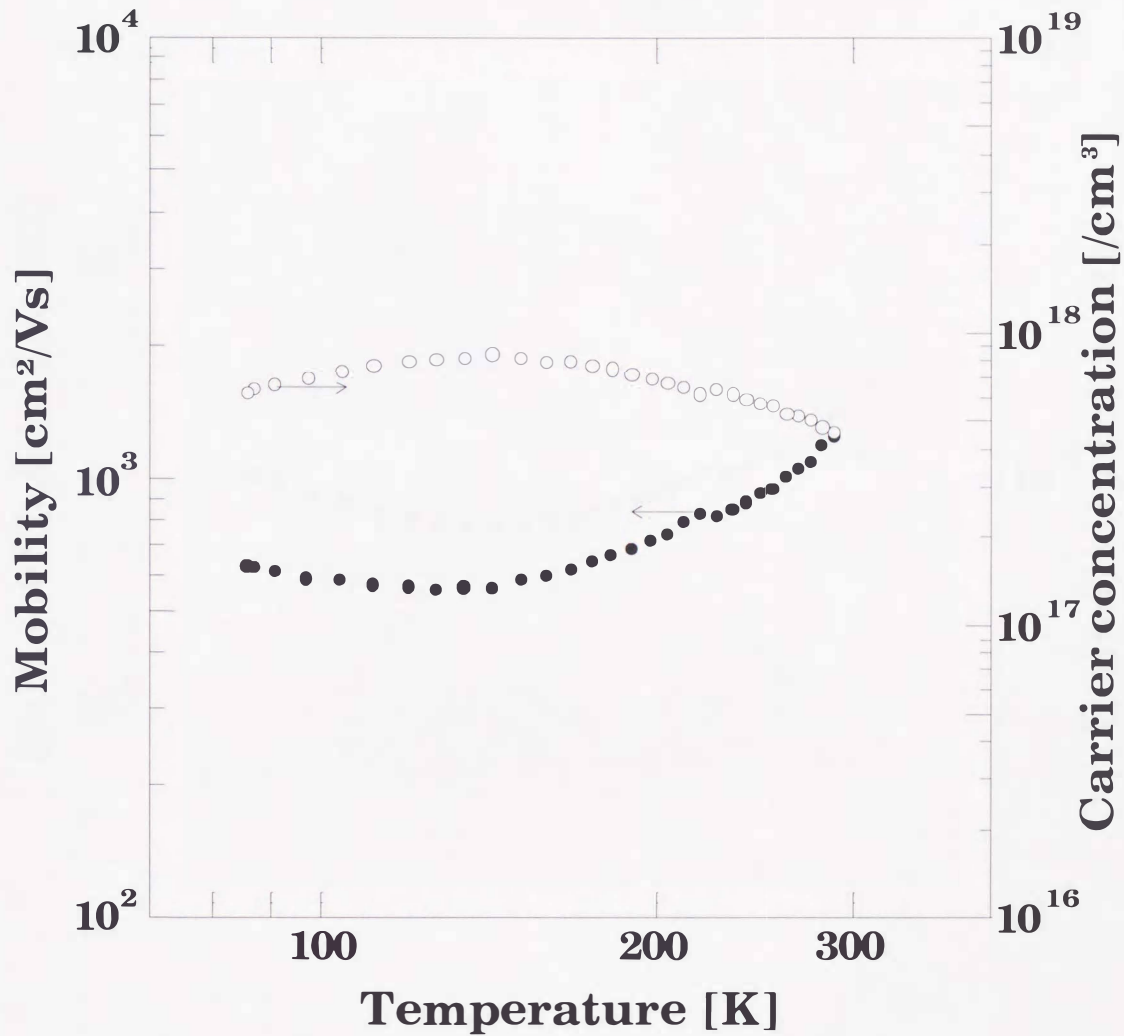


図6.5 InSb/Ge/Si(001)の移動度とキャリア濃度の温度依存性 ●移動度、○キャリア濃度

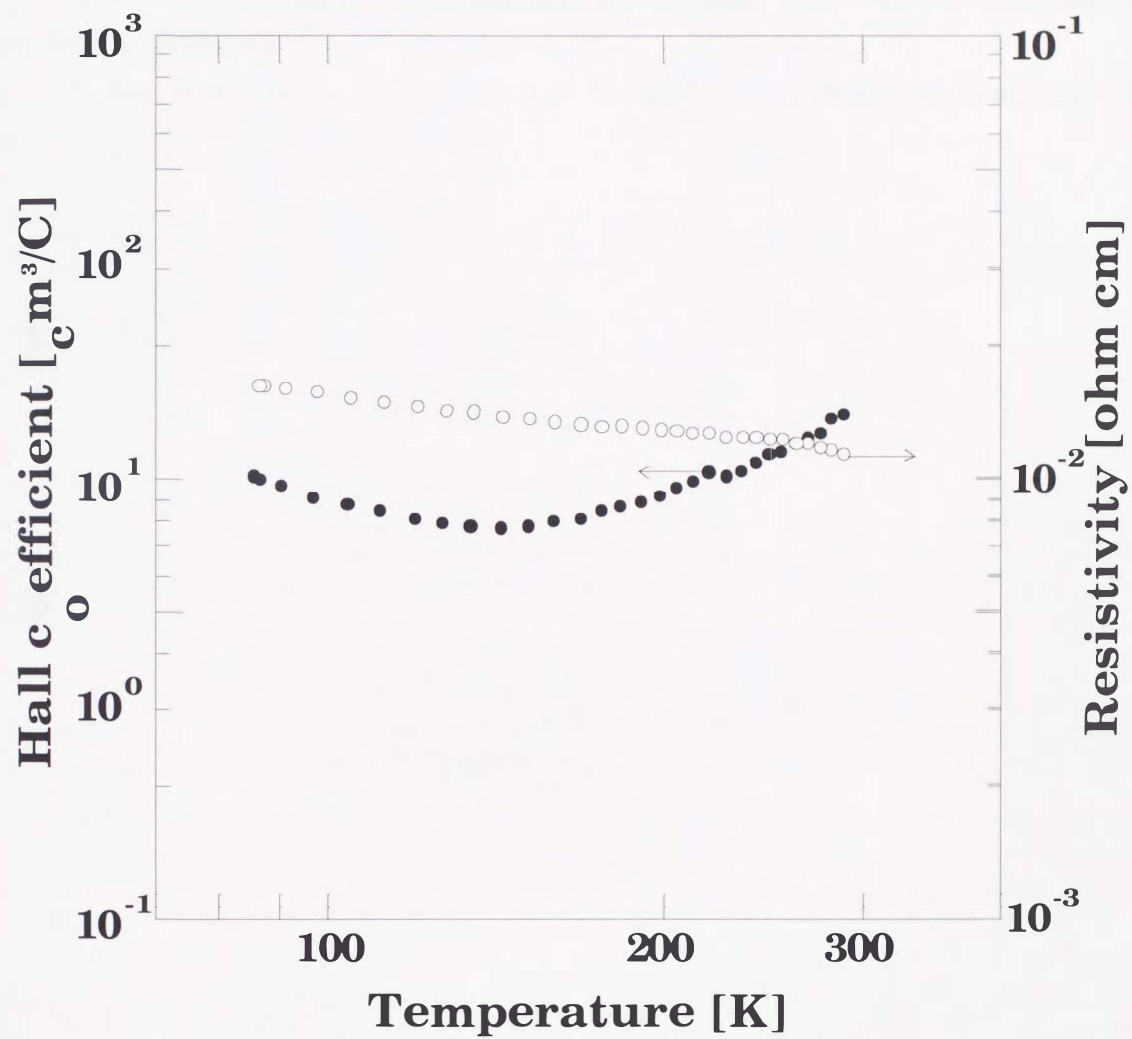


図6.6 InSb/Ge/Si(001)のホール係数と抵抗率の温度依存性 ●ホール係数、○抵抗率

[参考文献]

- [1] M. Mori, D. M. Li, M. Yamazaki, T. Tambo, H. Ueba, C. Tatsuyama, *Appl. Surf. Sci.* 104/105 (1996) 563
- [2] T. S. Rao, J. B. Webb, D. C. Houghton, J. M. Baribeau, W. T. Moore, J. P. Noad, *Appl. Phys. Lett.* 53 (1988) 51
- [3] T. S. Rao, C. H. Halpin, J. B. Webb, J. P. Noad, K. Rajan, *Thin Solid Films*, 163 (1988) 399

第7章

Geアイランドを介したSi(001)基板上で のInSb薄膜の作成 と評価

我々はこの実験において、4000ÅのGe層上にInSb薄膜をヘテロエピタキシャル成長させることができた。しかし、完全にヘテロエピタキシャル成長しているにもかかわらず、膜の移動度は小さく、低抵抗のGe層の影響を大きく受けていると考えられる。つまり、測定電流が低抵抗のGe層を流れてしまうため、InSb薄膜自体の電気的特性を測定できていないためと考えられる。そこで、Ge層の抵抗を上げて、測定電流がGe層を流れるのを防ぐために、Ge層を薄くすることを試みた[1]。

7.1 Si基板上的Geアイランドの形成

Si(001)基板上におけるGe薄膜の成長は、両原子間の~4.2%の格子不整合のために、layer-by-layerの後に三次元アイランドが形成される、Stranski-Krastanov(SK)モードと呼ばれる成長モードで成長する[2-9]。そのため、6原子層(ML)までは層状に成長し、その後基板表面にアイランドが形成される。アイランド以外の部分はSiと同じ格子定数を持った薄いGe層となる。この現象をRHEEDパターンの鏡面反射ビームの強度振動で観察できるため、正確な膜厚制御が可能となる。

図7.1に観察したRHEED強度振動の結果を示す。測定を開始してから12秒後にGeのKセルのシャッターを開いた。この時に強度が増加しているのは、Kセル内の光をディテクターが拾った

ためである。強度振動ははっきりとしないが、振幅が3回観察され、次第に減衰している。測定開始から220秒経過するとRHEEDパターンは、はっきりとしたスポット状になり、表面がアイランド化した。振幅の周期は約50秒である。[110]方向から電子線を入射する場合、振幅1周期に対して2原子層成長するので、この結果から1ML/25sec、つまり0.05658Å/secと見積もられる。

Si(001)基板の清浄化の後、基板温度450°CでGe層を蒸着する。Ge層の膜厚は、見積もった成長レートをもとにシャッターの開放時間で制御した。

Geバッファ層を介してInSb薄膜を成長させる前に、Geバッファ層がその上に成長させるInSb薄膜に与える影響を評価するため、Si(001)基板上に成長させたGe層の表面が、Ge層の膜厚に対してどのように変化しているかを調べる必要がある。Geバッファ層蒸着後、RHEEDパターンを観察し、その後試料をチャンバーから取り出し、大気中でAFM観察した。表7.1に作成条件およびGeアイランドの面積密度を示す。また、図7.2(a)~(e)に各試料のRHEEDパターン(上)とAFM像(下)をそれぞれ示す[1]。

Ge層が10MLの場合(図7.2(a))では、 $\frac{1}{2}$ 次と1次のラウエリングは消失しているものの、ストリークパターンは、変化しておらず、基板上面にはほとんどアイランドがないと考えられる。ラウエリングの消失は、Geの成長によって表面に存在するステップが増加して、逆格子が伸びていることによると考えられる。AFM像を見ても、僅かにアイランドが見られるが、非常に平坦で大部分がSiの格子定数を持ったGe層であると考えられる。アイランドの面積密度も0.06%と非常に小さい。

Ge層を50ML蒸着した表面(図7.2(b))では、ストリークパターンが薄くなり、ストリーク上にスポットパターンが現れている。これは基板表面上にかなりGeアイランドが現れていることを示している。また、スポットの間隔は、Si(001)清浄面の整数次のストリークパターンの間隔よりも約4%狭くなっている。これはGeとSiとの格子不整合の約4.2%にほぼ一致する。つまり、Si表面がGeによって覆われたことを示している。また、AFM像には四角いアイランドが多数現れており、急激にアイランドの数が増加していることが分かる。また、1つ1つのアイランドは $\langle 110 \rangle$ 方向に平行な底辺を持っている。Geアイランドの面積密度は17.1%となり、この値からもアイランドの数が急激に増加していることが分かる。

100MLまでGeを蒸着すると(図7.2(c))、RHEEDパターンはかなりはっきりとしたスポットパターンとなっている。また、スポットから特徴的なストリークパターンが見られ、2つの突き出たストリークの間角度は20°程度である。これは(113)面を持ったファセット構造の特徴であり、Geのアイランドがファセット構造を形成していることが分かる[3][8][9]。AFM像を見ると、アイランドの数がかなり増加して、50MLのときよりもアイランドの高さが高くなり、形もはっきりとしている。面積密度は25.6%となり、基板表面の1/4がGeアイランドで覆われていることになる。

500ML蒸着後(図7.2(d))のRHEEDパターンは、ストリークが完全に消えて、スポットパターンになっている。(113)面を持ったファセットパターンも現れている。AFM像では100MLのとき

に比べ、より大きなアイランドが現れている。この大きなアイランドは丸く見える。Capellineら[9]が報告したGeアイランドのAFM像では、 $\langle 110 \rangle$ 方向以外に $\langle 100 \rangle$ 方向にも平行な底辺を持ったGeアイランドが示されている。底辺の幅が300nmを超えると現れるこのアイランドが、我々のAFM像でも観察され、丸く見えると考えられる。アイランドの面積密度は21.3%であった。

Geを1000ML蒸着後(図7.2(e))のRHEEDパターンは、ファセット構造を示すパターンがはっきりとしており、スポットパターンもストリーク状になっている。AFM像ではさらにアイランドが大きくなり、小さなアイランドはほとんど見られなくなった。面積密度は38.6%となり表面の4割程度がアイランドで覆われている。

図7.3に面積密度をGe層の膜厚に対してプロットしたものを示す。Ge層の膜厚が10~100MLまでの範囲では、Geの膜厚が増えるにしたがって、アイランドの数が急激に増加し、面積密度も急激に増加している。しかし、100ML以上ではアイランドの数が増えるよりもアイランド自体の大きさが大きくなり、面積密度は20~40%で飽和している。

試料	Ge層の膜厚 [ML]	基板温度 [°C]	post anneal [°C, min]	面積密度 [%]
(a)	10	450	450, 20	0.06
(b)	50			17.1
(c)	100			25.6
(d)	500			21.3
(e)	1000			38.6

表7.1 成長条件およびGeアイランドの面積密度

7.2 Geバッファ層厚依存性

7.2.1 試料の作成

InSb薄膜のヘテロエピタキシーにおけるGeバッファ層の効果を調べるため、Si(001)基板上に10~1000MLのGeバッファ層を蒸着し、これらの基板上にInSb薄膜を成長させる。

Si(001)基板の清浄面をRHEEDによって確認後、基板温度450°CでGe層を蒸着する。20分間のポストアニール後、InSbの蒸着を行う。InSb薄膜蒸着時のInおよびSbの各Kセル温度は、そ

れぞれ800°C、360°Cである。この条件で作成することで化学量論的組成の膜を成長させることができる。表7.2に作成条件および膜厚、組成比を示す。InSb蒸着時の基板温度は250°C、蒸着後に250°Cで20分間のポストアニールを行った。比較のために、Si(001)基板とGe(001)基板上に同じ条件でInSb薄膜を成長させた。

作成した各試料の膜厚は、8200Åから9500Åの範囲であり、ほぼ同質の薄膜が得られたと考えられる。この値はInSb薄膜のみの膜厚であり、干渉膜厚計の観察では、試料全体の膜厚から蒸着したGe層の膜厚を引いた。しかし、Ge層はSi基板上でアイランド成長するので、試料全体にわたってGe層が500ML、1000MLの膜厚ではないので、500MLと1000MLの試料については、実際のInSbの膜厚は、もう少し厚いと考えられる。この膜厚から見積もられる膜の成長レートは、約2.3Å/secから約2.7Å/secである。

試料	基板	Ge層の膜厚	面積密度 [%]	基板温度 [°C]	膜厚 [Å]	組成比 (Sb/In)
(a)	Si	---	---	250	8700	1.027
(b)	Ge	---	---		9400	0.983
(c)	Ge/ Si	10ML	0.06		8700	1.227
(d)		50ML	17.1		8200	1.002
(e)		100ML	25.6		9300	0.761
(f)		500ML	21.3		8900	0.777
(g)		1000ML	38.6		8200	0.952

表7.2 各種基板上へのInSbの成長条件および膜厚、組成比

7.2.2 表面観察および組成比

図7.4(a)~(g)に各試料のInSb薄膜蒸着後のRHEEDパターン(上)とAFM像(下)を示す。RHEEDにおける電子線の入射方向は[110]方向である。各試料の組成比は10MLの試料と100ML、500MLの試料で大きくずれているものの、その他の試料は、ほぼ化学量論的組成である1.0に近いものとなっている。

Si基板に直接成長させた試料では(図7.4(a))、RHEEDパターンは観察されなかった。これは下のAFM像でも分かるように、大きなアイランドが多数見られ、試料表面が粗いために観察されなかったものと考えられる。試料の平均荒さ(Mean Roughness)は48.6nmであり、かなり表面が荒れていることが分かる。

Ge基板上の試料では(図7.4(b)), RHEEDパターンにおいて特徴的なスポットパターンが観察された。スポットの間隔は、蒸着前のGeのものより約14%狭くなっており、GeとInSbとの格子定数差に相当する。このため、Ge基板上にInSb薄膜が表面性よく成長していることが分かる。AFM像を見ると、Si基板上とは大きく異なり、試料表面が非常に平坦である。平均荒さは9.3nmであり、このことからSi基板上のInSb薄膜よりもはるかに平坦であることが分かる。この程度の表面になれば、特徴的なRHEEDパターンが観察されることが分かる。

10MLの試料(図7.4(c))のRHEEDパターンは、薄くリングパターンが観察されており、膜が多結晶であることを示している。AFM像ではSi基板上に直接成長させた場合と、よく似たアイランドが見られる。これらのアイランドは、RHEEDの結果から多結晶アイランドであると考えられ、アイランドの大きさはこちらの方が僅かに小さい。平均荒さは30.4nmで、Si基板上に直接成長させた場合よりも少し平坦になっている。

50MLから100MLのバッファー層上に成長させた試料では(図7.4(d)、(e)), RHEEDパターンにスポットパターンが観察される。このスポットの間隔をGe蒸着後の間隔と比較すると、約14.5%狭くなっており、InSbで試料表面が覆われていることが分かる。AFM像では大きなアイランドは見られなくなり、アイランドとアイランドの間も埋まっている。平均荒さは50MLと100MLのGe上に成長させた試料で、それぞれ18.8nmと19.6nmであり、Si基板上や10MLのGeバッファー層上に成長させた試料よりもかなり平坦になっている。

500ML以上Ge層を蒸着すると(図7.4(f)、(g)), Ge基板上に直接成長させた試料で観察された、特徴的なRHEEDパターンが現れた。この結果より、Ge基板上の試料とよく似た表面構造をしていると考えられる。AFM像では、はっきりとアイランドと分かる様な特徴的な結晶は見られない。しかし、Ge基板上で観察された平らな結晶と同様の結晶が見られるようになり、表面性はかなりGe基板上の試料と似てきている。しかし、平均荒さは500MLの試料で22.5nm、1000MLの試料で26.9nmと、Geバッファー層の厚さが増えるにしたがって少しずつ荒くなっている。

7.2.3 X線回折

各試料のXRDパターンを図7.5と図7.6に示す。図7.5にはSi(001)およびGe(001)基板上に直接成長させたInSb薄膜のXRDパターンを、そして図7.6にはGeバッファー層上に成長させたInSb薄膜のXRDパターンを示す。図7.6(d)と(e)はピーク強度が小さいため、低角度側のピーク強度を10倍にして示してある。

Si(001)およびGe(001)基板上に成長させた試料を比較してみると、これまでに示してきたように、Si(001)基板上では、InSbに関するピークのうち、最も強いピークはInSb(111)であり、InSb(004)ピークは非常に弱い。このことはInSb薄膜がSi(001)基板上でエピタキシャル成長し

ていないことを示している。それに対してGe(001)基板上で成長させたInSb薄膜では、InSb(004)ピークのみが非常に強く現れており、単結晶InSb薄膜がヘテロエピタキシャル成長していることを示している。

Geバッファ層を10ML蒸着した試料(c)では、膜は依然として多結晶である。しかし、InSb(004)ピーク強度を見ると、図7.5(a)に示したSi基板上に直接成長させた試料よりも大きいことが分かる。50ML、100MLとGe層の膜厚が増加するにつれて、InSb(004)ピークが非常に強く現れ、同時に多結晶InSbピークの強度が減少した。しかし、Ge層を500ML、1000MLそれぞれ蒸着した試料では、InSb(004)ピークが僅かに増加しているものの、急激な増加は見られなかった。また、これらのパターンには、弱いものの多結晶InSbピークが見られており、Ge基板上の試料のように、完全にはヘテロエピタキシャル成長していないものの、InSb薄膜の大部分が<001>方向に配向していることが分かる。また、Ge層の膜厚の増加に伴って、弱いGe(004)ピークも現れている。

図7.7に各試料のヘテロエピタキシーの度合い(全てのInSbピークの強度の総和に対するInSb(004)ピークの強度の割合)を、図7.3で示したGeアイランドの面積密度とともに示す。ヘテロエピタキシーの度合いは、Ge層の膜厚を100MLまで増加させることによって、急激に増加し、その後飽和している。このような依存性は、Si(001)基板上のGeアイランドの面積密度で見られた傾向と同じであり、ヘテロエピタキシーの度合いとGeアイランドの面積密度には関係があると言える。

Geアイランドの面積密度が、試料(c)の0.06%から試料(f)の21.3%まで増加しているのに対して、ヘテロエピタキシーの度合いは、7%から約93%まで増加している。100ML以上Ge層を蒸着した試料では、面積密度が約25%、ヘテロエピタキシーの度合いが約90%でそれぞれ飽和している。よって、Ge層を100ML程度蒸着することで、バッファ層としての効果が得られていると言える。またこれらの結果は、InSb薄膜がGeアイランド上だけでなく、横方向にもヘテロエピタキシャル成長が進んでいることを示している。なぜなら、Geアイランド以外の部分はSiと同じ格子定数を持ったGe層であり、もしInSbがGeアイランドの上だけでヘテロエピタキシャル成長するのであれば、ヘテロエピタキシーの度合いとGeアイランドの面積密度にはほとんど差が生じないと考えられるからである。

以上のことをまとめた簡単な成長モデルを図7.8に示す。(a)がGe層が薄い時(Geのアイランドの密度が飽和していない状態)のモデルで、(b)がGe層が厚い場合(アイランドの密度が飽和している状態)のモデルである。

Ge層が薄い場合Geのアイランドの密度が低いので、Geのアイランド同士の間隔が広い。このため、InSbを蒸着した場合、Geのアイランドの周りでは単結晶成長するが、図中の2MLのGe層の領域では、多結晶成長してしまう。このため、全体的にInSb薄膜は多結晶となってしまう。Ge層を少し厚くするとGeアイランドの密度が増加するため、全体的に単結晶の比率が増え、InSb(004)ピーク強度が強くなる。これと同時に、多結晶の比率が減少するため、多結晶ピーク

が弱くなる。

Ge層をさらに厚くした場合(100ML以上)、Geのアイランドの大きさが大きくなり、アイランド同士の間隔が狭くなる。よって2MLの領域が狭くなりInSbが単結晶成長する領域が増加する。横方向にも単結晶成長が進むとすると、単結晶InSbアイランド同士の合体が起きると考えられる。このため、面積密度が約25%程度に対して、ヘテロエピタキシーの度合いが約90%程度まで高くなると思われる。ただし、アイランドの合体が起こった領域では、結晶粒界が生じる可能性があるため、InSb薄膜全体が完全な単結晶であるとは言えないが、アイランドごとで見た場合、成長方向に対しては配向性が良いと考えられる。

Si(004)ピークの強度に対するInSb(004)ピークの強度の比は、6%程度であり、InSb薄膜の結晶性という点では、非常に悪いと言える。このため、結晶性を上げるためにInSb薄膜の成長温度をさらに上げる必要があると考えられる。

7.2.4 電気的特性

低抵抗のGe層の影響を軽減するため、Geの層厚を薄くしたが、これによる効果が見られるか調べた。しかし、下地のGeが一定の厚さを持った薄膜ではなく、アイランドを形成するため、このGeアイランドによる散乱も考えられる。

図7.9~7.12にGeバッファ層を介したInSb薄膜の移動度、キャリア濃度、ホール係数そして、抵抗率の温度依存性を示す。

10MLの試料を除いて、移動度、キャリア(電子)濃度、ホール係数、抵抗率のいずれも温度によってほとんど変化がなく一定である。また、移動度は $2000\sim 3000\text{cm}^2/\text{Vs}$ 程度で低い値にとどまっている。キャリア濃度は $\sim 10^{17}/\text{cm}^3$ と高い。

このような金属的な依存性は、非常にSbリッチの試料でも観察され、過剰な金属Sbによる影響と考えられる。今回の試料においては、キャリア濃度が高いので、多くの欠陥が存在すると考えられる。また、キャリア濃度が高いために金属的な依存性を示していると考えられる。Geアイランドによる散乱の影響も受けていると考えられるが、アイランドの高さが膜厚に対して十分低いので、散乱要因として考えられるものの、それほど大きな影響を及ぼすとは考えにくい。

いずれにしても、InSb薄膜の作成温度が 250°C と低く、結晶性が悪いために、移動度は低い値にとどまっている。よって、InSb薄膜の作成時の基板温度をさらに上げる必要があると考えられる。

7.3 まとめ

Si(001)基板上に1000MLまでの薄いGeバッファ層を介して、InSb薄膜をMBE成長させた。

Si(001)基板上におけるGeバッファ層の表面形態は、Geの膜厚が100ML程度まではアイランドの数が急激に増加し、その後はアイランドの数が増えるというよりは、むしろアイランドの大きさが大きくなった。また、Geアイランドの面積密度は、100MLまではアイランドの数の増加とともに増加し、100ML以上では約25%程度で飽和した。

250°CでInSbを成長させた場合、膜は<001>方向に優先配向するものの、依然として多結晶であった。しかし、Geの膜厚が増加するにつれて、多結晶ピークが小さくなり、ヘテロエピタキシーの度合い(全てのInSbピークの強度の総和に対するInSb(004)ピークの強度比)が増加した。これはGeの層厚の増加に伴って、Geアイランドの面積密度が増加したが、このアイランドを核としてInSbが成長したためである。先に述べたように、Geアイランドの面積密度は100MLまで増加し、それ以上では約25%で飽和している。これに対してヘテロエピタキシーの度合いは、100ML以上のGeでは約90%であった。このことはGeのアイランドを核としたエピタキシャル成長が横方向にも進んでいることを示している。また、Ge層を100ML程度蒸着することで、バッファ層としての効果を十分得ることができることが分かった。

GeとInSbとの間の格子不整合は、約14.5%であり依然として大きい。しかし、Ge基板上ではInSb薄膜がヘテロエピタキシャル成長する。先に議論したように、Ge層が10MLの試料(c)では、基板表面の大部分がSiと同じ格子定数を持ったGe層である。この試料(c)の上に成長させたInSb薄膜では、ヘテロエピタキシーの度合いが小さく、Siと同じ格子定数を持ったGe上ではInSbがヘテロエピタキシャル成長しないことが分かる。これらの結果から、Ge層を介したSi(001)基板上でのInSbのヘテロエピタキシャル成長に対する重要な要因は、基板の原子の種類というわけではなく、格子定数が約19.3%から約14.5%まで減少したことにあると言える。

電気的特性は、依然として下地のGe層の影響を受けていると考えられる。Geの層厚が50ML以上の試料で温度依存性が見られなくなっており、この辺りからGe層の影響が現れはじめると考えられる。また、移動度は2000~3000cm²/Vsと小さく、キャリア濃度も~10 /cm と高い。これは250°Cという低い基板温度で作成したInSb薄膜が、結晶性が悪いためであると考えられる。InSb薄膜作成時の基板温度を上げることで、結晶性を向上させることによって、移動度の高いInSb薄膜が作成できると考えられる。

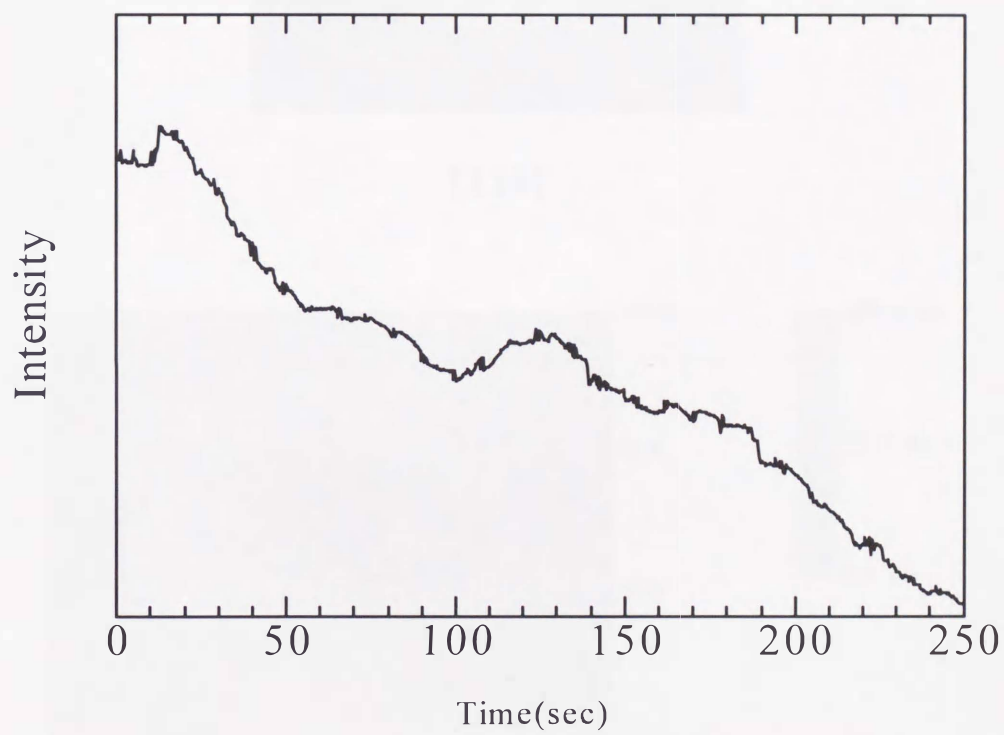
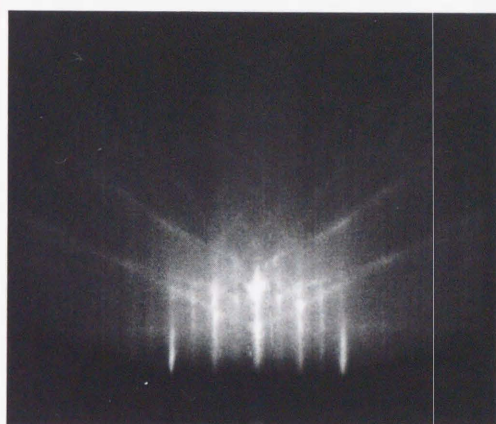
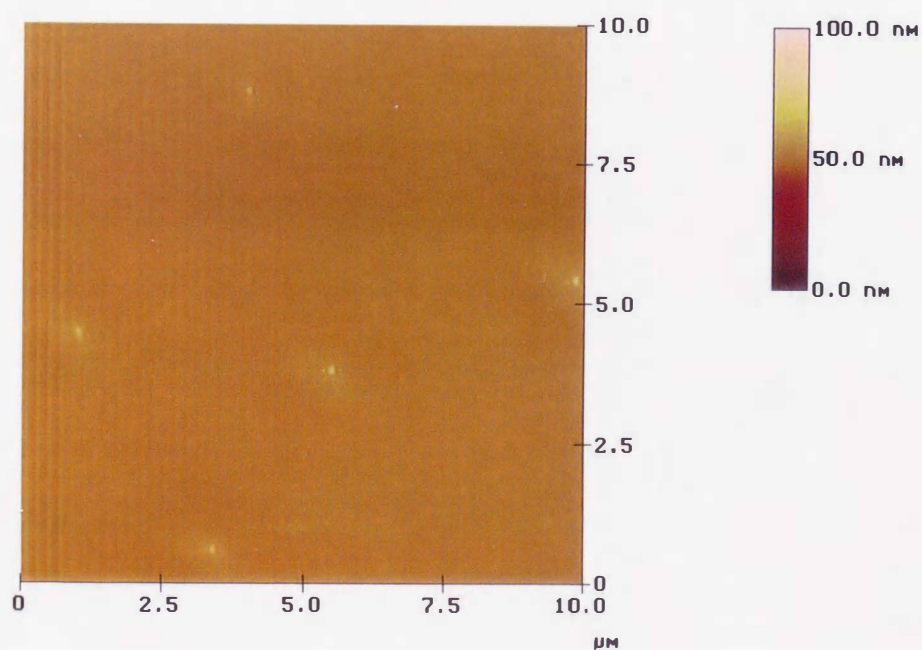


図7.1 Ge/Si成長時のRHEED強度振動



[110]

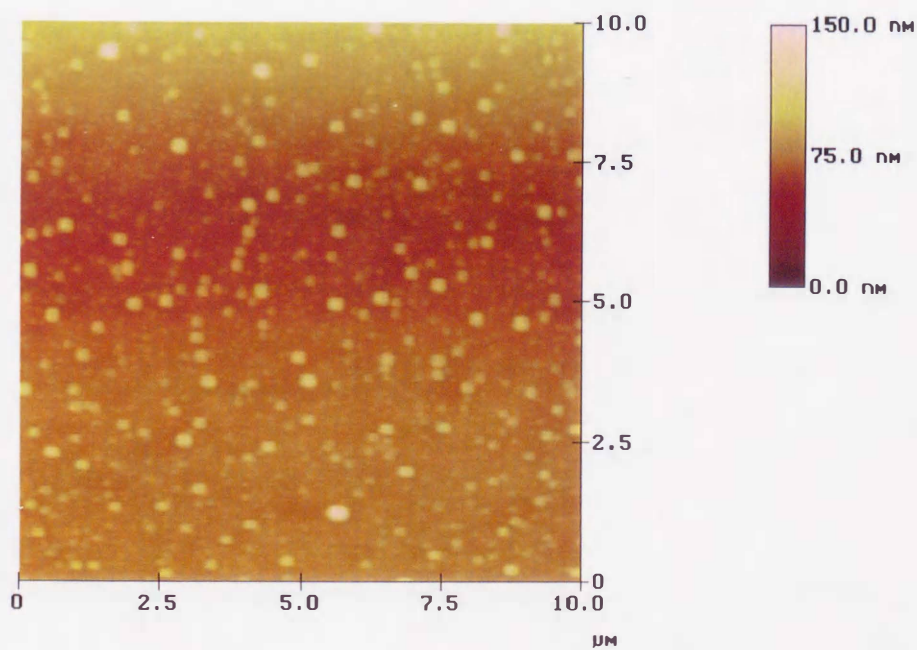


(a) $d_{\text{Ge}}=10\text{ML}$

図7.2 Ge層蒸着後のRHEEDパターン(上)
およびAFM像(下)



[110]

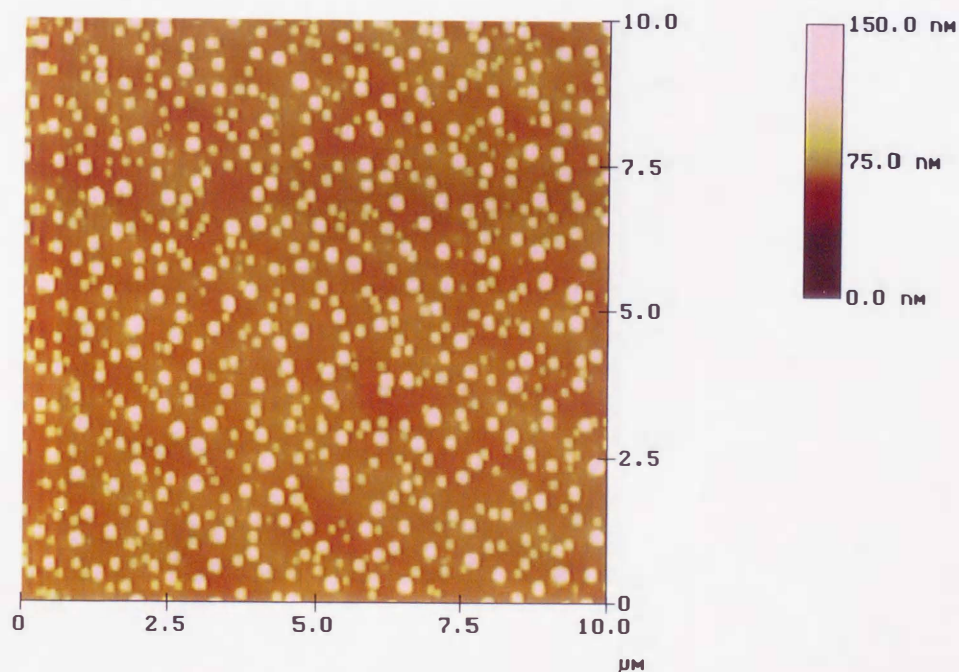


(b) $d_{\text{Ge}}=50\text{ML}$

図7.2 Ge層蒸着後のRHEEDパターン(上)
およびAFM像(下)



[110]

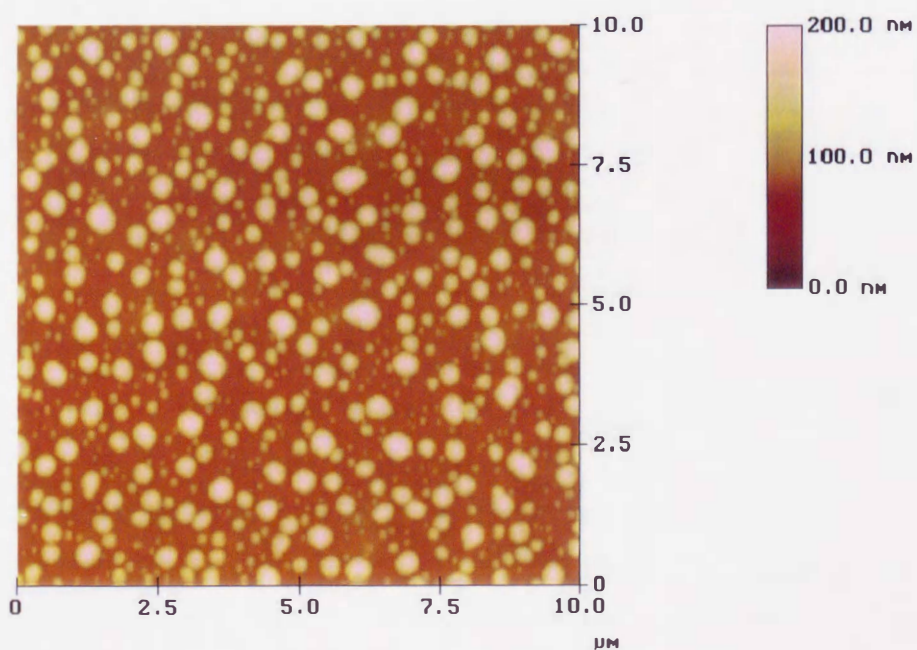


(c) $d_{\text{Ge}}=100\text{ML}$

図7.2 Ge層蒸着後のRHEEDパターン(上)
およびAFM像(下)

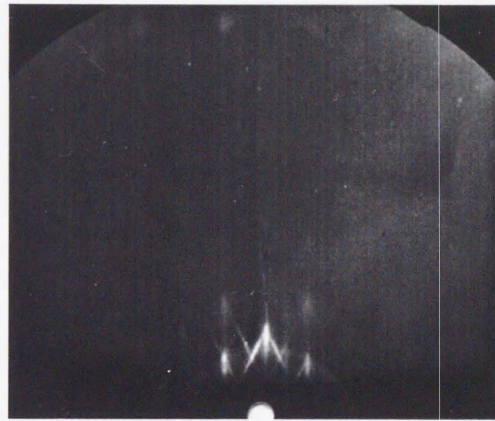


[110]

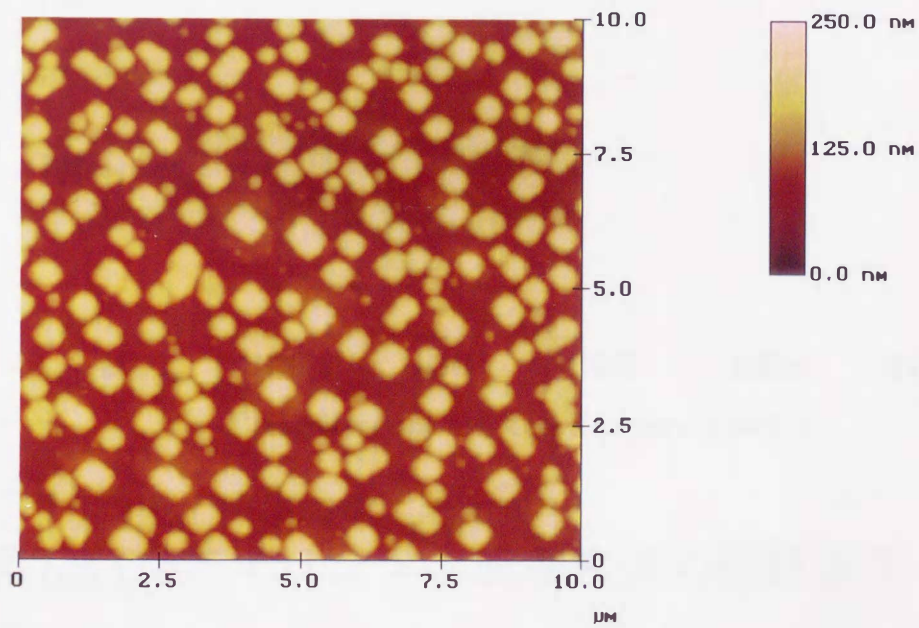


(d) $d_{\text{Ge}}=500\text{ML}$

図7.2 Ge層蒸着後のRHEEDパターン(上)
およびAFM像(下)



[110]



(e) $d_{\text{Ge}}=1000\text{ML}$

図7.2 Ge層蒸着後のRHEEDパターン(上)
およびAFM像(下)

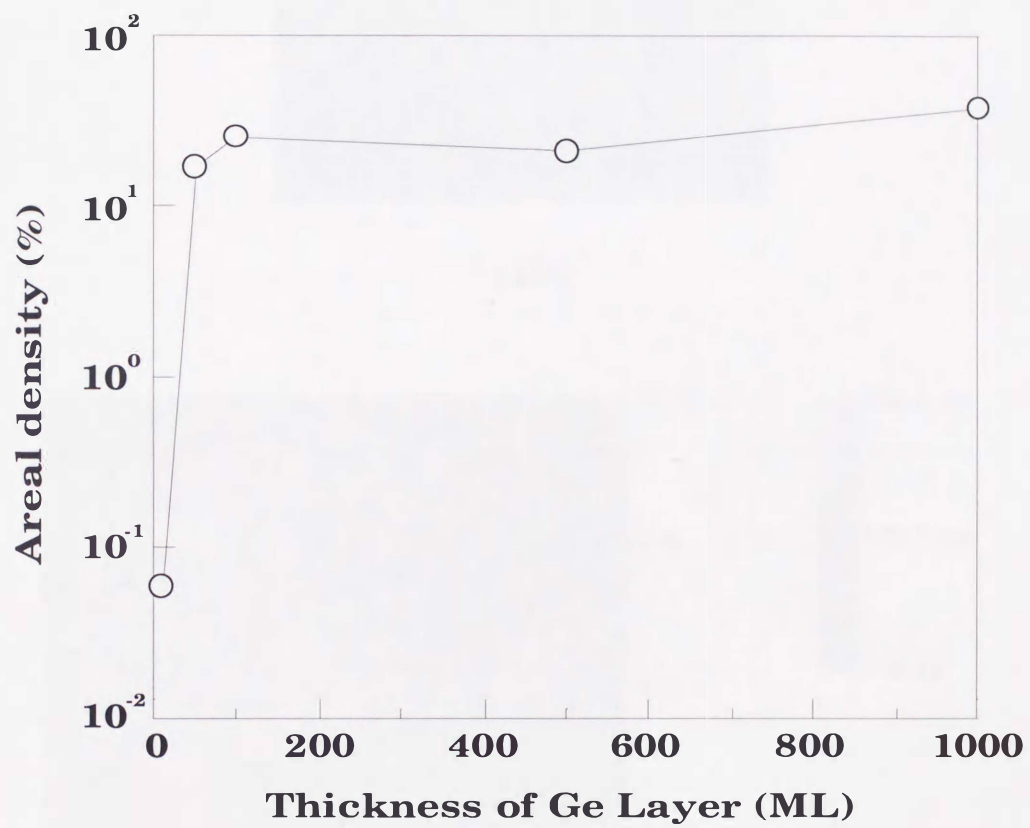
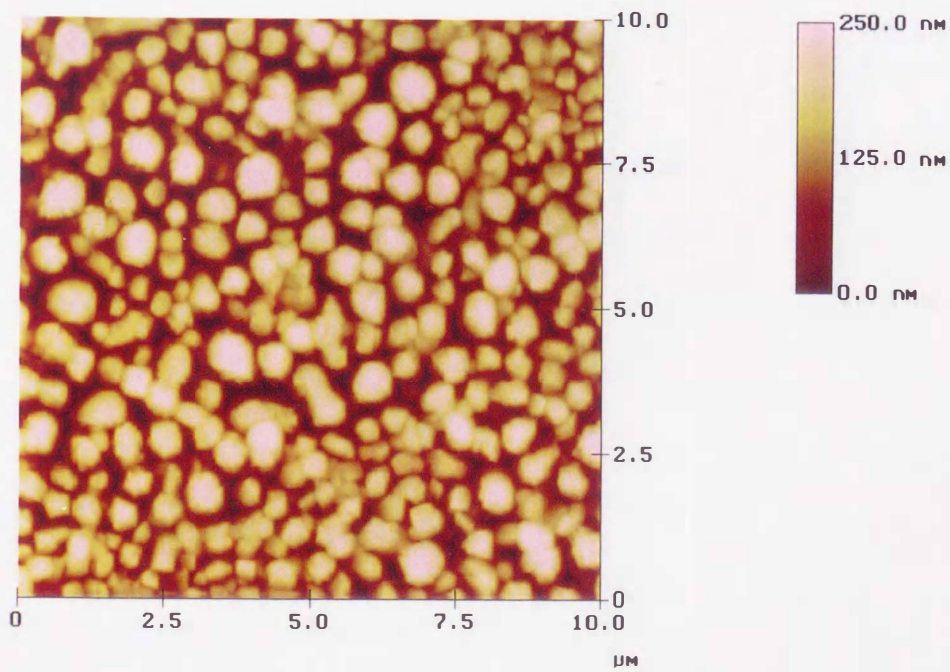


図7.3 Geアイランドの面積密度の膜厚依存性

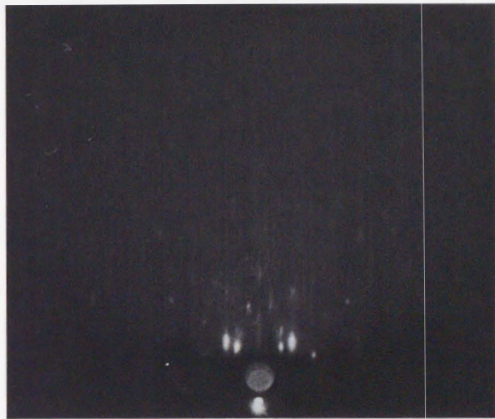


[110]

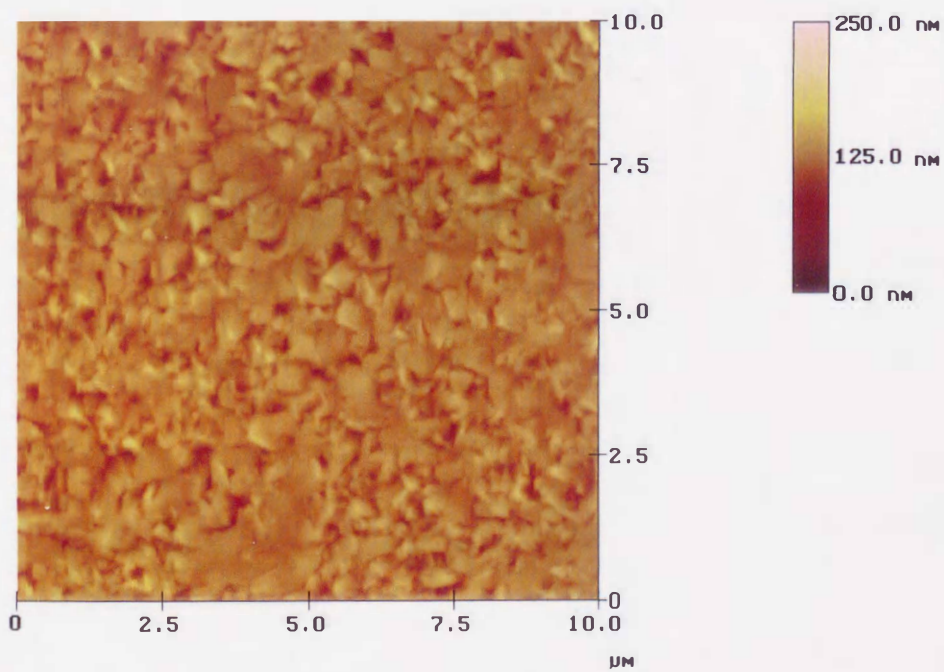


(a) Si(001)基板上

図7.4 InSb薄膜蒸着後のRHEEDパターン
(上)およびAFM像(下)

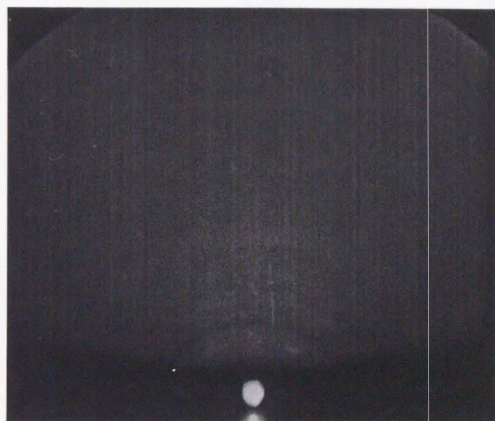


[110]

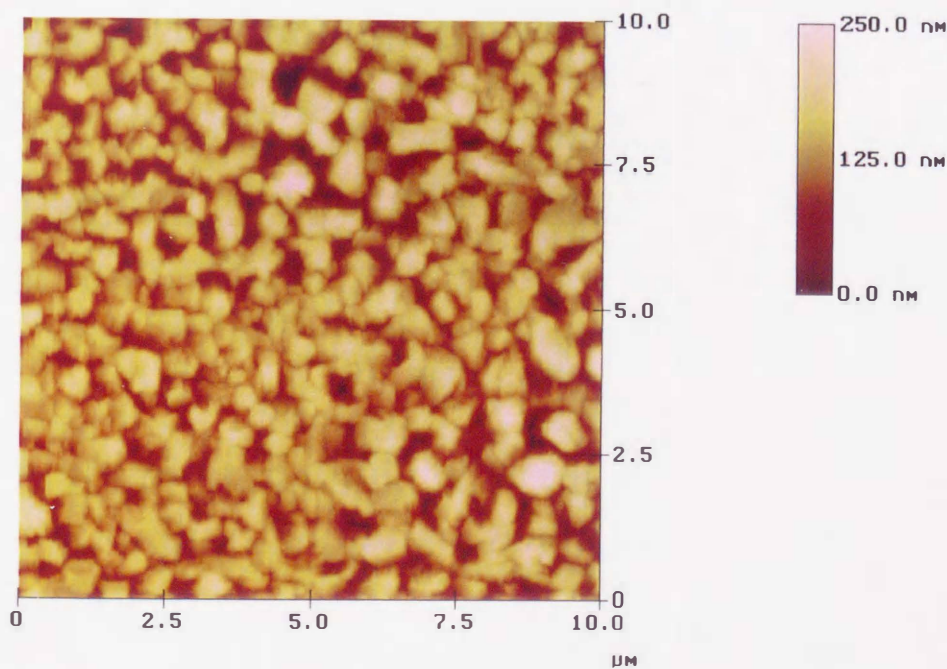


(b) Ge(001)基板上

図7.4 InSb薄膜蒸着後のRHEEDパターン
(上)およびAFM像(下)



[110]

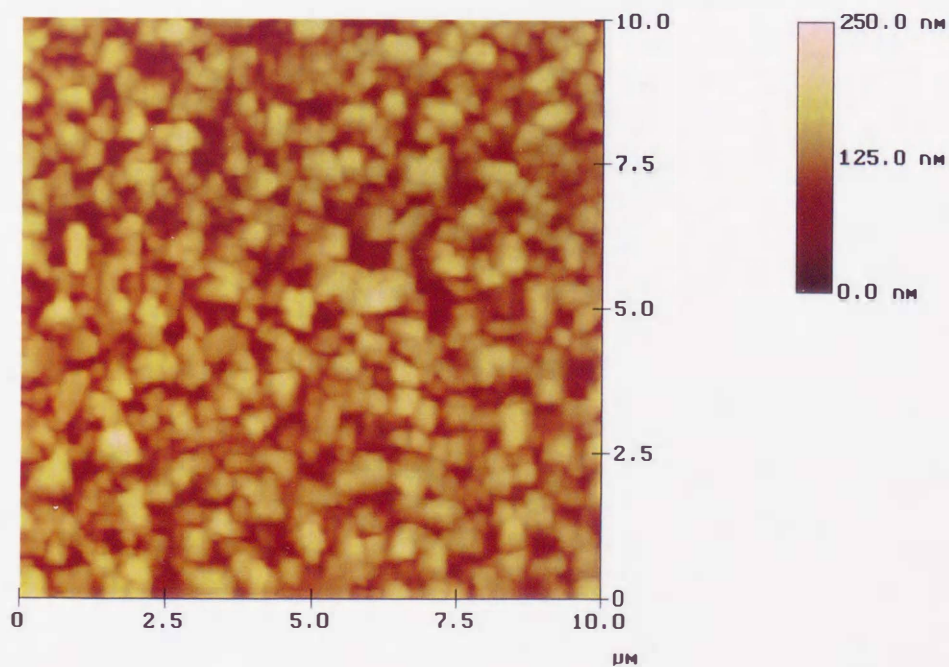


(c) $d_{\text{Ge}}=10\text{ML}$

図7.4 InSb薄膜蒸着後のRHEEDパターン
(上)およびAFM像(下)



[110]

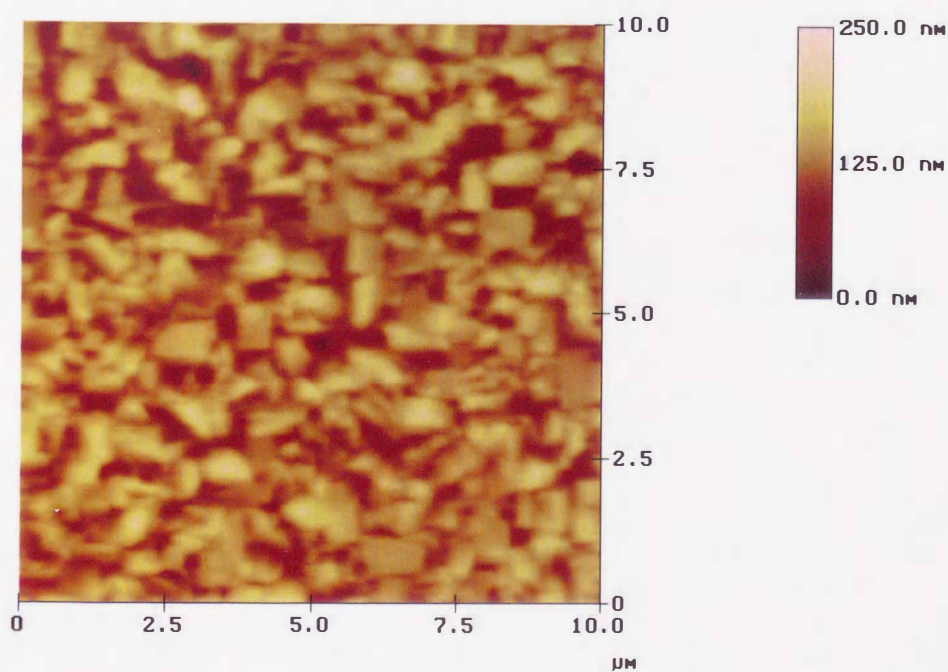


(d) $d_{\text{Ge}}=50\text{ML}$

図7.4 InSb薄膜蒸着後のRHEEDパターン
(上)およびAFM像(下)



[110]

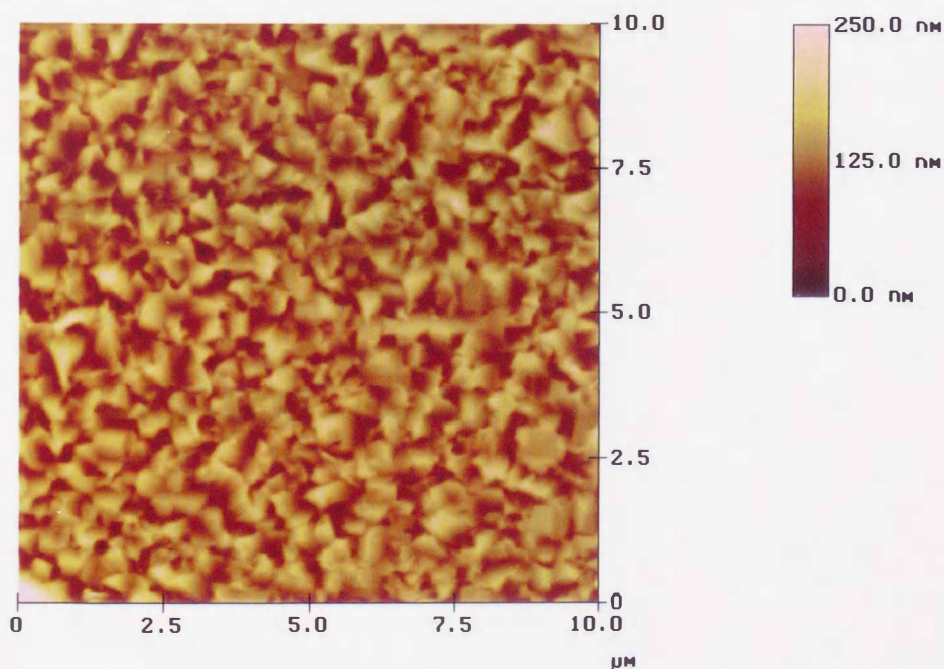


(e) $d_{\text{Ge}}=100\text{ML}$

図7.4 InSb薄膜蒸着後のRHEEDパターン
(上)およびAFM像(下)



[110]

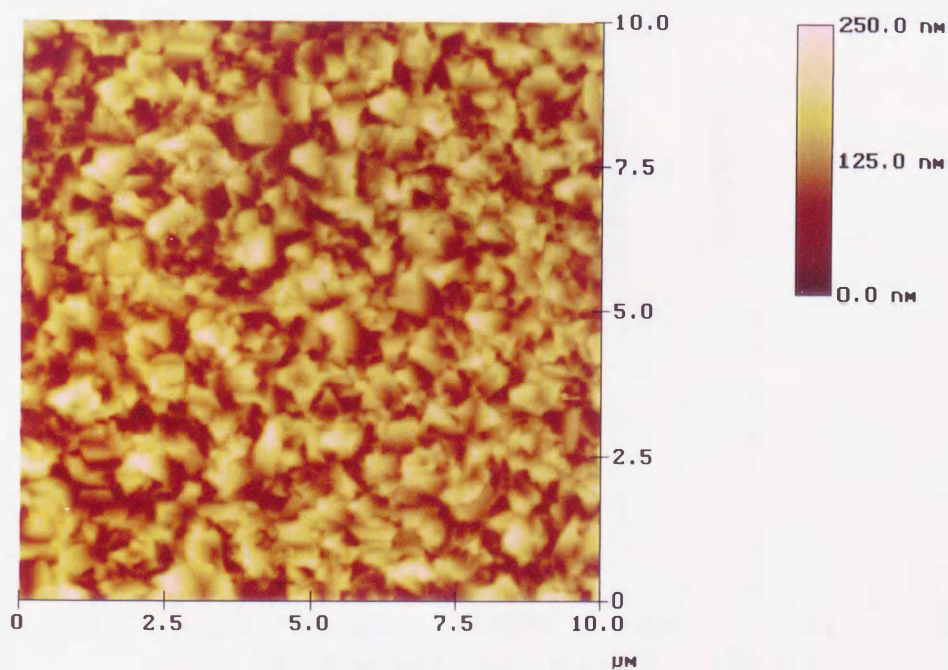


(f) $d_{\text{Ge}}=500\text{ML}$

図7.4 InSb薄膜蒸着後のRHEEDパターン
(上)およびAFM像(下)



[110]



(g) $d_{\text{Ge}}=1000\text{ML}$

図7.4 InSb薄膜蒸着後のRHEEDパターン
(上)およびAFM像(下)

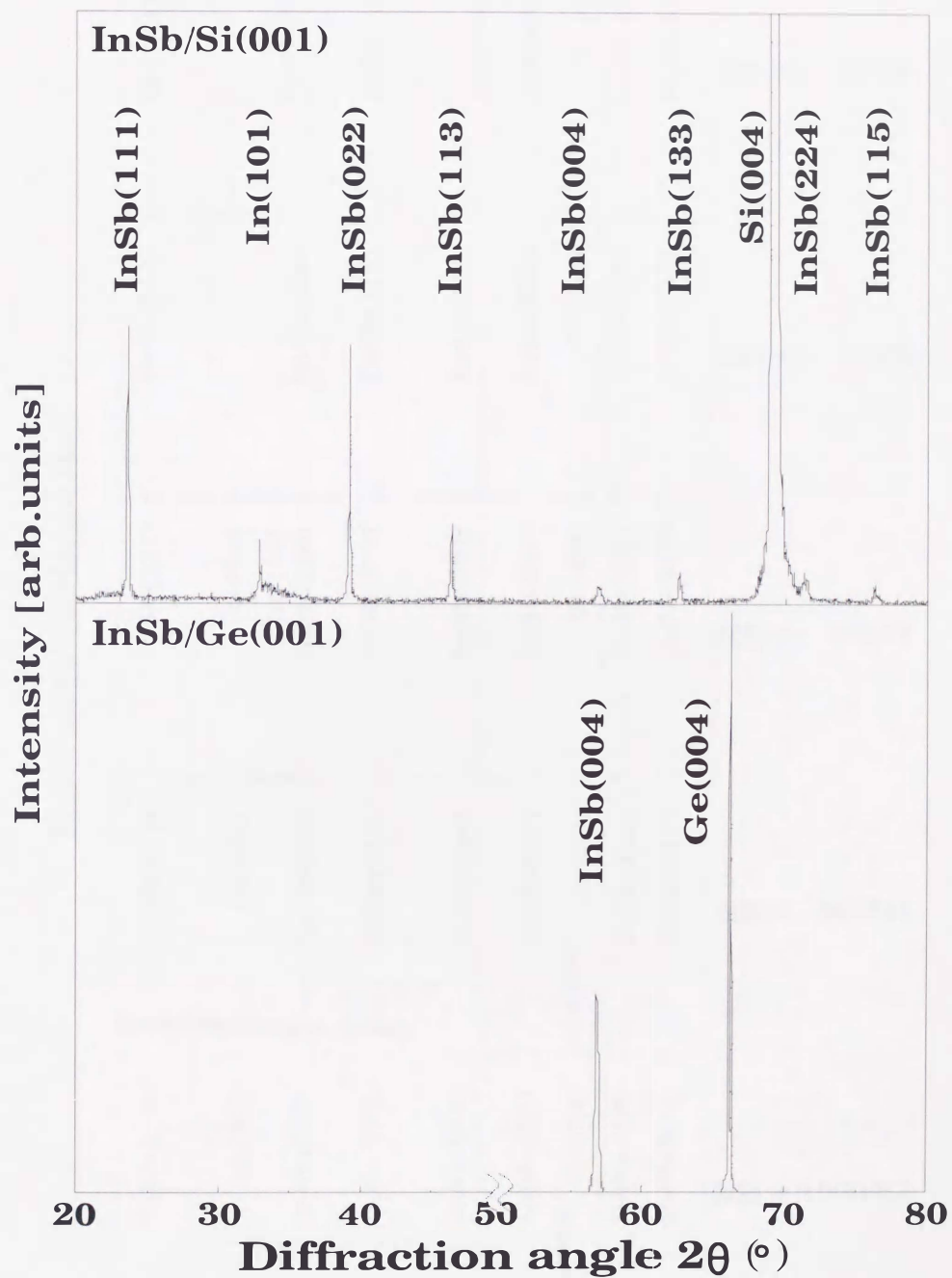


図7.5 Si(001)(上)およびGe(001)(下)基板上のInSb薄膜のXRDパターン

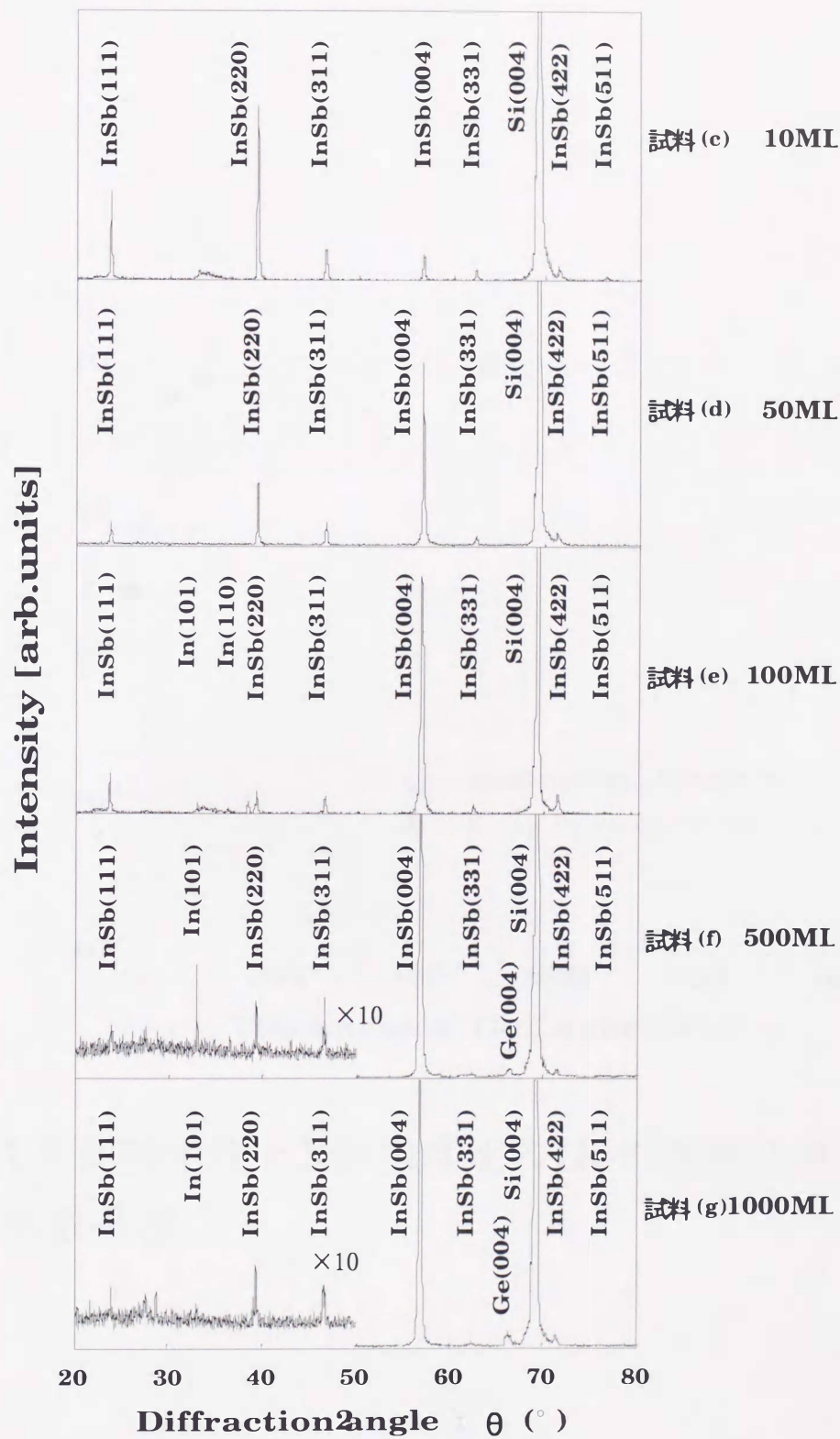


図7.6 Geバッファ層を介したInSb薄膜のXRDパターン

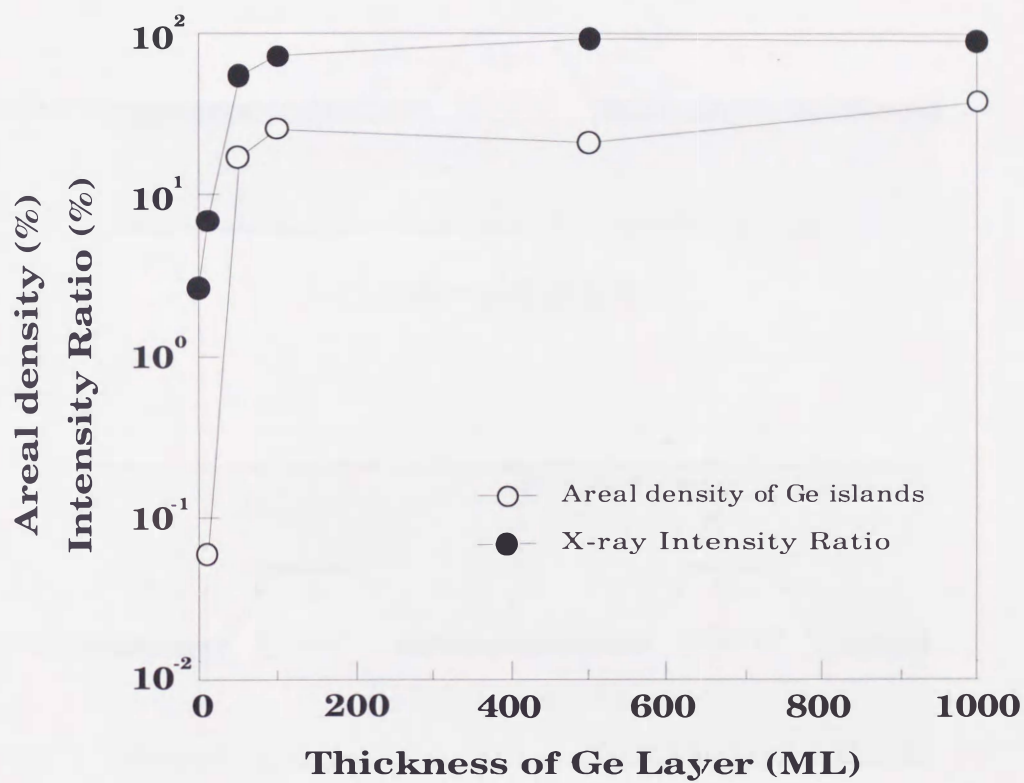
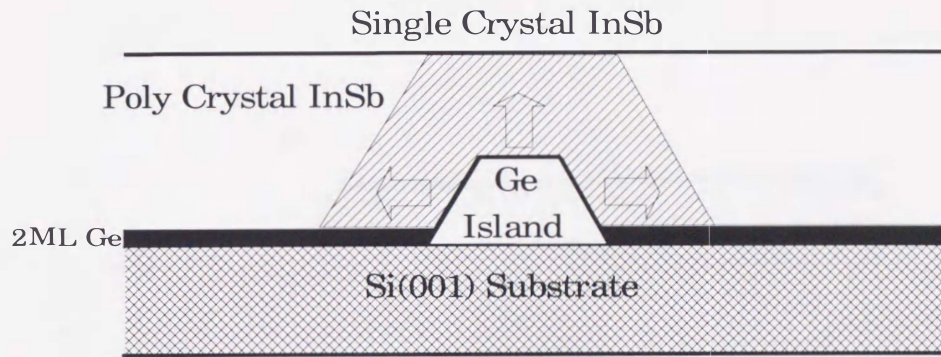
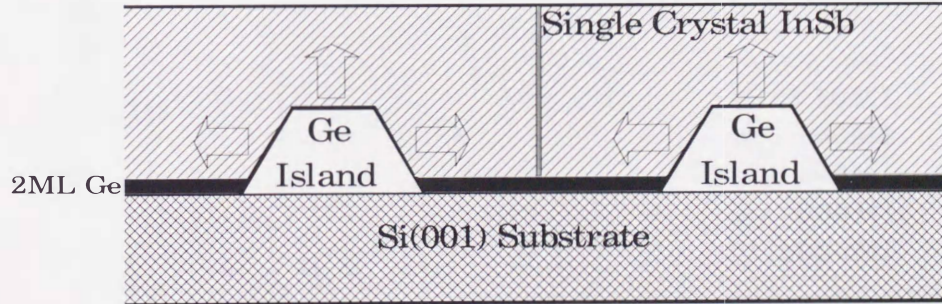


図7.7 面積密度とX線強度比のGeの膜厚に対する依存性



(a)薄いGe層の場合



(b)厚いGe層の場合

図7.8 Geアイランド上のInSb薄膜の成長モデル,
アイランドの側面は[311]ファセットである。

アイランドの側面は[311]ファセットである。

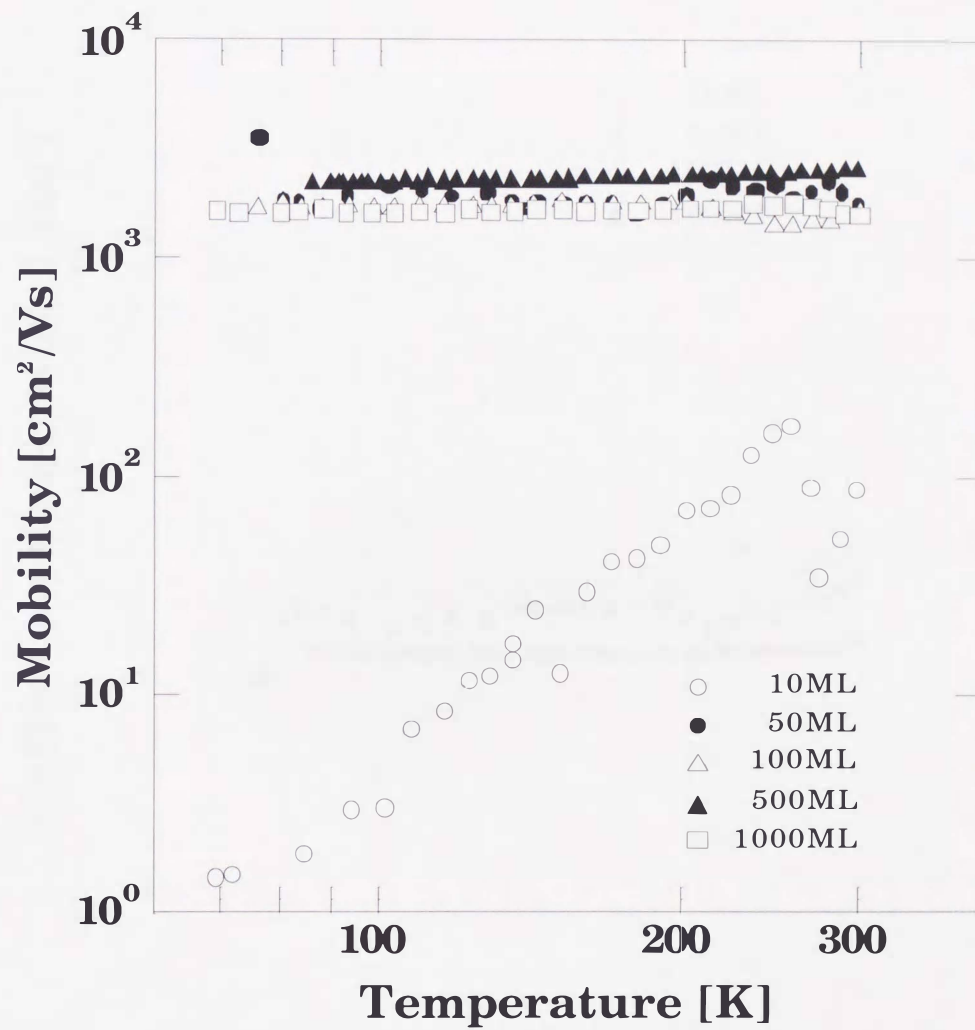


図7.9 Geバッファ層を介した各試料の移動度の温度依存性

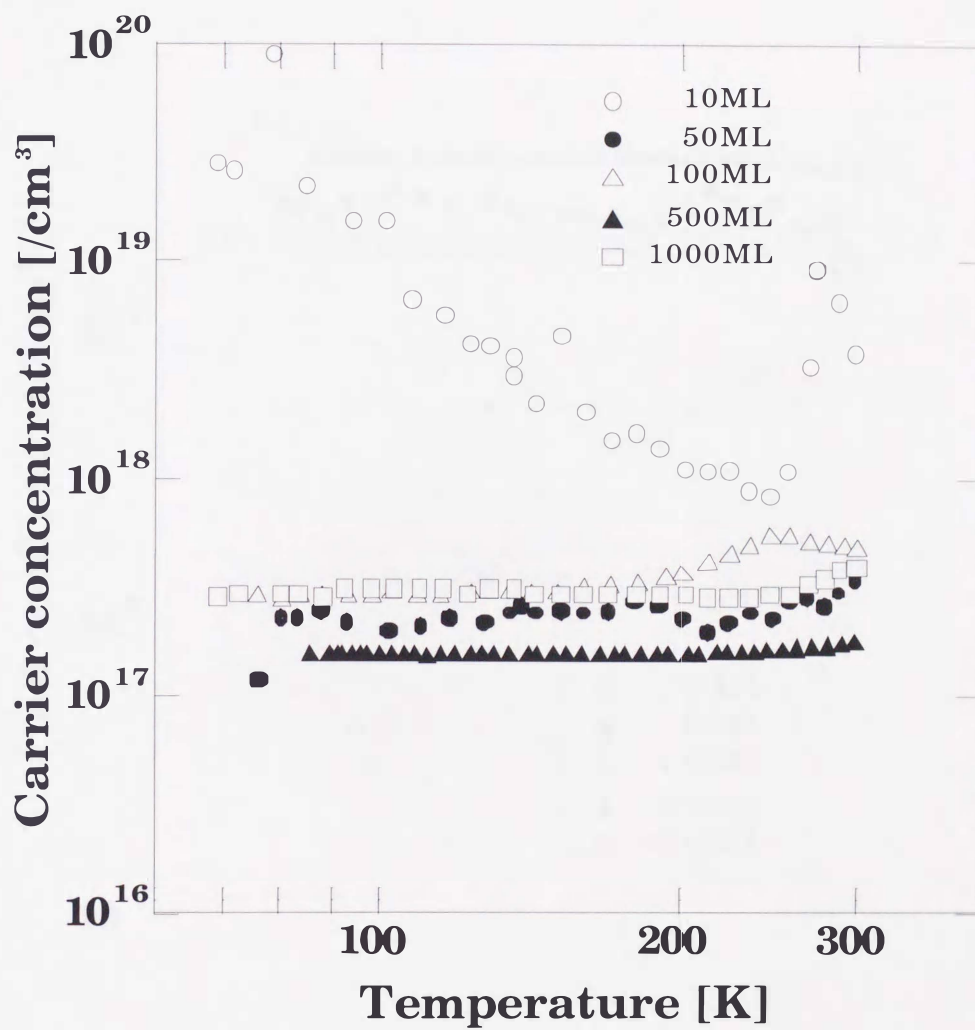


図7.10 バッファ層を介した各試料のキャリア濃度の温度依存性

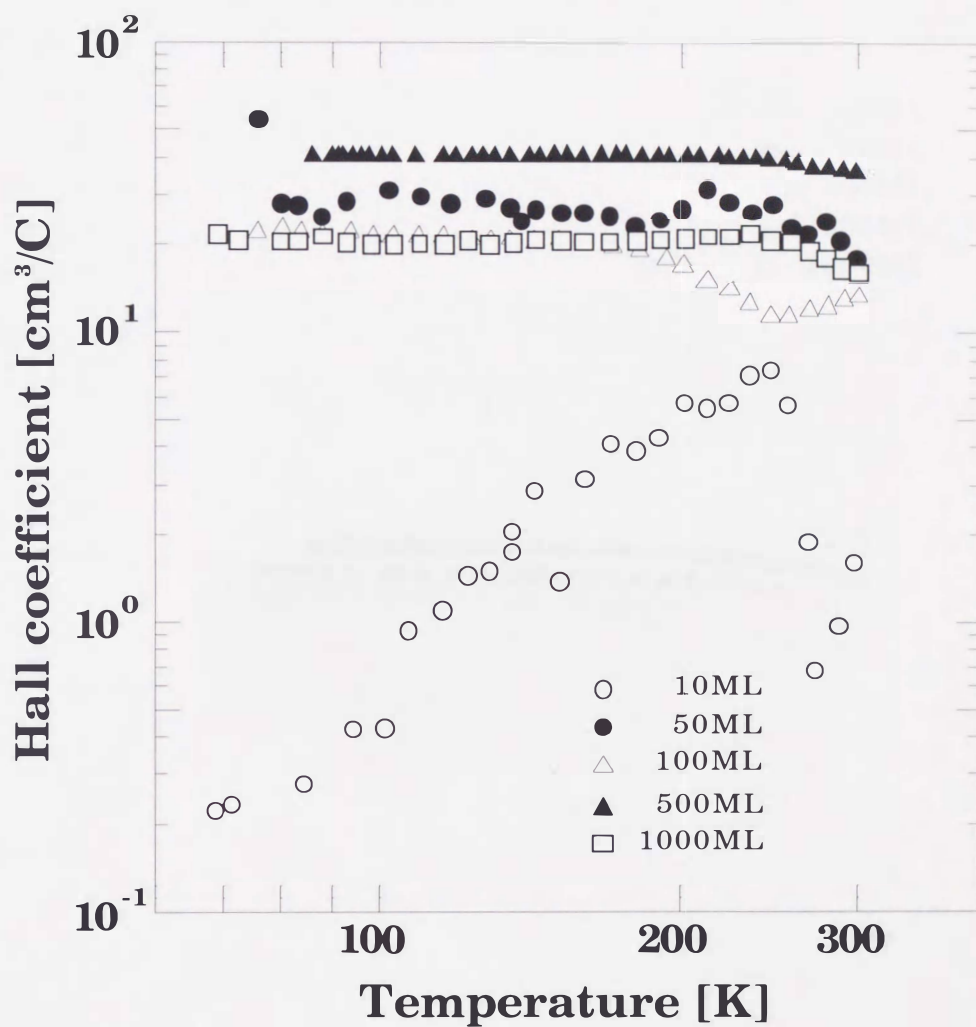


図7.11 バッファー層を介した各試料のホール係数の温度依存性

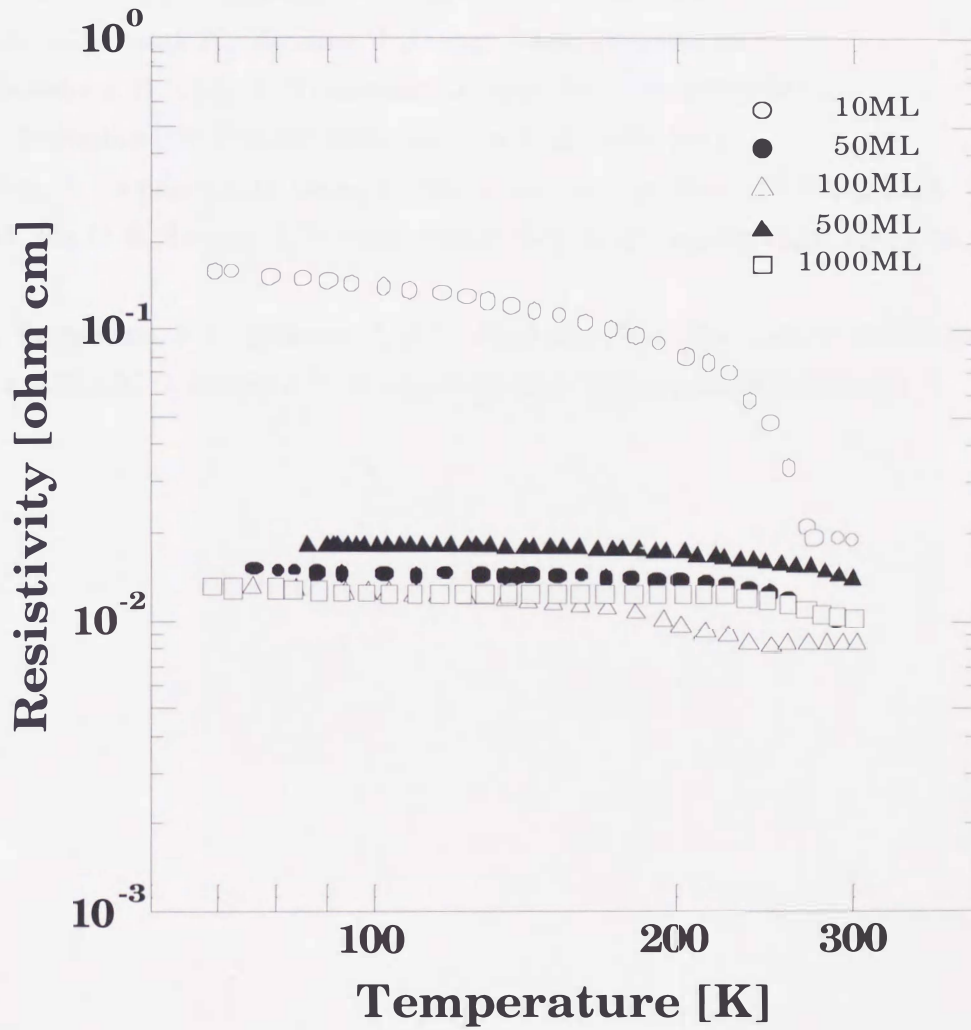


図7.12 バッファ層を介した各試料の抵抗率の温度依存性

[参考文献]

- [1] M. Mori, Y. Tsubosaki, T. Tambo, H. Ueba, C. Tatsuyama, *Appl. Surf. Sci.* 117/118 (1997) 512
- [2] M. Asai, H. Ueba, C. Tatsuyama, *J. Appl. Phys.* 58 (1985) 2577
- [3] Y. Koide, S. Zaima, N. Ohshima, *J. J. Appl. Phys.* 28 (1989) 690
- [4] H. Kawabata, H. Ueba, C. Tatsuyama, *J. Appl. Phys.* 66 (1989) 634
- [5] D. J. Eaglesham, M. Cerullo, *Phys. Rev. Lett.* 64 (1990) 1943
- [6] Y. Hida, T. Tamagawa, H. Ueba, C. Tatsuyama, *J. Appl. Phys.* 67 (1990) 7274
- [7] Y. -W. Mo, D. E. Savage, B. S. Sawartzentruber, M. G. Lagally, *Phys. Rev. Lett.* 65 (1990) 1020
- [8] D. J. Eaglesham, F. C. Unterwald, D. C. Jacobson, *Phys. Rev. Lett.* 70 (1993) 966
- [9] G. Capellini, L. D. Gaspare, F. Evangelisti, *Appl. Phys. Lett.* 70 (1997) 493

第8章

InSb/Ge(100ML)/Si (001)構造の結晶性 に対する基板温度 の効果

薄いGe層を介したInSb薄膜の成長においては、Geアイランドを核としてInSbが単結晶成長し、アイランドの上だけでなく、横方向にもヘテロエピタキシャル成長が進むことが分かった。また、Ge層が100ML程度ですでにバッファ層としての効果が得られることが分かった。しかし、InSb薄膜作成時の基板温度が低いため、結晶性に関しては、全体的にInSb(004)ピークの強度が弱い試料しか得られない。結晶性を上げるためには、基板温度を上げることが必要と考えられる。そこで、この章では、Ge層を100MLに固定して、InSb薄膜の結晶性に対する基板温度の効果について調べた。[1]

8.1 1段階成長

8.1.1 試料の作成

表8.1に試料の作成条件および膜厚を示す。100MLのGe層を蒸着後、InSb薄膜の成長を行う。InSb薄膜の成長は1段階成長で行った。試料作成時の基板温度は250°C、300°C、350°Cと400°Cとし、それぞれ蒸着開始から一定の基板温度でInSb薄膜の成長を行った。化学量論的組成の膜を得るため、それぞれの基板温度に対して、InのKセル温度を800°Cに固定して、Sbのセル温度を360°C、375°C、390°C、405°Cと変化させた。試料の膜厚は、基板温度350°C以上になると膜

がアイランド成長しはじめるため、非常に薄くなるか、測定できなくなった。測定された膜厚から見積もったInSb薄膜の成長レートは、約 $0.8\text{\AA}/\text{sec}$ である。350°C以上で成長させた試料では、アイランド成長しているため、実際の成長レートを見積もることができない。

試料	基板温度 [°C]	Ge層の膜厚 [ML]	Kセル温度 In[°C]、Sb[°C]	膜厚 [Å]
(a)	250	100	800、360	9300
(b)	300		800、375	8200
(c)	350		800、390	550
(d)	400		800、405	-

表8.1 成長条件および膜厚

8.1.2 表面観察

各試料の蒸着後のRHEEDパターンは、250°Cで作成した試料では、スポットパターンが観察されたが、300°C以上の基板温度で作成した試料では、全くパターンが観察されなかった。250°Cで作成した試料で観察されたスポットパターンの間隔は、Ge層蒸着後のRHEEDパターンのもものよりも約15%狭くなっており、InSb薄膜がSi(001)基板上にヘテロエピタキシャル成長していることを示している。しかしスポットパターンが観察されたことから、試料表面は完全に平坦ではなく波状にうねっていると考えられる。

各試料表面の光学顕微鏡写真を図8.1(a)~(d)に示す。基板温度250°Cで作成された試料(図8.1(a))の表面は、非常に小さなグレインで覆われている。また、300°Cで作成した試料(図8.1(b))では、試料表面に小さな板状の結晶が多数見られる。グレインの大きさは、基板温度の上昇に伴ってだんだん大きくなっている。しかし、基板温度350°Cと400°Cで作成した試料(図8.1(c)と図8.1(d))の表面では、大きな凝集したアイランドが観察される。凝集したアイランドは、試料(c)がやや小さく表面全体に広がっているのに対して、試料(d)では比較的大きなアイランドが観察され、基板温度の上昇に伴ってアイランド同士が合体したと考えられる。このようにInSb薄膜が凝集し、アイランド化するという結果は、Si(001)基板上に直接成長させた場合(4章参照)と似ており、基板温度が高すぎたために凝集してしまったと考えられる。しかし、Si基板上に直接成長させたInSb薄膜と異なる点は、Si基板上に成長させた試料では300°Cですでに凝集したのに対し、Ge層を100ML蒸着した今回の試料では、350°CでInSb薄膜の凝集が観察された点である。Ge層を蒸着したことにより、InSb薄膜が凝集し始める温度が高くなったと言える。

8.1.3 X線回折

InSb薄膜作成時の基板温度を上げることによって、膜の結晶性にどのような影響が現れたかを調べるため、各試料のX線回折測定を行った。図8.2(a)~(d)に各試料のXRDパターンを示す。300°Cで作成した試料(図8.2(b))は低角度側の強度を100倍で示している。

図8.2(a)の250°Cで作成した試料では、試料が多結晶であることを示す、数多くのInSbピークが現れている。しかし、その中でもInSb(004)ピークが最もピーク強度が強く、InSb薄膜が<001>方向に優先配向していると言える。このことはInSb薄膜と基板との間に、ある程度のエピタキシャル関係があることを示し、RHEEDパターンの結果と一致している。

基板温度300°Cで作成した試料(b)では、InSb(004)ピークの強度が、試料(a)に比べて僅かに強くなった。同時に、多結晶InSbピークは小さくなった。これにより、基板温度の増加に伴って、InSb薄膜の配向性が向上したと言える。

低い基板温度でInSb薄膜を成長させた試料とは対照的に、350°C、400°Cで作成した試料(c)と試料(d)では、InSb(004)ピークの強度が非常に弱く、多結晶的なパターンを示した。このことは、高温での1段階成長が、InSb薄膜のヘテロエピタキシーには適さないことを意味する。また、X線回折パターンの強度が全体的に弱いのは、InSb薄膜がアイランド成長したために、膜厚を均一にしたとすると、基板温度250°Cや300°Cで作成した試料よりも膜厚が薄いために強度が弱くなったものであると考えられる。実際に干渉膜厚計で干渉縞が観察された基板温度350°Cの試料では、膜厚が550Åと見積もられており、基板温度250°Cや300°Cで作成された試料よりかなり膜厚が薄い。

ヘテロエピタキシーの度合いに関して見てみる。図8.3に図8.2(a)~(d)の結果から計算したヘテロエピタキシーの度合い($\text{InSb}(004)/\sum \text{InSb}(hkl)$):●)を、InSb成長時の基板温度に対してプロットしたグラフを示す。Si(004)ピーク強度に対するInSb(004)ピーク強度の割合($\text{InSb}(004)/\text{Si}(004)$):○)も合わせて示す。

ヘテロエピタキシーの度合いは、基板温度の上昇に伴って、試料(a)の71.64%から試料(b)の95.05%まで増加するが、その後、多結晶成長したために、試料(c)で8.61%、試料(d)で4.42%と急激に減少する。しかし、基板温度250°Cで作成したInSb薄膜は、Ge層の膜厚に対して、ヘテロエピタキシーの度合いをプロットすると、約90%程度で飽和していた。この結果から、Ge層の厚さが同じであっても、高温で成長させることによって、InSb薄膜のヘテロエピタキシーの度合いが増加することが分かった。しかし、1段階成長の場合、350°C以上の高温で成長させると、膜が凝集しはじめ、膜が多結晶化してしまうため、逆にヘテロエピタキシーの度合いは減少する。

同様の傾向が、Si(004)ピーク強度に対するInSb(004)ピーク強度の割合においても見られる。試料(a)から試料(b)まで、強度比は8.4%から13.65%まで増加するが、その後しだいに減少して、試料(c)で0.036%、試料(d)で0.032%となる。この減少も膜が多結晶となったためである。

図8.4にX線回折測定の結果における、InSb(004)ピークの半値幅(FWHM)の変化を試料作成時の基板温度に対してプロットした。半値幅を調べることで、膜の結晶性を知ることができる。

InSb薄膜の半値幅は、試料(a)の 0.346° から試料(b)の 0.104° まで急激に狭くなっており、高温で成長させたことによって、膜の結晶性が向上していることが分かる。しかし、基板温度 350°C で作成した試料(c)では、膜が凝集したために再び半値幅が広がっている。その後 400°C で作成した試料(d)では再び半値幅が狭くなった。これは、凝集したアイランドが高温成長により結晶性が改善され、アイランド1つ1つの結晶性が向上したためであると考えられる。よって、1つのアイランドで見ると、 350°C で作成した試料(c)よりも、 400°C で作成した試料(d)の方が結晶性が良いと言える。

8.1.4 電気的特性

結晶性を向上させるため、基板温度を上げて試料を作成した。基板温度 300°C で作成した試料は、X線の結果から 250°C で作成した時よりも、結晶性が向上したと考えられる。そこで、基板温度 300°C で作成した試料の電気的特性を調べた。 350°C 、 400°C で作成した試料は、試料が凝集してしまったため、連続膜が得られず、電気的特性を測定できなかった。

図8.5に測定した試料の移動度、キャリア濃度を、図8.6にホール係数、抵抗率の温度依存性をそれぞれ示す。図には、比較のために図7.9~7.12で示した、 250°C で作成した試料の値も合わせて示した。

移動度は $5000\sim 7000\text{cm}^2/\text{Vs}$ であり、基板温度 250°C で作成した試料よりもかなり高くなった。また、キャリア濃度も $\sim 10^{16}\text{cm}^{-3}$ 台後半まで減少した。これは、高温での成長による結晶性の向上によるものであると考えられる。しかし、高温側でキャリア濃度の増加に伴い、急激に移動度が下がっている。キャリア濃度は低温から 240K 付近まで温度依存性が見られず、出払い領域のような依存性を示している。抵抗率も 200K を超えた辺りから下がりはじめ、半導体的な依存性となっている。

高温で成長した試料では、膜の結晶性が向上したため、移動度が高くなった。しかし、依然としてGe層の影響を受けているためか、高温側では急激な変化が見られるものの、低温側では温度依存性が見られない。しかし、膜厚が約 8000\AA と比較的薄いにもかかわらず、最大で約 $7000\text{cm}^2/\text{Vs}$ という高い移動度が得られたことから、さらに成長温度を高くすれば、あるいは膜厚を厚くすることによって、さらに高い移動度が得られると考えられる。しかし、1段階成長では 350°C 以上の温度では膜が凝集してしまうため、連続膜が得られない。そこで、2段階成長法を用いて、より高温でInSb薄膜を成長させることを試みた。

8.2 2段階成長

8.2.1 試料の作成

Ge層を100ML蒸着したSi(001)基板の上にInSb薄膜を成長させると、高温で成長させるにつれて膜の結晶性が向上した。しかし、350°C以上の基板温度で成長させたInSb薄膜は、多結晶成長してしまい、ヘテロエピタキシャル成長しない。300°C以上の基板温度でInSb薄膜を成長させることにより、さらに結晶性の良いInSb薄膜が作成できると考えられる。そこで、2段階成長法を用いてInSb薄膜をより高温で作成することを試みた。Si(001)基板の上に直接成長させた試料においては、1段階成長では300°Cですでに凝集してしまったInSb薄膜が、2段階成長法を用いることで基板温度370°Cで作成した場合においても、平坦で結晶性の良い膜が得られた。同様の結果が、InSb/Ge(100ML)/Si(001)の実験においても得られると考えられる。

表8.2に試料の作成条件および膜厚を示す。また、図8.7に我々が使用した基板温度の上昇パターンを示す。図のように1層目として200°Cで1時間、2層目として、200°Cから350°Cあるいは400°Cまで連続的に2時間かけて上昇させる。化学量論的組成の膜を得るため、基板温度の上昇に合わせて、SbのKセル温度を連続的にそれぞれ390°C、405°Cまで上げる。蒸着終了後、基板温度はゆっくりと下げ、ポストアニーリングは行わない。

1層目の200°Cで蒸着されたInSb薄膜の特性を確認するため、1層目のみ蒸着した試料も合わせて示す。こちらの試料では、1層目の膜の蒸着終了後、ポストアニール無しで基板温度をゆっくりと下げた。

試料	Ge層 [ML]	基板温度[°C]		Kセル温度[°C] In(上) Sb(下)	膜厚 [Å]
		1層目	2層目		
(a)	100	200	---	800	1400
				355	
(b)	100	200	200-350	800	8200
				355-390	
(c)	100	200	200-400	800	8200
				355-405	

表8.2 成長条件および膜厚

膜厚から見積もられるInSb薄膜の成長レートは、約0.76Å/secである。また、1層目のみ蒸着し

た試料の成長レートは約 $0.38\text{\AA}/\text{sec}$ である。成長レートが1層目と2層目で異なるのは、Sbのセル温度を上昇させているため、基板表面に到達するSbの量が増加し、膜に取り込まれるSbの量が増加するためである。

8.2.2 第1層目の評価

8.2.2.1 表面観察

1層目の蒸着終了後のRHEEDパターンと光学顕微鏡写真を図8.8に示す。1層目蒸着終了後のRHEED観察(試料(a))では、パターンが観察されず表面が荒れているものと考えられる。光学顕微鏡写真を見ると、試料表面に小さなグレインが数多く観察される。これは、100MLのGeアイランドの凹凸を 1400\AA のInSbが平坦化できなかったと考えられる。このために、RHEEDパターンが観察されなかったと考えられる。

8.2.2.2 X線回折

図8.9にX線回折測定の結果を示す。XRDパターンには小さいながらも、多結晶InSbピークが観察される。しかし、InSb(004)ピークがその他の多結晶InSbピークに比べ強く現われ、InSb薄膜がヘテロエピタキシャル成長していると言える。また、ヘテロエピタキシーの度合いは99.417と、すでに100%に近い値となっている。低角度側には多くのInピークが観察されている。また、 200°C という低温で成長させたため、InSb(004)ピークの半値幅は 0.260° と広く、結晶性が悪いことを示している。

8.2.3 第2層目の評価

8.2.3.1 表面観察

各試料の蒸着終了後のRHEEDパターンを図8.10(a)~(b)にそれぞれ示す。2段階成長法で作成した試料(b)では、 $4\times$ ストリークとこのストリークと約 20° の角度を持ったストリークが観察される。これは試料表面の結晶の方向が揃っていないことを表わしている。しかし、試料表面は比較的平坦であると考えられる。 400°C まで基板温度を上げて作成した試料(c)では、はっきりとした $4\times$ ストリークが見られる。しかし、この試料においても、試料(b)ほどではないものの薄く斜めのストリークが観察される。整数次のストリークの間隔を、Ge層蒸着後のスポットパターンのものと比較すると、約15%狭くなっており、このRHEEDパターンの間隔が狭くなったのは、Si(001)基板の上にInSb薄膜がヘテロエピタキシャル成長したことを示している。

MBE成長中のInSb(001)表面の表面再構成が、いくつかのグループによって報告されている

[2-4]。図8.11に成長中のInSb(001)の表面再構成相図を示す。彼らの中で、Liuら[4]はInリッチの成長条件で、 $\langle 110 \rangle$ 方向から電子線を入射した場合に、 $c(8 \times 2)$ 表面再構成パターンを示すことを報告している。 $\langle 110 \rangle$ 方向から電子線を入射した場合に、試料(c)で観察された $4 \times$ ストリークパターンが、彼らの結果とよく一致している。

Johnら[5]によって提案されたInSb(001)- $c(8 \times 2)$ 再配列の構造モデルを図8.12に示す。この構造では、単原子層Sbによって終端された表面上に、その結合軸を $\langle 110 \rangle$ 方向に平行に持つようなInダイマーが並んでいる。3つのInダイマーで1つのグループを作り、 $\langle 110 \rangle$ 方向でミッシングダイマーによってそれぞれのグループが分離されている。それぞれのInダイマーグループは、結合方向では同相であり、結合方向と垂直な方向では並びがずれている。この構造は、膜がInリッチの時に観察される構造であり、2段階成長法で作成したこの試料が、Inリッチの膜であることが分かる。

2段階成長法を用いて成長させた試料の光学顕微鏡写真を図8.13(a)~(b)にそれぞれ示す。いずれも高温で成長させたにも関わらず、膜が凝集してしまふことはなく、比較的平坦な表面となった。350°Cまで基板温度を上げた試料(b)の表面は、1段階成長を用いて300°Cで成長させた試料とよく似ており、小さな板状の結晶で覆われている。それに対して、400°Cまで基板温度を上げた試料(c)では、大きな板状の結晶が集まった平坦な表面をしており、400°Cで1段階成長させた試料表面と大きく異なっている。試料(b)の表面にも、わずかにこの大きな板状の結晶が見られる。300°Cで1段階成長させた試料と試料(b)と試料(c)を比較してみると、試料(b)が残りの2つの試料表面のちょうど中間的な表面をしていると見る事ができる。図8.7の基板温度の上昇パターンを見ると、蒸着時間の大部分が300°C以下の低温での蒸着となっており、板状の結晶の出現は、低温で蒸着された膜が、僅かな時間でアニーリングされることによって形成されるものと考えられる。

8.2.3.2 X線回折

1段階成長で作成した試料では、基板温度350°Cで膜が凝集しはじめ多結晶化してしまった。Si(001)基板上でのInSb薄膜では、2段階成長させることによって膜の表面性、結晶性が向上し、さらに、 $\langle 111 \rangle$ 方向ではあるものの配向性も向上した。同様の結果が100MLのGeアイランドを介したInSb薄膜の成長においても期待される。表面性においては、Si(001)基板上に直接成長させた場合と同様に、膜が凝集することなく平坦な膜が得られた。ここでは、2段階成長させたInSb薄膜の結晶性について調べた。

図8.14(a)~(b)に各試料のX線回折測定の結果を示す。低角度側のピーク強度を20倍にして示してある。基板温度を350°Cまで上げた試料(b)では、このスケールでは確認できないものの、小さな多結晶InSbピークが観察される。しかし、1段階成長法で300°Cで作成した試料よりも、InSb(004)ピークが非常に強く現れており、基板温度を上げたことにより結晶性が向上したもの

と考えられる。また、低角度側にInピークが観察される。さらに基板温度を400°Cまで上げた試料(c)では、InSb(004)ピークがさらに強く現れている。高温でInSb薄膜を成長させたことによって、結晶性、配向性が向上していることが分かる。低角度側にはInピークが観察され、膜がInリッチであると考えられる。このことは、RHEED観察において、 $c(8 \times 2)$ パターンが観察されたことと矛盾しない。

各試料のヘテロエピタキシーの度合いを図8.15に示す。ここでは、第1層目の結果と1段階成長の結果も合わせて示す。ヘテロエピタキシーの度合いは、試料(a)、試料(b)、試料(c)の順に99.417、99.826、99.964でいずれの試料もほぼ100%である。250°Cで作成した試料では、このヘテロエピタキシーの度合いは約90%で飽和した。しかし、InSb(004)ピークとSi(004)ピークの強度比($I_{\text{InSb}(004)}/I_{\text{Si}(004)}$)は、それぞれ5.39、45.26、69.23と成長温度の増加によって急激に増加していることが分かる。低温で蒸着した1層目の結晶性は非常に悪い。2層目の大部分が300°C以下の低温で蒸着されているにもかかわらず、InSb(004)ピーク強度が急激に増加している。これは、蒸着された膜の高温アニールによって、InSb薄膜の結晶性が向上したためと考えられる。多結晶ピークの強度はそれほど大きく減少せず、InSb(004)ピークの強度が急激に増加したために、ヘテロエピタキシーの度合いが100%に近づいたと言える。

InSb(004)ピークの半値幅の変化を図8.16に示す。ここでは1層目の蒸着のみの試料も合わせて示す。各試料の半値幅を比較すると、1層目の半値幅は0.260°と広がっているが、350°C、400°Cまで基板温度を上げることによって、半値幅が0.179°、0.100°と狭くなり、InSb薄膜の結晶性が向上していることを示している。1段階成長で300°Cで作成した試料よりも、試料(b)の半値幅が広いのは、基板温度が300°Cとなるのが、蒸着終了の直前であるため、十分なアニール効果が得られなかったためである。

低温で作成した膜を高温でアニーリングすることで、結晶性が改善されるかを調べるために、200°Cで3時間蒸着したInSb薄膜を、図8.7で示した様な上昇プログラムで、連続的に基板温度を400°Cまで上げる実験を行った。アニーリング中はSbの再蒸発を考慮して、Sbを照射した。しかしこの場合、高温で膜は凝集してしまい、連続膜は得られなかった。このことから、単に低温で膜を作成し、その膜を高温でアニーリングしても、膜が凝集してしまうため結晶性の良い膜は得られず、2段階成長法を用いてInSb薄膜を作成する必要があると言える。

8.3 まとめ

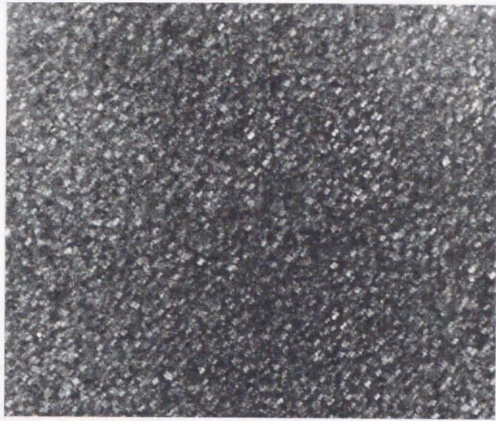
InSb薄膜成長時の基板温度を変化させ、InSbの結晶性に対する基板温度の効果について調べた。高温で成長させることによってInSbの結晶性が向上し、それに対応して、電気的特性も向上した。より高温で成長させることによってInSbの結晶性が向上することが分かった。しかし、

InSb薄膜を1段階成長させた場合、350°C以上の基板温度ではInSb薄膜が凝集しはじめ、さらに多結晶化した。これにより、1段階成長での成長は、InSb薄膜のヘテロエピタキシャル成長にはふさわしくないことが分かった。

1段階成長において、InSb薄膜が凝集してしまう結果をうけて、2段階成長法を使用してInSb薄膜をより高温で成長させることを試みた。2段階成長法を使用して成長させた試料は、凝集することなく400°Cという高温でInSb薄膜成長させても表面性の良い膜が得られた。得られた試料の表面は、 $c(8 \times 2)$ 再構成表面であると考えられる。この再構成はInリッチの条件で現れる。X線回折測定の結果、低角度側にInピークが多数現れており、膜がInリッチであること、Liuら[4]が報告したRHEEDパターンと我々の試料で得られたRHEEDパターンが酷似していることから、この再構成表面を推測した。

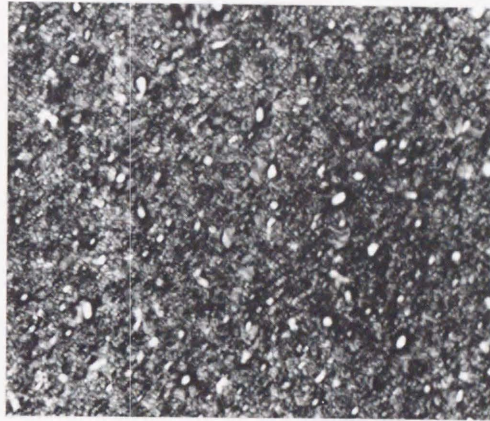
X線回折測定の結果では、InSb(004)ピークが非常に強く現われ、ヘテロエピタキシーの度合いもほぼ100%となった。基板温度250°Cで成長させたInSb薄膜の場合、このヘテロエピタキシーの度合いは、Ge層の厚さを増加させても、約90%で飽和していた。この結果は、高温まで基板温度を上げることによって、ヘテロエピタキシーの度合いが増加することを示している。また、InSb(004)ピークとSi(004)ピークの強度の比は、基板温度を上げるにつれて増加し、基板温度を上げることにより、InSb薄膜の結晶性が向上することを示している。しかし、我々が使用した基板温度の上昇パターンでは、蒸着時間の大部分が300°C以下の低温でInSbを蒸着している。それにも関わらず、InSb(004)ピークの強度が基板温度を上げるにつれて増加した。これは、蒸着終了直前の急激な基板温度の上昇によって、InSb薄膜がアニーリングされ、結晶性が向上したものと考えられる。このことは、蒸着終了直前に基板温度が300°Cを超える試料(b)(350°Cまで基板温度を上げた試料)では、それほどInSb薄膜の結晶性がよくないことから分かる。試料の半値幅の結果からも同様の傾向が見られる。

結晶性の良いInSbを作成するためには、高温での成長が必要である。しかし、1段階成長でInSbを成長させると膜が凝集し、多結晶化してしまうため、2段階成長法を用いて高温まで基板温度を上げてInSb薄膜を成長する必要がある。このとき、InSb薄膜は基板温度の上昇に伴って、アニーリング効果を受けて結晶性が向上する。



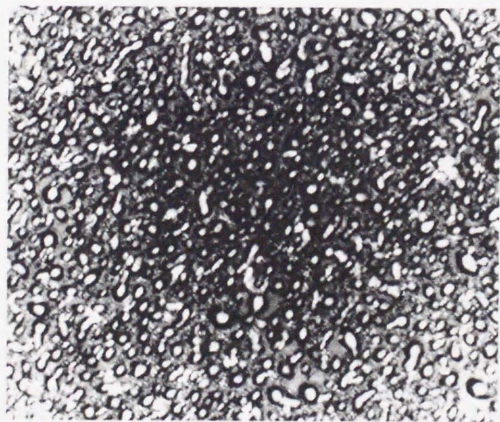
25μm

(a) 250°C



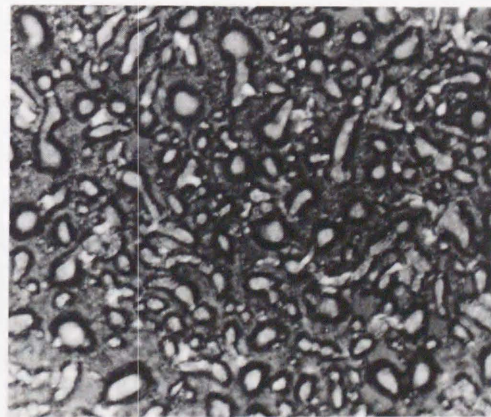
25μm

(b) 300°C



25μm

(c) 350°C



25μm

(d) 400°C

図8.1 各試料の光学顕微鏡写真

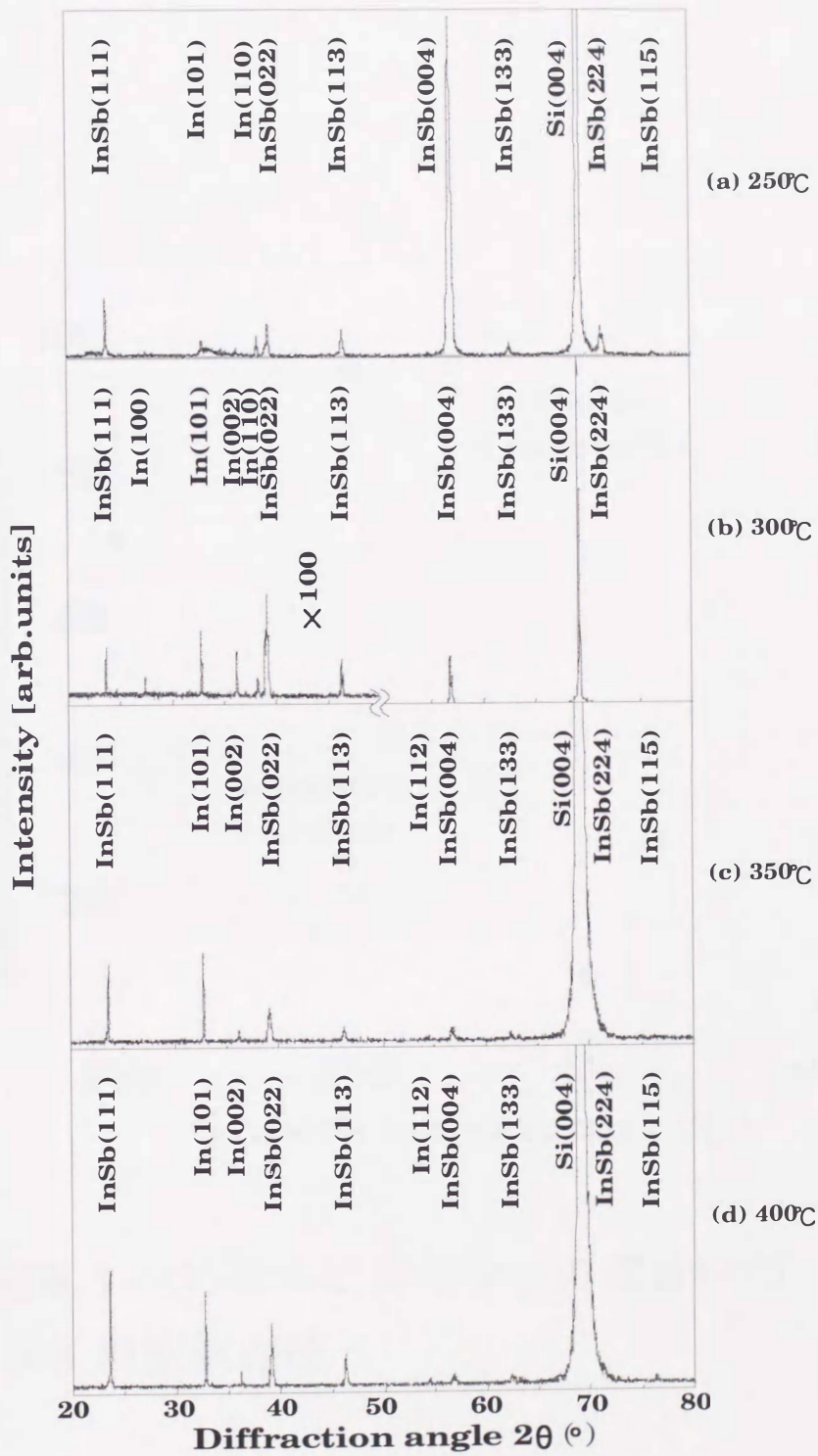


図8.2 各基板温度で1段階成長させたInSb薄膜のXRDパターン

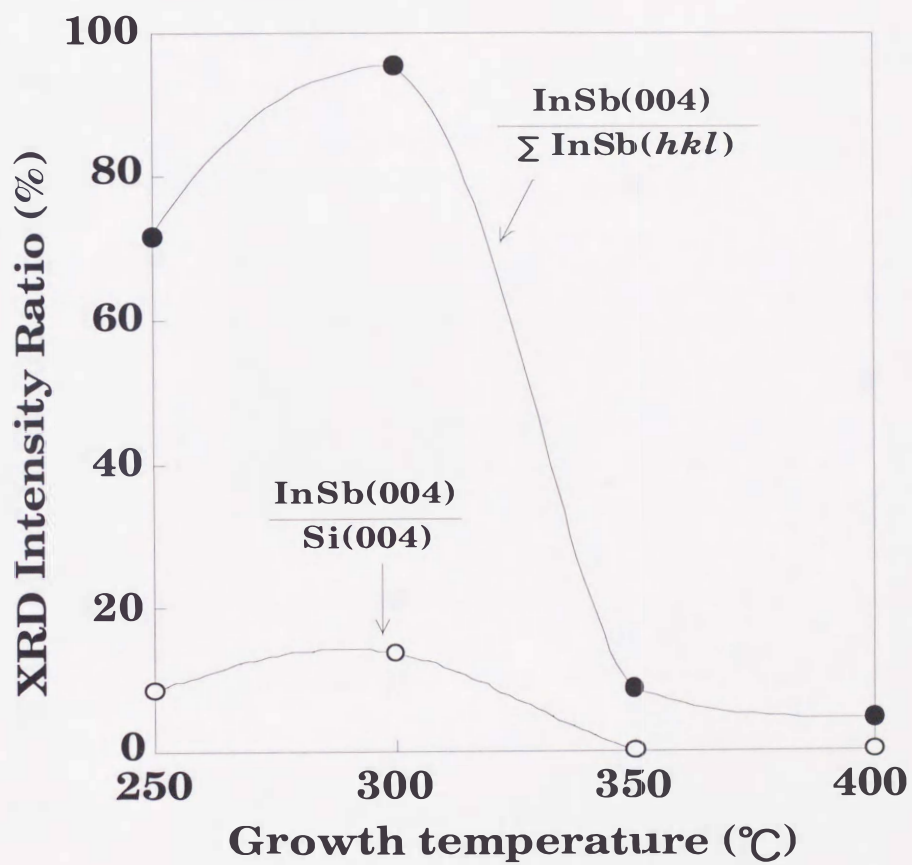


図8.3 ヘテロエピタキシーの度合いの成長温度依存性

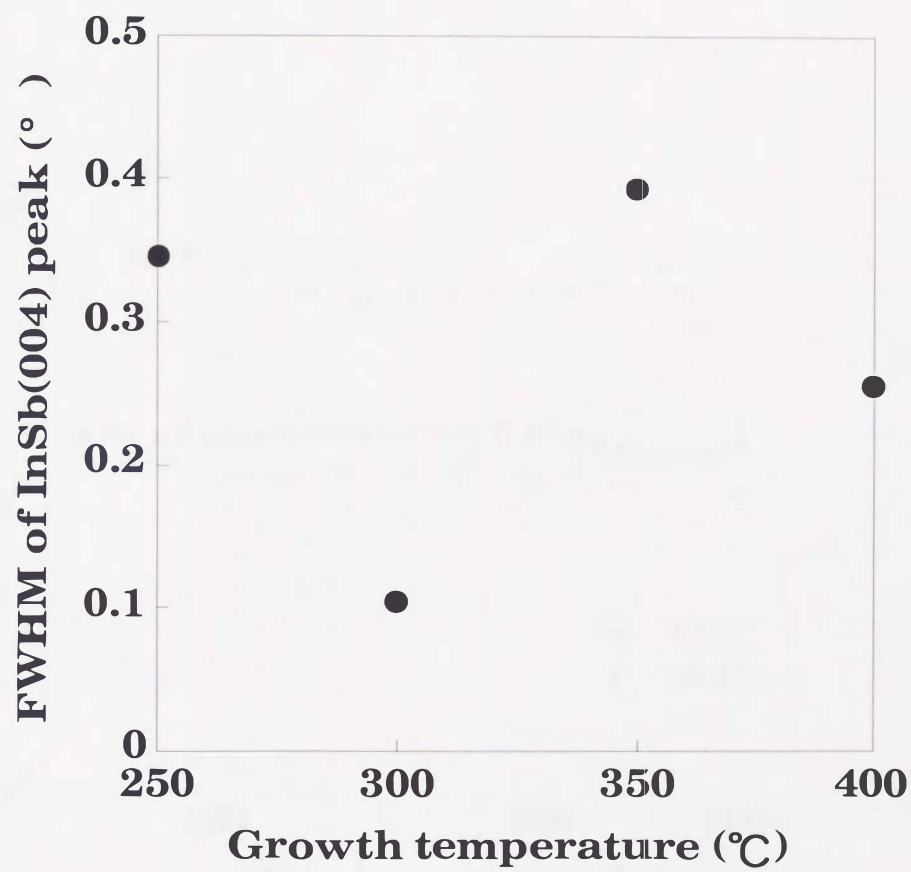


図8.4 InSb(004)ピークの半値幅の成長温度依存性

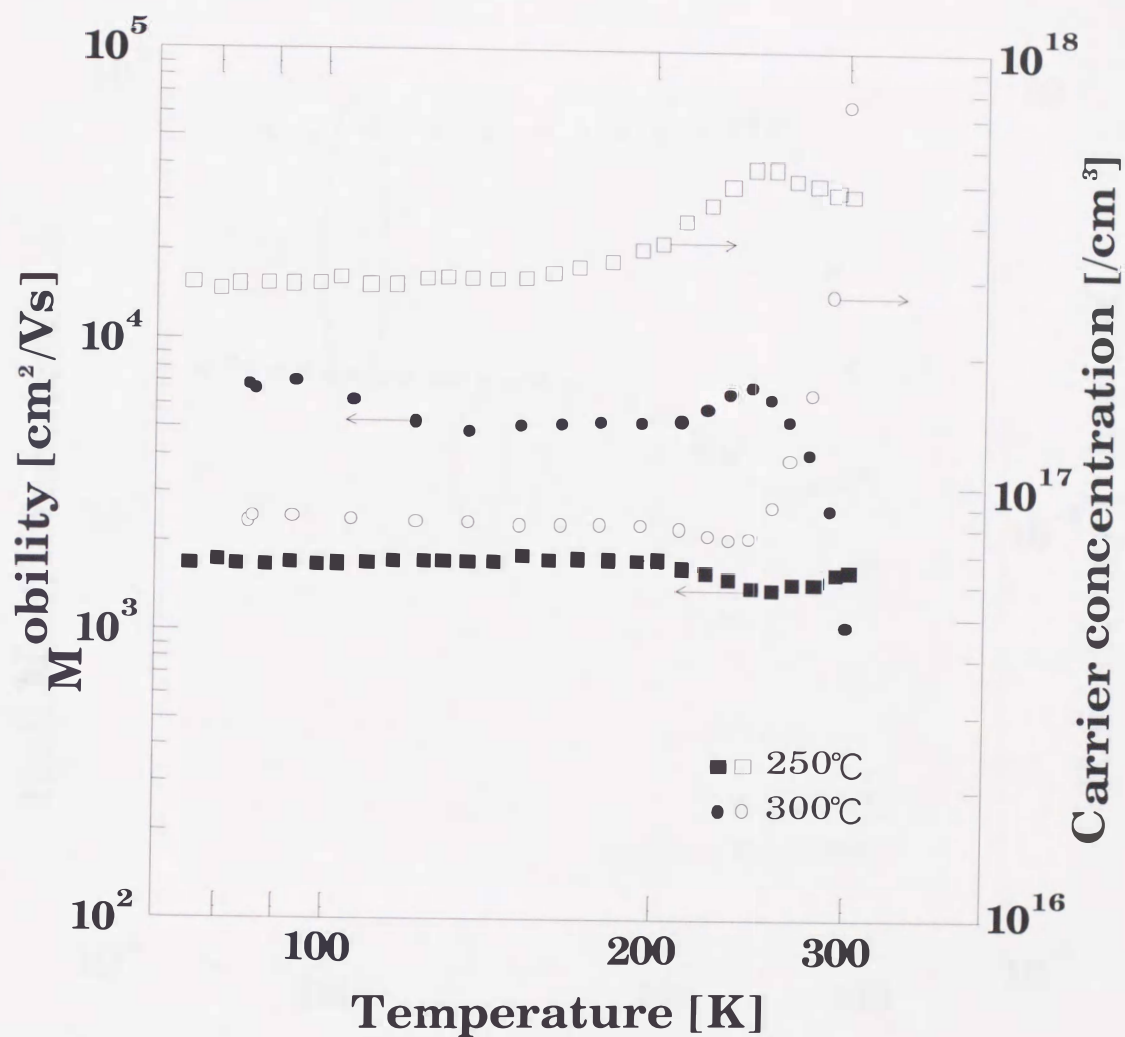


図8.5 300°Cで1段階成長した試料の移動度とキャリア濃度の温度依存性 ●移動度、○キャリア濃度

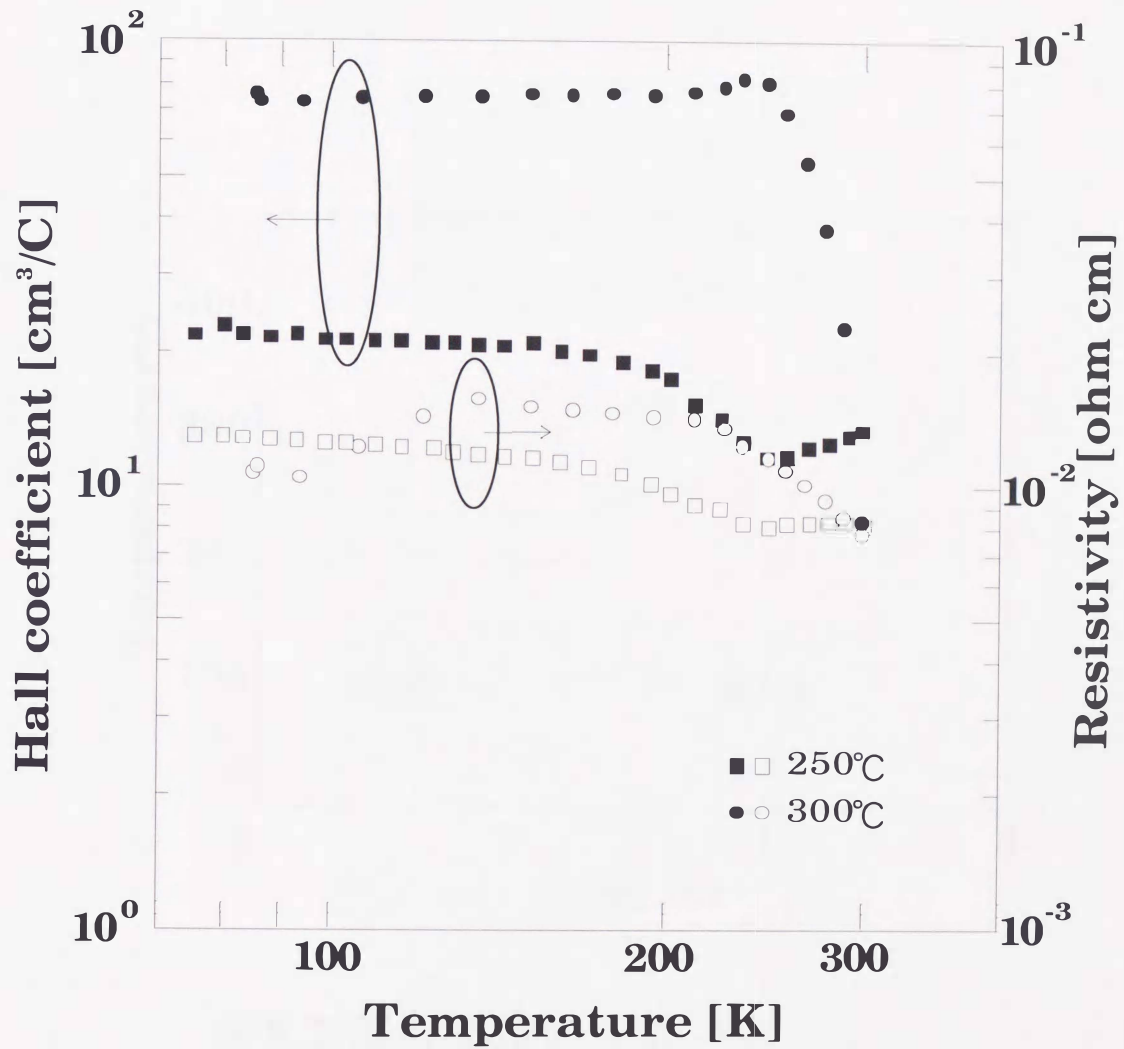


図8.6 300°Cで1段階成長した試料のホール係数と抵抗率の温度依存性 ●ホール係数、○抵抗率

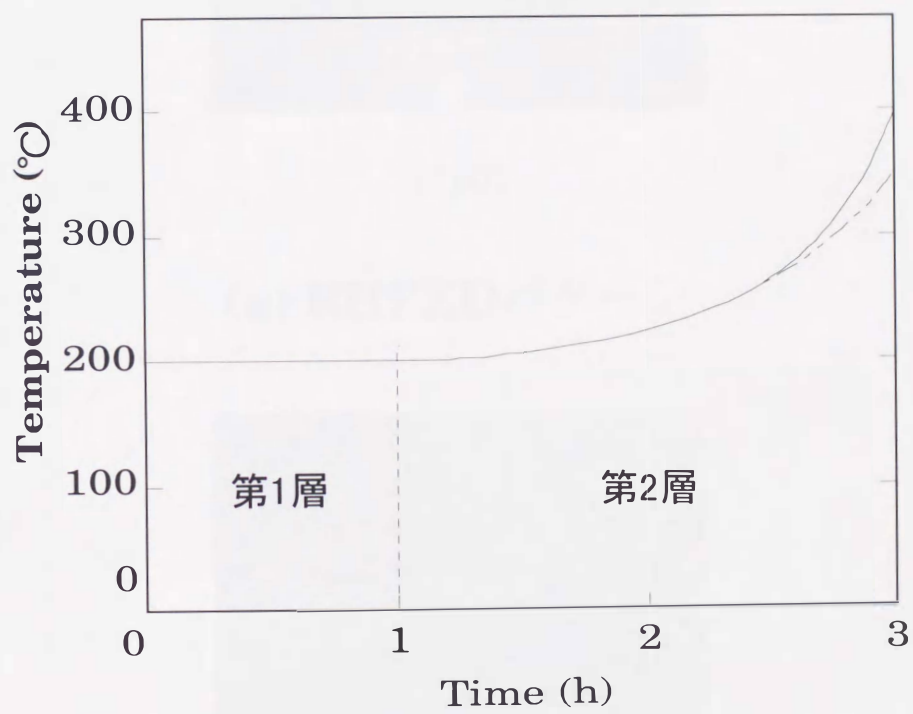
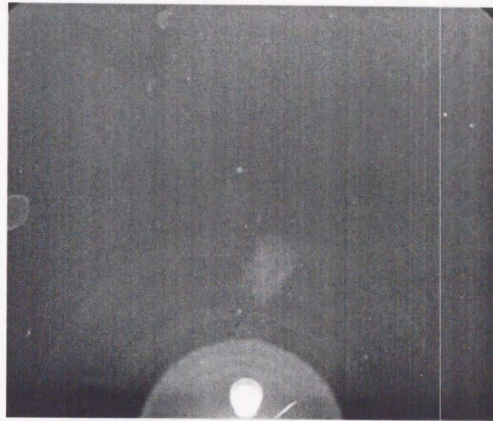
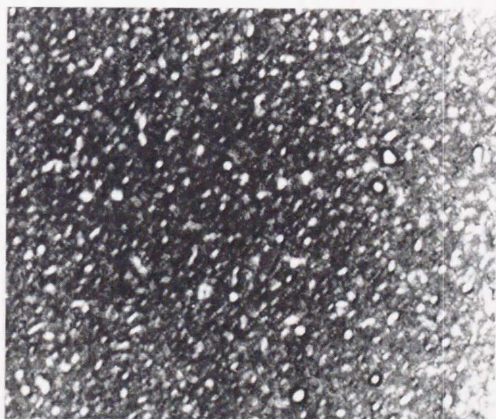


図8.7 基板温度の上昇パターン



[110]

(a) RHEEDパターン



25 μm

(b) 光学顕微鏡写真

図8.8 第1層目蒸着後のRHEEDパターン(上)
および光学顕微鏡写真(下)

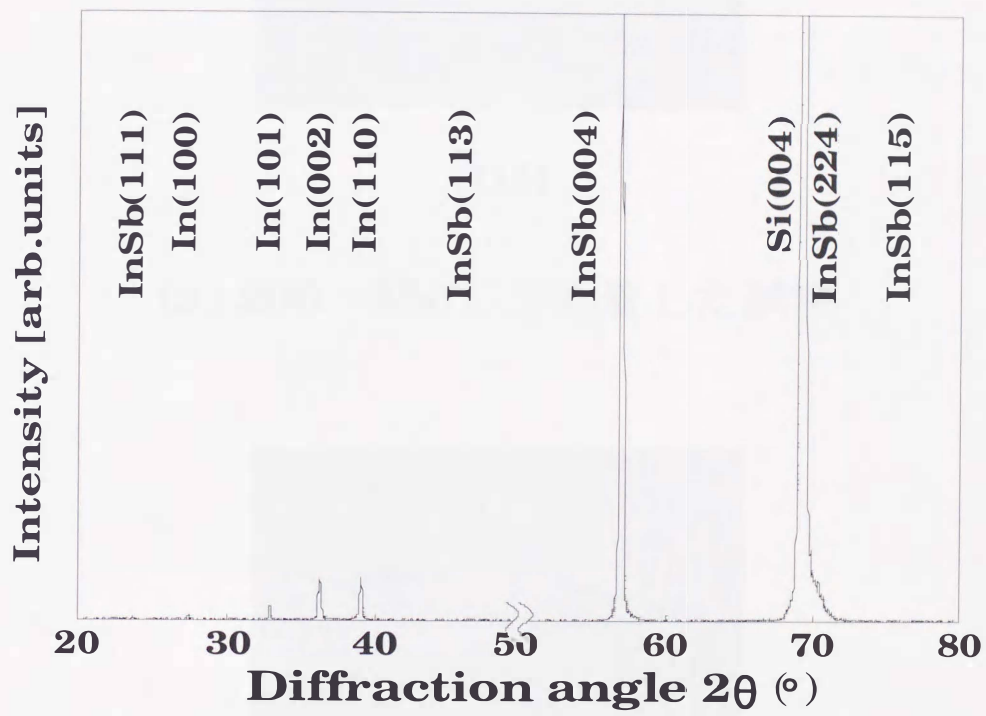


図8.9 第1層目のXRDパターン



[110]

(a) 200→350°Cで蒸着した試料



[110]

(b) 200→400°Cで蒸着した試料

図8.10 2段階成長InSb薄膜のRHEEDパターン

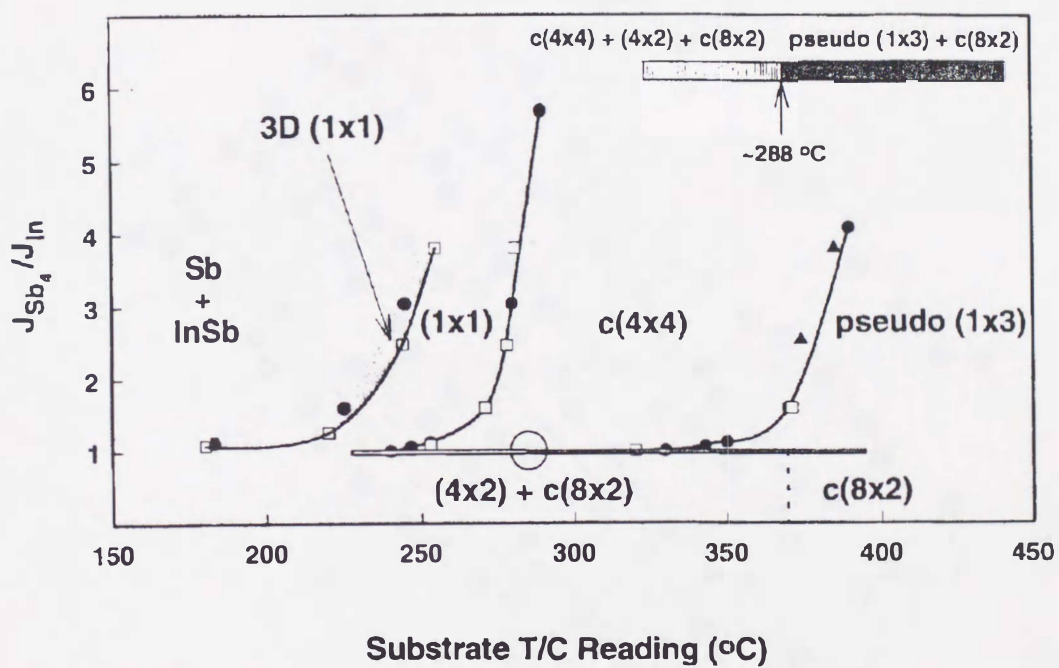


図8.11 成長中のInSb(001)に対する表面再構成相図^[4]

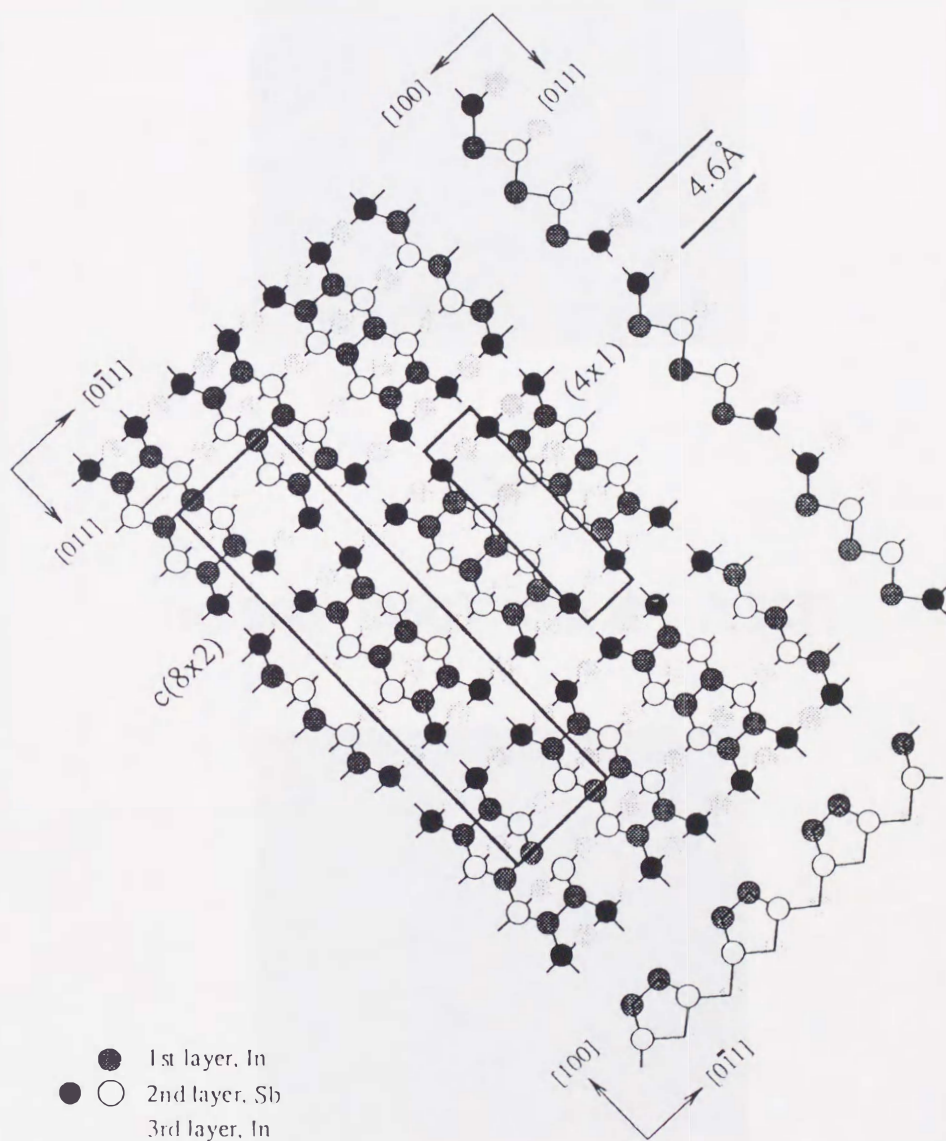
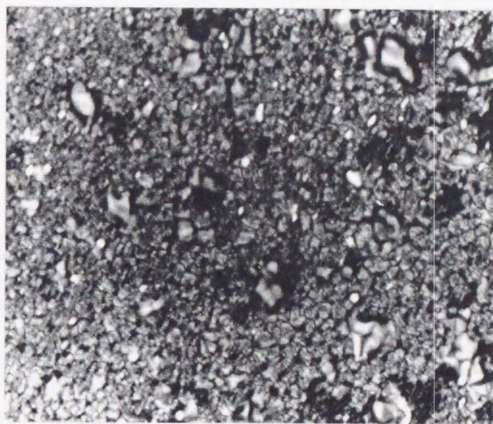


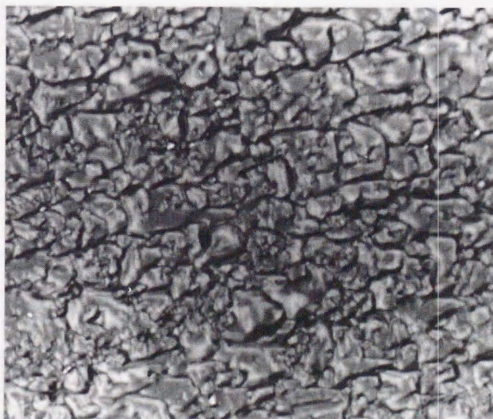
図8.12 InSb(001)-c(8x2)表面の構造モデル

ル[6]



25 μ m

(a) 200 \rightarrow 350 $^{\circ}$ Cで蒸着した試料



25 μ m

(b) 200 \rightarrow 400 $^{\circ}$ Cで蒸着した試料

図8.13 2段階成長InSb薄膜の光学顕微鏡写真

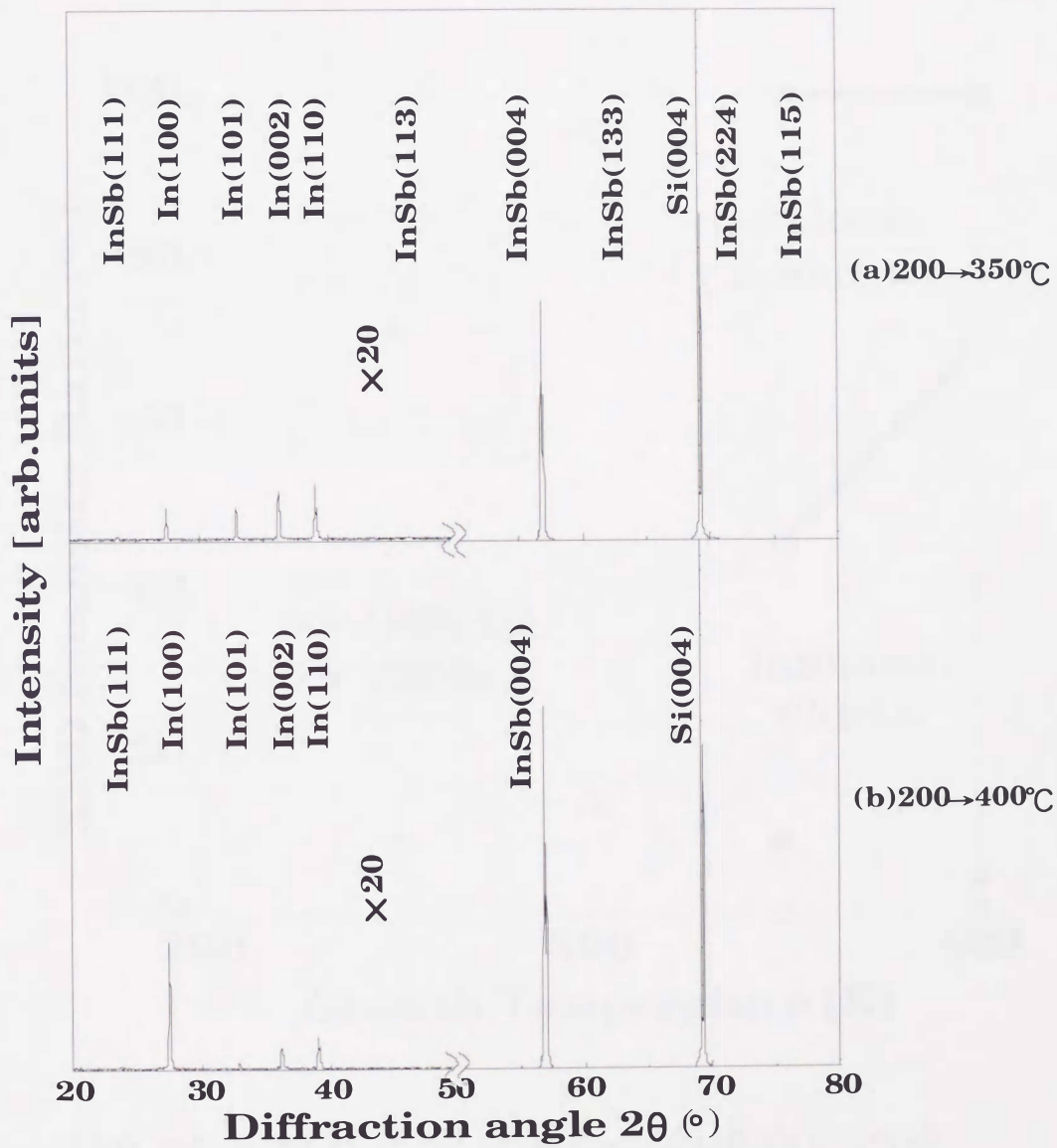


図8.14 2段階成長InSb薄膜のXRDパターン

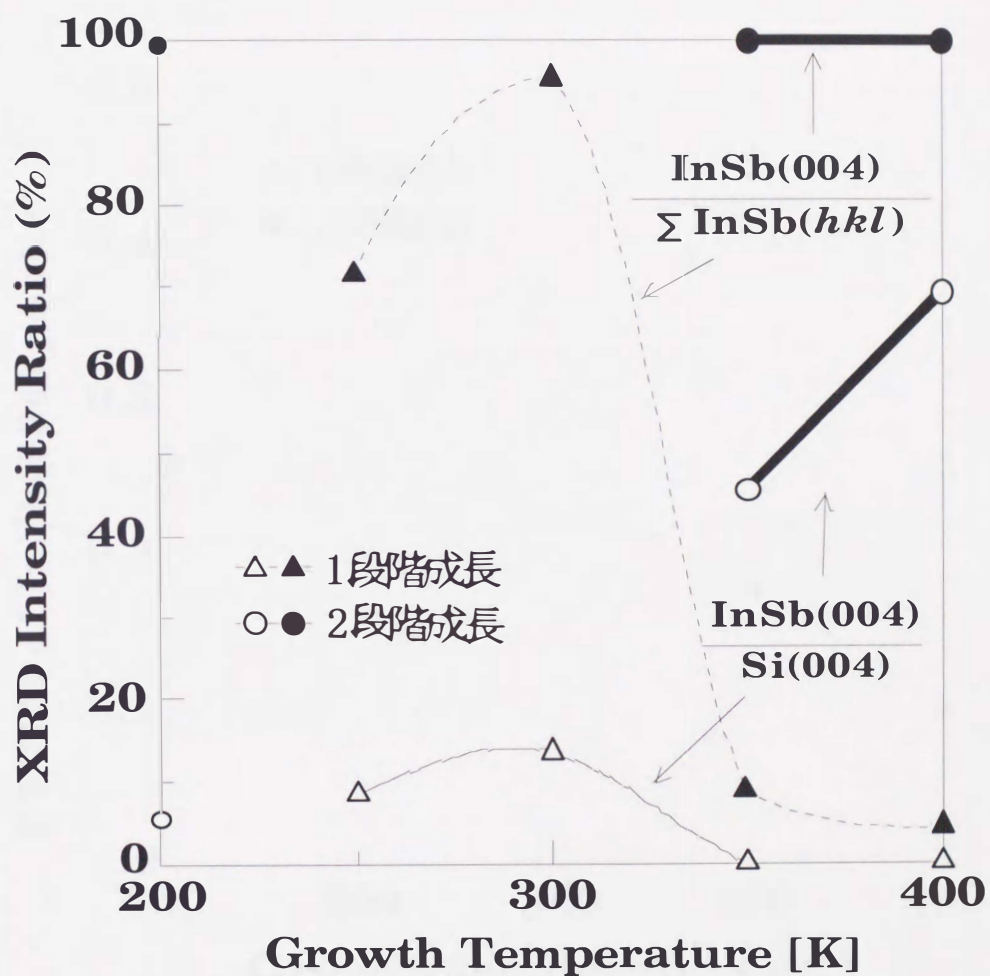


図8.15 ヘテロエピタキシーの度合いの成長温度依存性

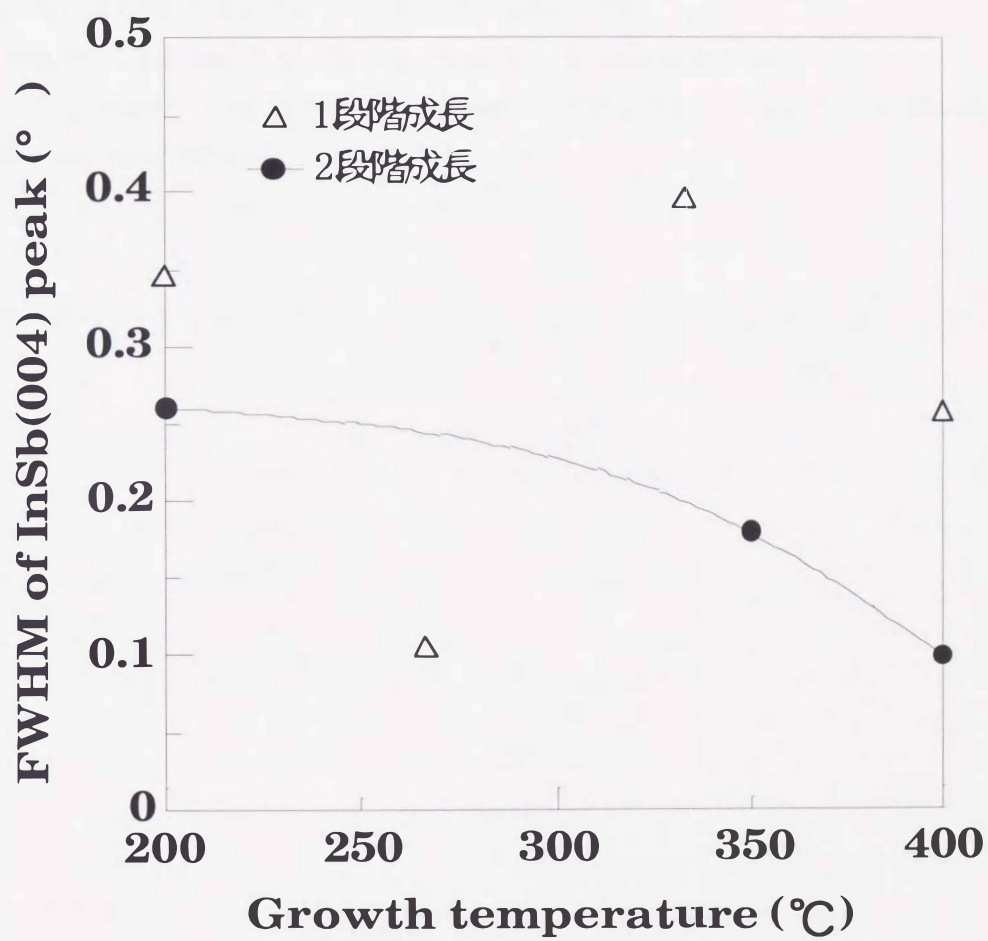


図8.16 半値幅の成長温度依存性

【参考文献】

- [1] M. Mori, Y. Nizawa, Y. Nishi, T. Tambo, C. Tatsuyama, Thin Solid Films (Submitted).
- [2] A. J. Noreika and M. H. Francombe, J. Appl. Phys. 52(1981) 7416.
- [3] G. M. Williams, C. R. Whitehouse, A. G. Cullis, N. G. Chew and G. W. Blackmore, Appl. Phys. Lett. 53(1988) 1847.
- [4] W. K. Liu and M. B. Santos, Surf. Sci. 319(1994) 172.
- [5] P. John, T. Miller and T. C. Chiang, Phys. Rev. B 39 (1989) 1730.
- [6] M. O. Schweitzer, F. M. Leibsle, T. S. Jones, C. F. McConville and N. V. Richardson, Surface Science 280 (1993) 63.

第9章 結論

III-V族化合物半導体の1つであるInSbは、Siとの間の格子不整合が約19.3%と非常に大きく、ヘテロエピタキシーが難しい系の一つである。このため、多くの研究グループが、この大きな格子不整合を緩和するために、SiとInSbの中間の格子定数を持った物質をバッファ層として挿入することを試みている。本研究では、InSbとの格子不整合が約14.5%であるGe層を用いてSi(001)基板上に、高品質なInSb薄膜をヘテロエピタキシャル成長させることを目的として研究を行った。得られたInSb薄膜の電気的特性は十分なものではなかったものの、その作成過程で多くの成果が得られた。

先ずSi(001)基板上に直接InSb薄膜を成長させ評価した(第4章)。Si(001)基板上のInSb薄膜は、多結晶成長してしまう。低温で成長させた試料は表面性が良いが、結晶性が悪いため移動度が低い。高温で成長させると結晶性は向上するが、300°C以上の成長温度では膜が凝集してしまう。しかし、230°Cの低温で表面性の良いInSb薄膜を成長させ、その上に370°Cという高温でInSbを成長させる2段階成長法を用いることで、表面性の良いInSb薄膜を成長させることができ、高温成長による結晶性の向上によって移動度も $10000\text{cm}^2/\text{Vs}$ という高い値が得られた。しかし、膜は依然として多結晶であり、 $\langle 111 \rangle$ 方向に配向する傾向を示すことが分かった。

Si(001)基板上にInSbがエピタキシャル成長しないのは、SiとInSbとの間の大きな格子不整合(約19.3%)が原因と考えられる。そこで、第5章ではInSbとの格子不整合が約14.5%であるGe(001)基板上にInSb薄膜を成長させ評価した。Ge基板上のInSb薄膜は、Si(001)基板上とは大きく異なり、完全にInSbがヘテロエピタキシャル成長した。また、膜の表面性は蒸着中のフラックス比によって大きく変化し、Sbの割合が多いほど表面性の良いInSb薄膜が成長した。しかし、X線回折(XRD)と電子チャネリングパターン(ECP)の結果では、結晶性はそれとは逆に、むしろInリッチの条件で成長させた試料の方が良くなり、表面性と結晶性は必ずしも一致しないことが分かった。また、ECPの輪郭がはっきりしないため、膜中に多くの欠陥があると予想され

る。化学量論的組成を持った膜を得るには、フラックス比4.5として蒸着するとよいことも分かった。この結果、Ge基板上にInSb薄膜をヘテロエピタキシャル成長させることができることが分かり、Si(001)基板上にGe層を成長させることで、InSb薄膜がSi(001)基板上でエピタキシャル成長する可能性を示した。

第6章では、Ge(001)基板上のInSb薄膜の実験を踏まえて、Ge/Si(001)基板上でのInSb薄膜の成長を行い、その特性を評価した。Ge基板上と同様の表面平坦性を得るために、Si基板上に成長させるGe層の膜厚を4000Åとした。フラックス比4.5で蒸着を行ったが、InSb薄膜はGe基板上と同様に、ヘテロエピタキシャル成長した。この場合もInリッチの試料膜が結晶性が良く、ECPでは(001)面を表わすパターンが現れた。また、Ge層のECPと同一の方向を向いており、Ge層上のInSb薄膜は回転せずに、Si(001)基板の面方位に沿って成長していることが分かった。しかし、完全にヘテロエピタキシャル成長しているにもかかわらず、移動度は小さかった。これは低抵抗のGe層の影響を大きく受けていると考えられる。

第7章では、Ge層の抵抗を上げて、測定電流がGe層に流れるのを防ぐために、Ge層を薄くすることを試みた。Ge層が薄い場合、Si(001)基板上にGeのアイランドが形成される。アイランド以外の部分はSiと同じ格子定数を持った薄い(~2ML)Ge層である。Si(001)基板上に蒸着するGeの量を100MLまで変化させ、その上に基板温度250°CでInSbを成長させた。Geの膜厚が増加するにつれ、多結晶のピークは小さくなり、ヘテロエピタキシーの度合い(全てのInSbピークの強度の総和に対するInSb(004)ピークの強度の比)が増加した。これはGe層の厚さが増加するにつれて、Geアイランドの面積密度が増加し、このアイランドを核としてInSbが成長したためである。Geアイランドの面積密度は~100MLまで増加し、それ以上では20%程度で飽和したのに対し、ヘテロエピタキシーの度合いは、100ML以上のGeでは90%となり、Geアイランドの面積密度よりもはるかに大きかった。この結果は、Geアイランドを核としたエピタキシャル成長が、Geアイランドの上ばかりではなく、横方向にも進んでいることを示している。これらの実験から、Ge層を100ML程度蒸着することで、十分バッファ層としての効果を得ることができると分かった。

第8章では、Ge層の厚さを100MLに固定して、InSb薄膜の結晶性に対する基板温度の効果を研究した。基板温度を高温にするにしたがって、ヘテロエピタキシーの度合いは増加したものの、350°C以上で1段階成長させた場合、Si(001)基板上と同様に膜が凝集してしまった。そこで、先ず200°Cで蒸着し、その後連続的に基板温度を200°Cから400°Cまで上げながら蒸着する2段階成長法を用いてInSb薄膜の成長を行った。この場合、250°Cで1段階成長させた試料において、~90%で飽和していたヘテロエピタキシーの度合いが、ほぼ100%となり、X線の半値幅も狭くなった。2段階成長法で作成した場合、Si(001)基板上に100MLという薄いGe層を蒸着することにより、表面平坦性に優れ、ほぼ完全にヘテロエピタキシャル成長したInSb薄膜が得られた。

付録

A.1 分子線エピタキシー(MBE)

A.1.1 はじめに

半導体単結晶基板に異なる半導体をエピタキシャル成長させることは、ヘテロ接合デバイスを作成する上で最も基本的なことである。1970年にIBMの江崎玲於奈氏とR.Tsu氏によって発表されたGaAsとAlAsからなる半導体超格子は、半導体物理、および工学にその後の新たな発展の方向を与えた[1]。この超格子の作成を可能にしたのが分子線エピタキシー(MBE)であった。MBEは真空蒸着法の一つであり、1968年当時米国ベル研究所にいた、J. R. Arthurにより命名された技術である。主にGaAsなどのⅢ-V族化合物半導体を対象に開発された薄膜結晶成長法であるが、基本的には、各蒸着源の温度と基板の温度を制御する多元蒸着、あるいは三温度法である。しかし、通常の真空蒸着法とはいくつかの点で大きく異なる点がある。

その第一は、超高真空中(10^{-10} Torr以下)での薄膜成長であるため、蒸着源からの蒸発原子、分子は途中散乱を受けることなくビーム状に基板に到達する。 $n[\text{cm}^{-3}]$ をチャンバー内の分子密度、 $d[\text{cm}]$ を分子の直径とすれば、分子が他の分子と衝突するまでの平均自由行程 $\lambda[\text{cm}]$ は、

$$\lambda = \frac{1}{\sqrt{2}n\pi d^2} \quad (\text{A.1})$$

で与えられる[2]。また n はボルツマン定数 k 、圧力 $P[\text{Torr}]$ 、温度 $T[\text{K}]$ と

$$P = nkT = 1.035 \times 10^{-19} nT \quad (\text{A.2})$$

の関係がある。したがって、残留ガスを酸素分子($d=3.74 \times 10^{-8}$ cm)とし、例えば背圧を $P=10^{-10}$ Torr とおくと、 $T=300$ K で λ は 100 km のオーダーになる。

また、基板の清浄性が長時間保証されるため、成長速度を遅くすることができる。基板への残留ガスの入射頻度は N は、

$$N = \frac{1}{4} n v_a = 3.5 \times 10^{22} \frac{P}{\sqrt{MT}} \quad (\text{A.3})$$

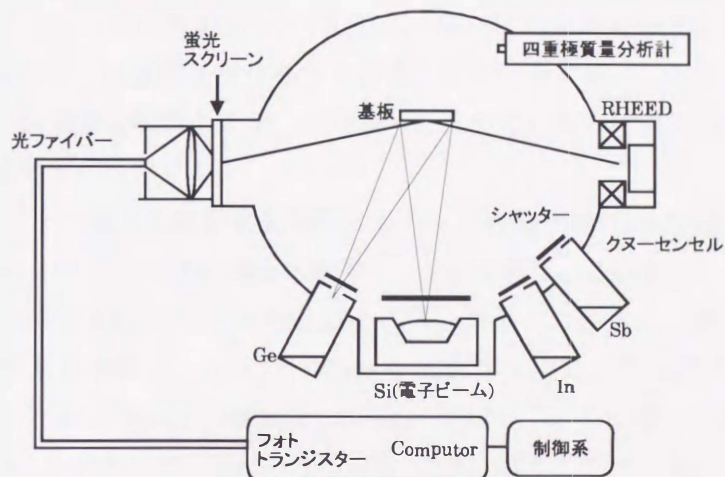
で与えられる。 v_a は質量 M [g] の分子の平均速度である。残留ガスを酸素分子 [$M=5.3 \times 10^{-23}$ g、 $v_a=4.3 \times 10^4$ cm/s $\cdot 0^\circ\text{C}$] とすると、 1×10^{-6} Torr の真空度では、 N はおよそ 4.0×10^{14} /s $\cdot\text{cm}^2$ となる。この酸素分子がすべて基板表面に吸着されるとすれば、清浄な表面もわずか1秒程度で、酸素によって汚染されてしまうことになる(結晶の表面原子密度はほぼ 10^{14} cm $^{-2}$ のオーダーである)。これに対して、 1×10^{-10} Torr の真空度では、 10^4 秒かかることになる。したがって、長時間にわたって清浄表面が保たれることになり、蒸着速度を遅くすることができ(通常 $0.1 \sim 10$ Å/s)、単原子、単分子層程度の膜厚制御性で薄膜の成長が可能となる。また、清浄表面では吸着原子、分子の表面拡散距離が大きくなり、そのために比較的低温でもエピタキシャル成長するようになり、急峻な界面の形成が可能となる。さらに、電子線やX線源をチャンバー内に取り付けることにより、成長および成長膜をその場観察できる。このような特徴を生かしてさまざまな材料の薄膜成長が行われている。

上で述べた特徴以外の分子線エピタキシーの特徴としては、①大面積にわたり、均一でかつ原子レベルで平坦な膜を得ることができる。②3成分系はもとより、多成分系の混晶薄膜も蒸発源を増やすだけで容易に得られる。④非熱平衡状態での結晶成長である。⑤結晶成長中に成長層表面、あるいは分子線から成長条件についてのさまざまな情報を得ることができ、それらを直ちに成長制御にフィード・バックすることができる。などがあげられる。

また、MBEの欠点としては、①超高真空が必要となるため、それに相応するだけの材料、装置などの準備が必要で、そのために装置が比較的大掛かりで高価なものになる。②成長に要する時間が長く、成長速度も遅いことから量産性にかける。③MBE装置が故障しやすく稼働率が低い。などがあげられる。

MBE装置の一般的な構成を図A.1[3]に示す。蒸着源セルには、通常PBN(Pyrolytic Boron Nitride)製のKnudsen cell(K-セル)が用いられるが、Siの場合には融点が高いために電子ビーム蒸着源を用いる。蒸着源セルの前には、シャッターが取り付けられ、蒸着の開始、停止を瞬時に行える。また、コンピュータを介してさまざまな蒸着源プログラムを組むことも可能である。

RHEED(Reflection High-Energy Electron Diffraction, 反射型高速電子線回折)は、基板表面からの回折パターンを観測する。四重極質量分析計は主に残留ガスの分析に用いられる。尚、メインチャンバーの高真空を破らずに試料の導入ができるように、ゲートバルブを介して試料導入用のサブチャンバーが付属している。さらに、AES(オージェ電子分光)、XPS(X線光電子分光)、UPS(紫外電子分光)、STM(走査型トンネル顕微鏡)などの各種の表面分析を備えたチャンバーを超高真空を介して連結することが多い。

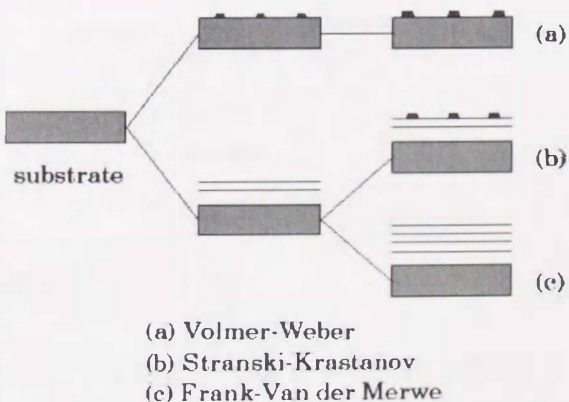


図A.1 MBE装置の概略図

A.1.2 薄膜の成長機構

単結晶基板上での薄膜の初期成長には、通常図A.2に示すような3種類の成長機構がある。成長機構の相違は主に基板と成長結晶の格子定数の差に依存するが、成長温度、成長速度、表面の清浄度などの成長条件にも依存する。

第一は、基板の上で最初から島状の3次元的成長が進行するもので、Volmer-Weberモードと呼ばれている。基板と成長結晶の格子定数差が大きい(>15%)場合や、基板が汚れている時に生じ易い。第二に、最初の数原子層までは1原子層単位で成長していくが、その後は島(アイランド)状の三次元成長に変わるもので、Stranski-Krastanovモードである。格子定数の差が比較的小さく、基板温度が高い場合に起こりやすい。この成長

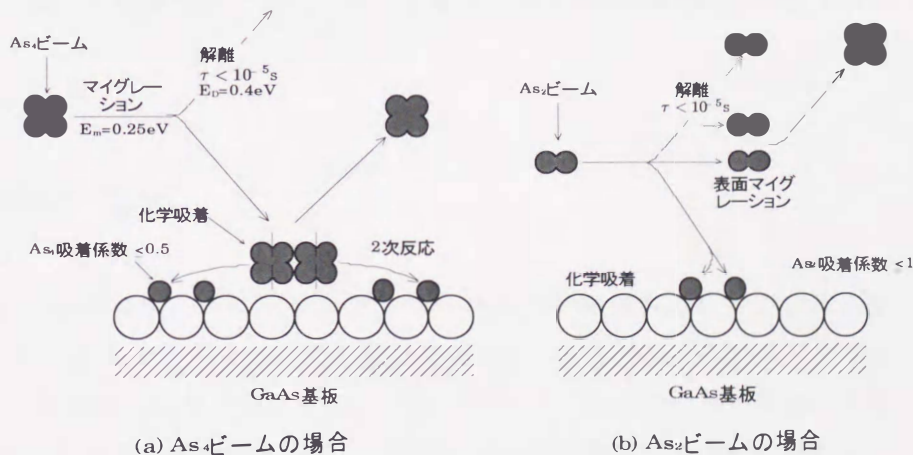


図A.2 薄膜の成長機構

モードは現在量子箱を自己制御的に成長させる方法として盛んに研究されている。ここまでの2つの成長モードでは、さらに膜厚を増加させれば、アイランドは合体していずれは平坦な膜に変わるが、薄膜内に多くの欠陥や転位を含み、結晶性は良くない。第三は1原子層ずつ積層していくもので、**Frank-Van der Merwe**モードと呼ばれている。基板表面が清浄であり、格子定数が一致している場合にこの成長様式を取る。Si上のSi、GaAs上のGaAsなどのホモエピタキシー、格子定数の差が極めて小さいGaAs上のAlAs、GaAs上のGeの成長などがあげられる。

III-V族化合物半導体のMBEにおいて、III族とV族分子線を同時に基板に照射した場合、基板に到達したIII族原子は、付着係数がほぼ1であるためすべて結晶内に取り込まれる。一方、V族原子は単独では付着せず、III族原子が存在する場合にのみ付着する。したがって、通常III族元素よりもかなり多くV族元素を供給するが、成長速度を決めているのはIII族の分子線であり、成長速度はIII族の分子線強度に比例する。

GaAsを例にとると、一般に金属砒素を加熱すると、その分子線は As_4 の形となる。よって、加熱されて真空中を飛んでくるのはAs単体ではなく、 As_4 である。この場合、図A.3(a)に示すように[4]、基板表面ではまず As_4 分子がGaAs基板上に弱い結合力で吸着し、動きやすい状態となる。次に As_4 はGaAs基板上を移動し、もう一つのAsと対を作る。ここでAs原子が生じるが、2つの As_4 から4つのAs原子と1つの As_4 分子が形成され As_4 は解離していく。残ったAs原子はそれぞれ適当な格子点へ収まる。したがって、 As_4 の付着係数は0.5を超えることはない。



図A.3 GaAs(001)面でのMBE成長モデル[4]

一方、金属砒素の代わりにGaAs結晶を加熱したり、一度生成した As_4 をさらに熱分解すると As_2 分子線が得られる。図A.3(b)のように、 As_2 もまた初め表面に弱く吸着され、表面上を移動することが可能である。吸着された As_2 は、表面を移動する間に対となるGaに出会った時のみ原子に分解して格子に組み込まれる。自由なGaがないときには、 As_2 は測定可能な程度の寿命時間、表面に滞在した後離脱していく。 As_4 の代わりにAsを用いると、深いエネルギー準位を有する欠陥濃度が減少して、純粋な発光スペクトルが得られると言われている[1]。

A.2 原子間力顕微鏡(AFM)

A.2.1 はじめに

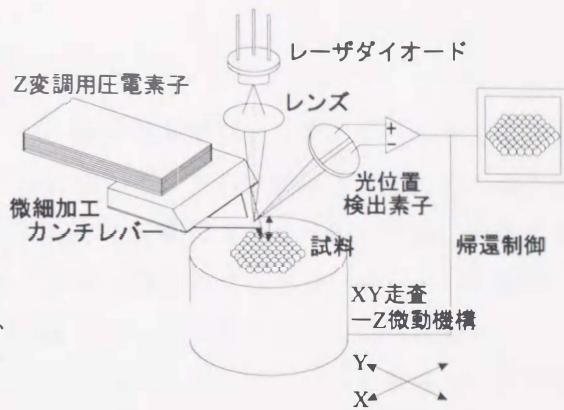
1981年にトンネル電流を検出する走査型トンネル顕微鏡(Scanning Tunneling Microscope : STM)が、IBMチューリッヒのビーニツヒ博士とローラー博士らにより完成した。現在、STMは実空間における表面構造や電子の状態密度等を原子的スケールで測定できる装置として、確固たる地位を確立している。しかし、STMは基本的に導電体しか取り扱えず、電気的情報しか得られなかった。ところが、1986年には絶縁体を取り扱えて、力学的な情報が得られる原子間力顕微鏡(Atomic Force Microscope) : AFMが開発された。AFMの開発により絶縁体の原子観察以外に、厚い絶縁性の有機・高分子・バイオ材料の分子の観察、磁氣的ドメイン構造の観察、帯電の研究、摩擦力の研究なども可能となっている。

AFMには、STM方式、光を使う光てこ方式、光干渉方式及びキャパシタンス方式がある。この中で、てこ背面からの光の反射角が、てこの変位により変化することを利用して、反射した光を2分割、4分割した検出器への入射光の相対値からてこの変位を求める光てこ方式が、高感度で扱いやすく、市販装置として実用化した。また、STMやAFMのような、マイクロプローブを走査する一連の新しい顕微鏡のグループは、走査型プローブ顕微鏡(Scanning Probe Microscope : SPM)と名づけられている。

A.2.2 AFMの原理

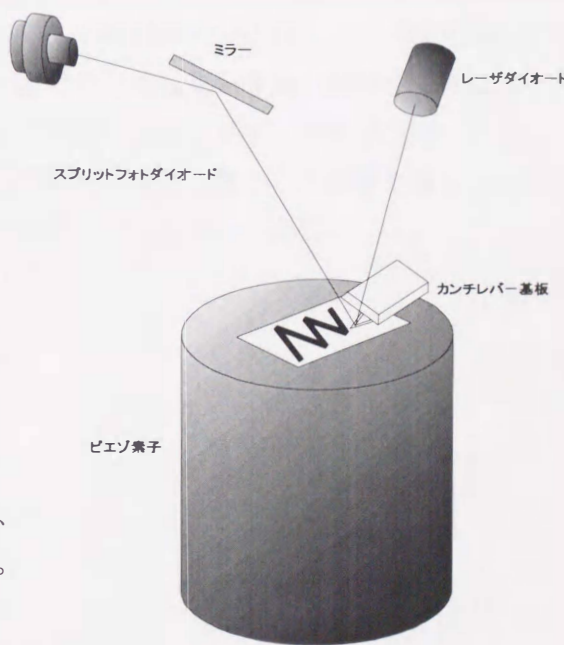
近接する2つの物体間には、ファンデアワールス力が静電気力などのさまざまな力が働く。AFMは、これらの力を検出するための探針を表面からわずかな距離にまで近づけ、この探針を表面に沿って機械的に走査することによってナノメートルスケールの空間分解能で試料表面の3次元像を得る走査型の顕微鏡である。近接する2つの物質間には互いに力が作用しあうので、AFMの観察試料に対しての制限は原理的には存在せず、電気伝導性に乏しい試料に対しても観察が可能である。また、試料雰囲気についても制限が少なく、大気下、液体中、真空中のいずれでもAFMの動作は可能である。このため、単に表面物理・化学の分野だけでなく、半導体、有機材料、生体関連試料、磁性体等さまざまな材料の微視的観察・評価に用いられている。図A.4にAFM装置の構成を示す。AFMでは表面力を検出するために微細加工カンチレバーと呼ばれる、一端を支持された微小な板バネを用いられる。このカンチレバーの先には、先端半径が数10nm以下という非常に尖った小さな針(探針)があり、カンチレバーには試料表面からこの探針

に働く力に応じて曲がる。カンチレバーの弾性定数 k は通常既知なので、この微小な曲がり(変位) Δz を測定することによって、探針-表面間に働く局所的な力($F=k\Delta z$)を知ることができる。この力を測定しながら、試料(あるいは探針)を機械的に2次元走査することによって、試料表面の力の2次元像が得られる(constant height mode)。また、この力の信号を一定にするように試料のZ方向の位置を帰還制御しながら試料を走査し、各点での試料の移動量を記録することで、表面の3次元的な微細形状像も得ることができる(constant force mode)。



図A.4 AFMの装置構成

AFMの分解能を決める因子の一つとなる探針及びカンチレバーは、通常半導体微細加工技術を利用して作られており、先端曲率半径が10~50nm程度の探針をもつ Si_3N_4 やSi製の薄膜状カンチレバー等が実用化されている。実際に探針が受ける力は 10^{-9} ~ 10^{-11}N と非常に弱いため、1~0.01N/m程度の弾性定数をもつ柔らかいカンチレバーが使用されるが、一方で外部の機械的な振動雑音を受けないためにカンチレバーの剛性(共振周波数)を高める必要があり、実際のカンチレバーのサイズは微細なものとなる。典型的なカンチレバーの大きさは、長さ100~200 μm 、厚さ0.1~1 μm と非常に小さい。一方、カンチレバーの変位測定には0.1nm以上の分解能をもつ必要があり、レーザー干渉法や光てこ法等が用いられている。光てこ法は、カンチレバーの背面に当てられたレーザー光の反射方向がカンチレバーの微小な曲がりに応じて変化することを利用して、その変位を測定する方法で、装置構成が比較的簡単なことから最もよく用いられている。



図A.5 光てこ法の原理図

AFMの試料表面内の分解能(横分解能)は、探針と試料表面の相互作用領域の大きさで決まり、探針形状およびその先端半径に大きく依存するが、探針先端径が十分小さいならば、原子スケールに達しうる。一方、試料面に垂直方向の分解能(縦分解能)は、カンチレバーの変位測定感度で決まり、典型的には0.01~0.05nmとなる。

A.2.3 AFMの動作

カンチレバーを試料遠方から表面に接近させると、一般にはまずファンデアワールス力等の引力が働き、カンチレバーは試料表面に向かってわずかに曲がる。さらに接近させるとその傾きは徐々に大きくなるが、ある点でカンチレバーは試料に向かって突然大きく傾いて試料に接触する。接触した後は非常に大きな斥力を受けるため、さらに試料を変位させるとカンチレバーは試料から遠ざかる方向に移動距離とほぼ同程度の距離だけ曲がる。この状態から逆に試料を離していくと、カンチレバーはある点で今度は急激に後方へジャンプする。カンチレバーを表面から引き離すために必要な力は付着力と呼ばれ、探針・試料の表面エネルギーと関係づけられるAFMの動作範囲は、非接触領域と接触している領域の2通りに分かれる。

一方、非接触動作での表面力はファンデアワールス力や静電気力や磁気力などに起因し、一般に長距離まで伝達する力である。したがって、接触動作に比べると探針-表面の相互作用領域は広がり、横分解能は劣らざるをえない。しかしながら、接触動作のAFMでは、試料と探針は大きな相互作用を及ぼしあうため、半導体清浄表面のように活性な表面を持つ試料や生体材料など容易に変形する試料に対しては、探針が試料に与える影響を無視し得ず、探察は困難となる。これに対して非接触動作における観察では、こうした探針-試料間に働く力の影響を著しく軽減することができ、探針・試料のダメージがないという非常に大きな利点がある。

A.3 電子チャネリングパターン(ECP)

A.3.1 はじめに

材料学の研究において結晶学的情報を必要とする場合、エッチピット法、X線回折法や透過電子顕微鏡法等を用いることが多い。

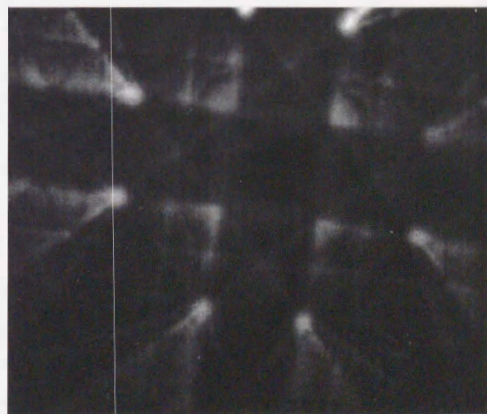
エッチピット法を用いると、適当な腐食液を選択すれば数 μm 程度のピットを形成することができるので、微小領域の方位解析が可能であり、大量の情報を得ることができるが、ピット形状の評価が精度の大きな影響を及ぼす。

X線を用いた方位解析としてはラウエ法が有名である。この方法は解析精度が 1° 以内と高精度であるが、長時間の露出が必要であること、微小領域からの情報を得にくく、個々の組織との対応がつけにくいことなどの欠点がある。また、極点図に代表される集合組織の解析の様な大量のデータ解析にもX線回折法が利用されている。

一方、透過電子顕微鏡法は、微小領域の組織と結晶学的情報の両方が得られる強力な研究手段であるが、広範囲の観察視野を持たないことや、材料によっては薄膜形成が困難であることなどの短所もある。

これらの他に、走査電子顕微鏡において、結晶性材料に電子線が入射した時に図A.6に示すような回折パターンが発生することが知られている。このパターンはElectron Channeling Pattern(ECP)と呼ばれており、1967年にD.G.Coates[5]が発見した回折現象であることからCoates像とも呼ばれている。

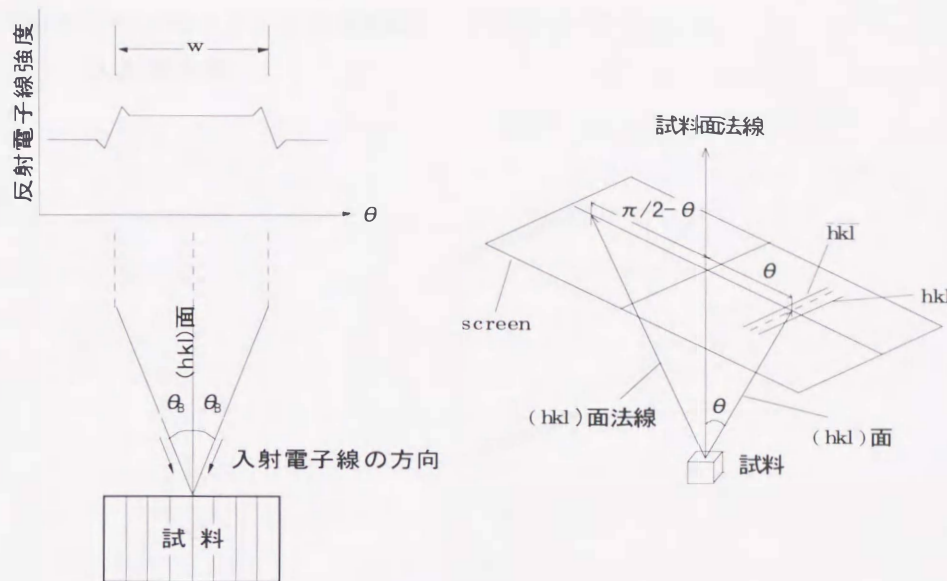
ECP法は光学顕微鏡と同程度の広い観察視野を持ちながら、数 μm 程度の領域からの結晶学的情報がX線と同程度の精度で得られ、しかも個々の組織との対応関係も明らかにできるという特徴を有する。すなわち、X線回折法と透過電子顕微鏡法のそれぞれの長所を兼ね備えた方位解析手段であるといえる。



図A.6 Ge(4000Å)/Si(001)のECP

A.3.2 ECPの原理

結晶に対して入射する電子線を、ある結晶面のBragg角の付近で入射角を変化させると、反射電子線の強度が大きく変化する。これは試料内で発生する2つのブロッホ波(2波近似の場合)の



図A.7 ECPの発生原理[6]

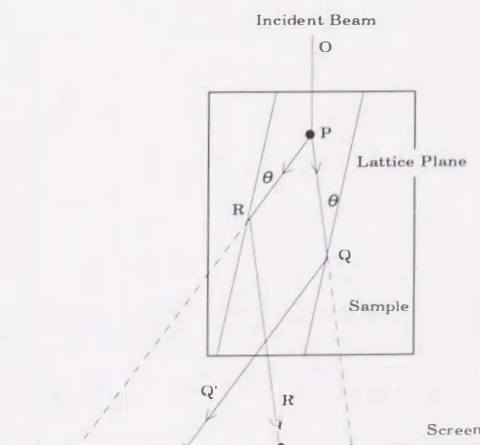
各々の励起量の違いに起因するものである。この回折現象は(hkl)面でも起きるので、入射角度を変化させることにより、一対の平行線が多数スクリーン上に現れることになる。ここで、ディスプレイ上の中心からの距離は、入射電子線の試料表面の法線方向に対する角度の対応していることに注意されたい。この平行線の間隔 w は

$$w \propto 2\theta = \frac{n\lambda}{d} \tag{A.4}$$

である。ここで λ は電子線の波長、 d は{hkl}面の面間隔である。したがって、面間隔の大きい結晶面、すなわち低指数面ほど、平行線の間隔は狭くなる。また、各線の幅は、1)加速電圧が低いほど、2)結晶の物質の原子番号が大きいほど、3)結晶面の間隔が大きいほど広がる。電子チャネリングパターンの場合、加速電圧によって波長が変わるので、回折パターンも少し変化する。

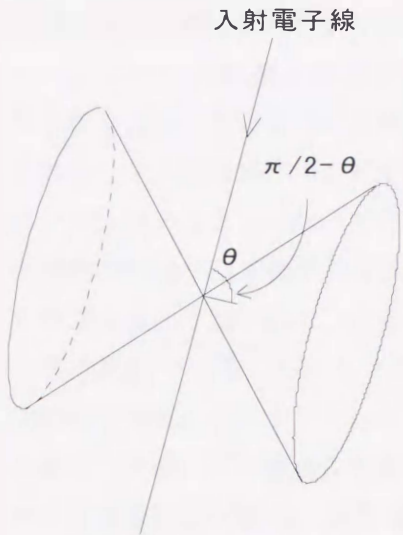
試料面法線と(hkl)面及びその面法線の幾何学的関係を図A.7に示す[6]。また図A.8に入射電子線とパターンの関係を示す。

電子線が結晶中を進むとき、エネルギーを変えずに回折波になるほかに、エネルギーの一部を失う非弾性散乱が起き、その波がさらに結晶中で回折されると考える。図A.8のP点で非弾性散乱が起こると、P点は球面波の源となる。非弾性散乱された電子は、ある格子面に対して、Braggの条件を満たして図A.9に示したように、入射点

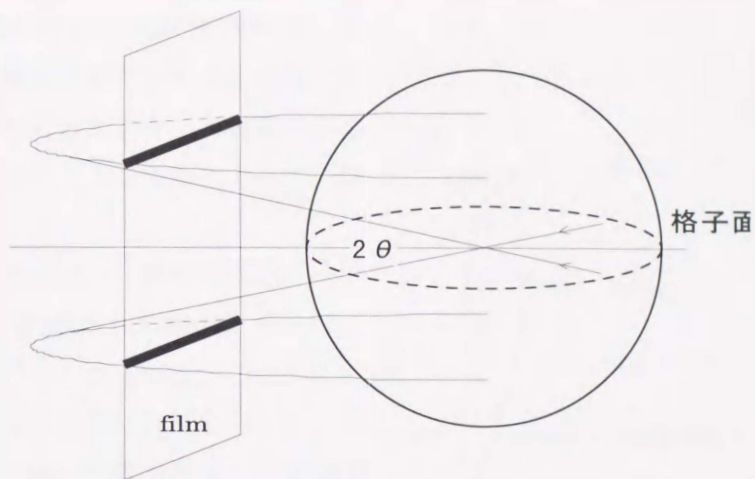


図A.8 ECPの発生

を通る結晶面の法線を軸とする半長角 $\pi/2-\theta$ の円錐状に回折される。



図A.9 電子の散乱

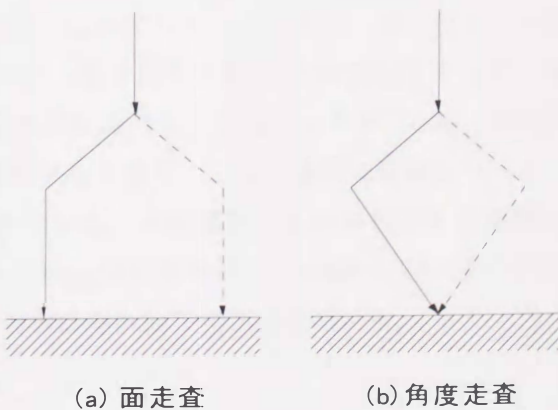


図A.10 エバルトの作図

ここで、エバルト球を作図してみると、図A.10のようになる。電子は円錐状に散乱されるので、この円錐とフィルム面との交点に線が現れる。実際には面と円錐との接線は曲線であるが、ECPの場合では電子線を使用しているので、波長が短くBragg角が小さく、回折電子線が形成する円錐の半長角が大きくなるので、円錐は開いた形になる。このため生じるパターンは直線に近い図形となる。これとは対照的にX線を使用するコッセル法は、円錐が閉じた形となるので、生じるパターンは曲線となる。

A.3.3 装置

実際の装置では、明瞭なECP像を得るために、電子線を走査させるが、その電子線の走査方式には図A.11[7]に示すような面走査方式と、角度走査方式の2通りの方式がある。面走査方式は表面像を得る時に適している。角度走査方式は、電子線の入射する位置を一定に保っておいて入射角のみを変化させるので、制限視野ECPを得るのに適している。したがって、ECPを観察する場合、一般にはこのビームロック方式が採用されている。

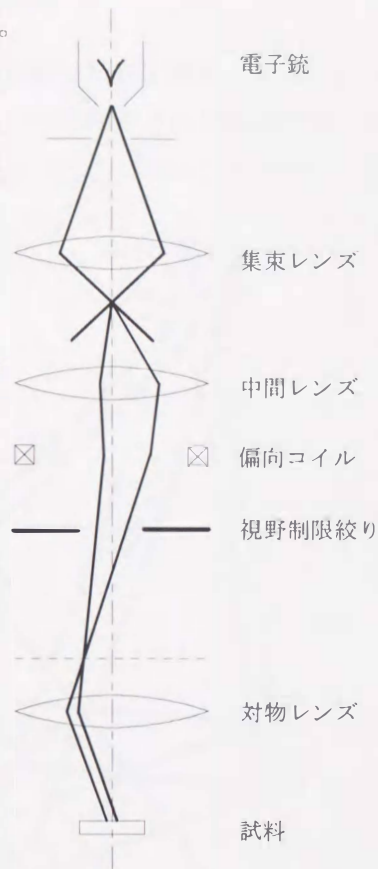


図A.11 ECP装置の電子線走査方式[7]

ECP装置は、走査電子顕微鏡の付属装置として作られたものであるが、独立した装置も作られて

いる。制限視野ECPを得るための光学系の例を図A.12[7]に示す。光路の途中に制限視野絞りを入れることにより、制限視野像が得られ、これに入射電子線角度走査を行う。入射電子線は、角度走査を行うことによって入射点が移動しやすいため、走査に応じ対物レンズの収束作用を変化させることにより、入射電子が常に一点に留まるようになっている。このような方法によって、微小領域の明瞭なECP像が得られる。

ECP像は、一般にCRT上に表示されるので、得られたパターンを直接観察できる。しかし、実際の記録として残すためには、CRT像を写真に撮影するという方法が行われている。このためには露出、現像などの普通の写真作業を行わなければならない。通常、加速電圧20~50kV、試料電流1~10 μ A程度である。露出時間はCRTディスプレイの走査速度、輝度などの設定によって変化するので幅があるが、いずれにしても撮影は1分以内で終了する。

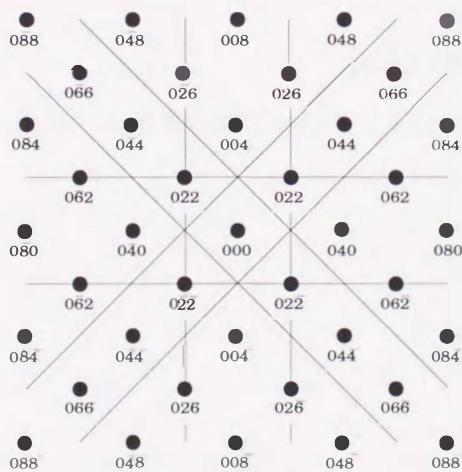


図A.12 ECPの光学系[7]

A.3.4 パターンの解析

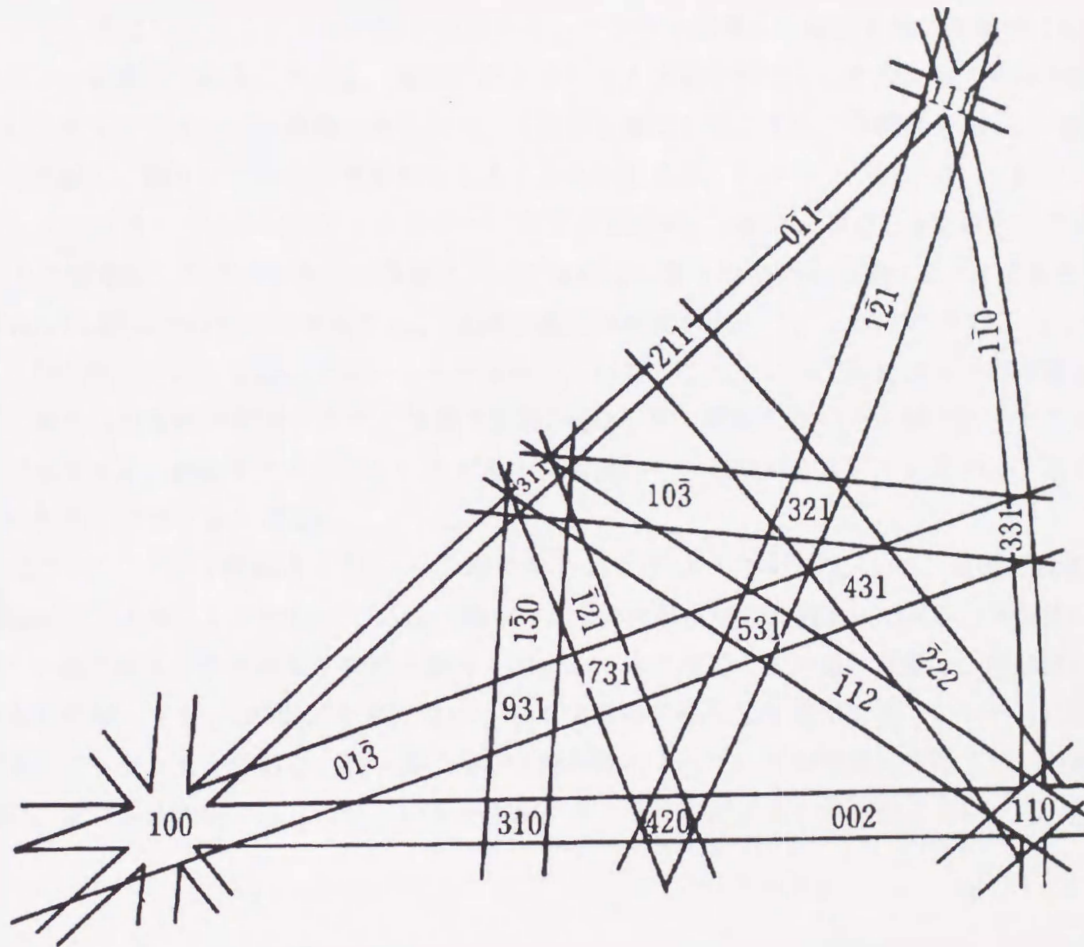
A.3.2節で示したように、試料に電子線を入射することでBragg角を満たした格子面において回折が生じ、1組の回折線が発生する。

このECPを描くのは簡単である。格子に対してBraggの条件を満たす電子線は図A.9のように格子面の法線を軸とする半長角 $\pi/2-\theta$ (θ はBragg角)の円錐上にある。よって、これらの円錐と蛍光面の交点は近似的に直線となるのだが、この考えを回折点の図形に当てはめてみる。たとえば、ダイヤモンド構造(001)において、電子線の入射方向を[001]とすると、対応する回折点は図A.13のようになる。入射点000と各回折点を結ぶ線分の中心を通り、これに垂直な直線を引くとこれがECPに相当する。入射点000と各回折点との距離を $1/d$ とすると、Braggの回折条件より $\sin\theta=\lambda/2d$ であるため、線分の中点を通る直線がECPであると言える。



図A.13 回折点とECP

ECPの場合には、パターンがほとんど直線で構成されるので、解析は比較的簡単であるといえる。図A.14に立方晶のECPの標準パターンを示す[7]。ECPは1枚の写真に示される範囲が狭いので、複雑なパターンの場合、他の方位と誤る恐れが多い。その点では、パターンがほとんど直



図A.14 ECPの標準パターン(立方晶)[7]

線のみで構成されていることがむしろ欠点であるといえる。

A.4 基板洗浄をする上での注意点

A.4.1 装置面で注意すること

ビーカー等はなるべくテフロン製を使用する。テフロンは優れた耐薬品性と耐熱性(180°C)を有するフッ素樹脂である。ただし、薬液にさらされると薬液を吸収し、次の工程でそれを放出するというキャリアオーバー現象があるので、注意が必要である。また、帯電性も高く、~20kVぐらいに帯電し、周りのごみを引き寄せてしまうきらいがある。しかし、一般に用いられているパイレックスガラスのようなボロンシリケートガラス系(SiO_2 、 AlO 、 BO 、 NaO を主成分とする)のものは溶出したボロンなどが基板にドーピングされてしまうので絶対に避けるべきであろう。

薬液はEL級以上のものを使用する。EL級の薬品は純度が高いというわけではなく、パーティクルの数が他のレベルに比べて高いことを意味している。これによって薬液による再汚染を防ぐ。ただし薬品は通常使用期限があり、普通は生産から1ヶ月、開封したらその場で使い切りというのが基本である。強酸やアルカリといえども中に生菌やその死骸が存在しているので、古くなった液は用途を限定するのが良い。

水はフレッシュな超純水を用いる。超純粋とはおおよその目安として、室温で比抵抗が10M Ω cm以上の水として扱われている。理論上の水の比抵抗は18.3M Ω cmである。半導体においてはこの他に純水中の生菌数、微粒子数等も考慮して水を使用している。経験上、理論値に近い超純水を作製しても、1時間にも満たないうちに生菌等が発生して使用できないレベルにまで純度が落ちてしまうようである。我々はイオン交換樹脂によって、この超純水を得ているが比抵抗の監視、及び洗浄の際には常に新しい水を使用するように心がけなければならない。

A.4.2 基板を扱う人間に関して

クリーンルームに入室する際には必ず防塵服を正しく着用する。クリーンルームは不特定多数の人間が出入りするの、これは各個人の自覚と責任感が大切である。

基板洗浄中に喋らない。基板処理中に話をすると、呼気に含まれる水分やアルカリ金属がコンタミネーションとして基板に残る場合がある。

手袋等を正しく着用する。これは前記の防塵服にも言えることであるが、人体からの汚染を防ぐ意味を持つとともに、人体を薬品等から保護する意味も持っている。よって、手袋をして薬品に触れた場合には、その手袋を外すかでもしない限り、他の機器などに触れてはならない。

使用する薬品に関して基本的な知識を身につける。洗浄に用いる薬品は中学校程度で基礎を学んでいるはずである。最低でも次の点を理解しておくべきである。

- ・ その薬品がどの温度で物理的な変化をするか(沸点や融点)、どのようなものに溶けるのか、または燃えるのかどうか。
- ・ 酸かアルカリか?特に酸と有機溶剤を混合すると爆発を起こす。
- ・ 混合の際の順番や反応について
- ・ 万が一、人体に薬品がかかった時の処置
- ・ 使用後の処理や保存について

A.4.3 本研究で使用した薬品とその性質

A.4.3.1 硫酸(H_2SO_4)

無色無臭の透明な液体で、強力な脱水作用がある。水と激しく反応して発熱する。そのため、硫酸を薄める時には、硫酸に水を入れるのではなく、水に硫酸を入れる。この順序を間違えると、硫酸が飛び散り非常に危険である。人体に触れると脱水作用と発熱により激しいやけどをおう。万が一皮膚等についた場合には、速やかに布で拭き取り、多量の流水で15分以上洗い流す。また、硫酸を含むものが燃焼している場合には、安直に水で消火を試みると被害が甚大になるので、一般的に砂で窒息消火を行う。

A.4.3.2 過酸化水素水(H_2O_2)

無色透明な液体で、無臭あるいはかすかにオゾン臭がする。煮沸すると分解して酸素を発生する。人体に触れると激しい炎症をおこす。皮膚についたときには、15分以上の流水で洗い流す。純粋な過酸化水素は非常に不安定であるので、我々が購入しているものは安定剤が添加されている。また、過酸化水素は酸化・還元の両方の性質を持ちうるので、劇物に指定されており、使用の際には注意が必要である。加熱したり金属粉末を入れたりすると激しく反応する。保存の際は容器の内圧が上がるので注意が必要。

A.4.3.3 硝酸(HNO_3)

水を含まない純粋な硝酸は無色の液体で、空気中で白霧を発生し、水を吸収する性質が強い。光を当てると次第に変色していく。温められた硝酸(熱硝酸)はより強力な酸化力を持つので注意が必要である。また、濃度が高い場合、付近のアルカリ性液、不飽和油脂、不飽和炭化水素と反応して発火する恐れがある。硝酸から上がってくる蒸気は多くが No_x であり、この物質は自動車の排気ガスに含まれており、酸性雨や光化学スモッグの原因となるものである。この蒸気は吸引してはいけない。皮膚についた場合には流水で15分以上洗い流す。多少の熱によって、その反応力が異なるので、なるべく冷暗所に保管する。また、保管の際には容器の内圧が上がるので注意。

A.4.3.4 弗化水素酸(HF)

無色透明、刺激臭のある液体で、空气中で発煙し、水、エタノールと混和する。蒸気は眼、鼻、喉をつよく刺激する。強い腐食性を有し、貴金属以外の金属はすべて腐食する。また、ガラスを腐食するので、ガラスの容器には使用しない。もし、吸ってしまったり、浴びてしまったりした場合には、大量の流水で洗い流し、氷冷した70%アルコール、または、飽和硫酸マグネシウム液に30分浸す。またはこれらを染み込ませた布で湿布する。万が一飲んでしまった場合には、過剰の水を飲んで体内の濃度を薄めるか、高蛋白質の食品(生卵、牛乳)等を飲んで、胃や食道の保護と酸の中和を行う等の処置を取る。

A.4.3.5 塩酸(HCl)

塩化水素の水溶液で強酸を示す。分類は劇物。純粋なものは無色透明で、純度が落ちると黄色に変色する。濃度のが濃いものは空気中の水分と反応して発煙する。空気よりも重い気体であるため、20℃程度の水溶液では、蒸気はめったに上がってこない。しかし、皮膚に付着すると炎症をおこす。皮膚についた時には十分に流水で洗い流す。また、容器の内圧が上がるので取り扱いに注意。

以上が使用している薬品の主なものであるが、実際に使用する際にはこれ以上の知識でもって取り扱うことが絶対条件である。事故は作業者の無知、慣れ、不注意、過信によって起こるので、ひとりひとりの心がけが大切であり、自己の責任において作業をするべきである。

[参考文献]

- [1] 龍山智栄 : 応用物理学会北陸支部スクール” 薄膜ルネッサンス” -21世紀に向けての薄膜技術- p.24
- [2] 小長井誠 : 半導体超格子入門 (培風館、1987)
- [3] 江崎玲於奈監修、榊祐之編著、超格子ヘテロ構造デバイス(工業調査会、1988)
- [4] C. T. Foxon, B. A. Joyce, Surf. Sci. 64, (1977) 293
- [5] D. G. Coates : Phil, Mag., 16 (1967) 1167
- [6] 柴柳敏哉、掘茂徳、軽金属 Vol.42, No.5 (1992) 306
- [7] 小原嗣朗、軽金属 Vol.33 No.8 (1983) P.491

謝辞

本論文の執筆および本研究を進めるうえで、多大なご指導、ご鞭撻をいただきました富山大学、龍山智栄教授、上羽弘教授、丹保豊和助教授に深く感謝いたします。

本論文の審査委員の女川博義教授、中谷訓幸教授には、論文の内容に関して有益な助言をいただきました。ここに厚く謝意を表わします。

本研究の遂行にあたり、有益な助言と議論をいただいた(株)日立製作所 中央研究所 嶋田壽一氏、中川清和氏に、深く感謝いたします。

走査電子顕微鏡観察および電子チャネリングパターンの観察には、富山大学 金属加工学講座の松田健二助手にご協力いただき、深く感謝します。

本研究の遂行にあたり、富山大学 電子情報工学科 物性デバイス I 講座の山崎盛勝氏(現:北陸電気工業)、坪崎義徳氏(現:富士通)、熊井一浩氏(現:サンリン)、浅野俊勝氏(現:立山科学)、二沢幸生君、西康雄君、竹内美貴さんには多大なるご協力をいただき、ここに諸氏に対して厚く御礼申し上げます。

本研究を進めるにあたり、富山大学 電子工学科 物性デバイス I 講座の生田目建氏(現:セイコーエプソン)、鄭廷棟氏(現:シャープ台湾)をはじめとする、InSb実験班でこれまで研究を共にした皆様に対して、深くお礼申し上げます。

研究業績一覧

(a) レフェリーのある学術論文

1. Heteroepitaxial growth of InSb on Si(001) surface via Ge buffer layers
M. Mori, D. M. Li, M. Yamazaki, T. Tambo, H. Ueba, C. Tatsuyama
Appl. Surf. Sci., 104/105 (1996), 563 (第4、5、6章)
2. Growth of InSb films on a Si(001) substrate with Ge buffer layer
M. Mori, Y. Tsubosaki, T. Tambo, H. Ueba, C. Tatsuyama
Appl. Surf. Sci., 117/118 (1997), 512 (第7章)
3. Growth temperature effect on the heteroepitaxy of InSb films on a Si(001) substrate with Ge islands
M. Mori, Y. Nizawa, Y. Nishi, T. Tambo, C. Tatsuyama
Thin Solid Films (submitted) (第8章)

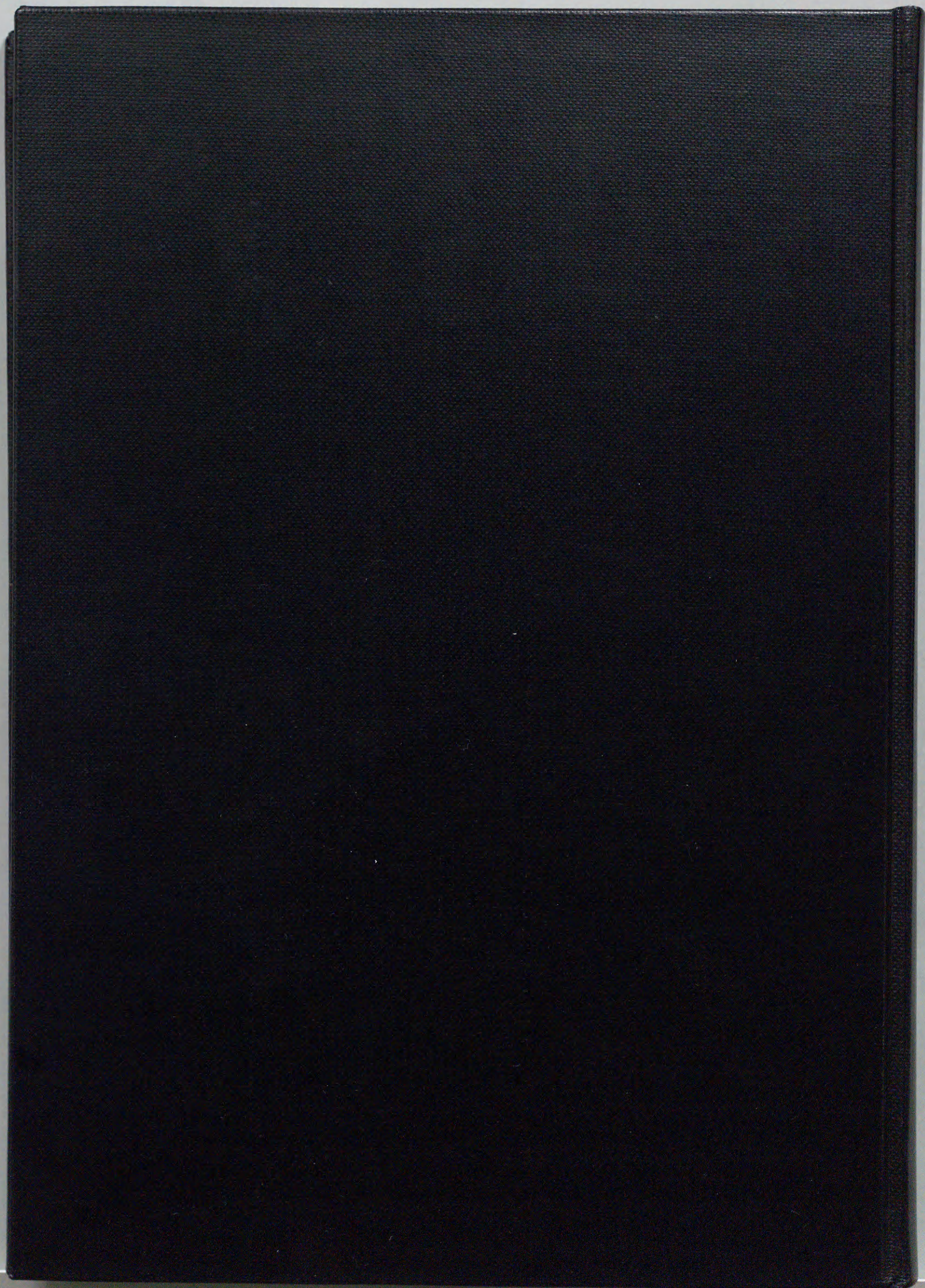
(b) 国際会議発表論文

1. Heteroepitaxial growth of InSb on Si(001) surface via Ge buffer layers
M. Mori, D. M. Li, M. Yamazaki, T. Tambo, H. Ueba, C. Tatsuyama
June 1995, Proceeding of the Fifth International Conference on the Formation of Semiconductor Interfaces, p168 (第4、5、6章)
2. Growth of InSb films on a Si(001) substrate with Ge buffer layer
M. Mori, Y. Tsubosaki, T. Tambo, H. Ueba, C. Tatsuyama
November 1996, Proceeding of the Second International Symposium on Control of Semiconductor Interfaces, p86 (第7章)

(c) 国内学会発表

1. Si(100)基板上のInSb薄膜の成長 (第4章)
鄭廷棟、森雅之、李冬梅、丹保豊和、上羽弘、龍山智栄
1994年3月第41回(春季)応用物理学関係連合講演会31a-MF-5
2. Ge/Si基板上へのInSb薄膜のヘテロエピタキシャル成長 (第5、6章)
森雅之、山崎盛勝、熊井一浩、坪崎義徳、丹保豊和、上羽弘、龍山智栄
1995年3月第42回(春季)応用物理学関係連合講演会28-TB-4

3. Ge層を介したSi(001)基板上へのInSb薄膜の成長 (第7章)
森雅之、坪崎義徳、丹保豊和、上羽弘、龍山智栄
1995年12月 日本物理学会・応用物理学会 北陸支部合同講演会G-13, p207
4. Ge層を介したSi(001)基板上へのInSb薄膜の成長 (第7章)
森雅之、坪崎義徳、丹保豊和、上羽弘、龍山智栄
1996年3月 第43回(春季)応用物理学関係連合講演会26p-ZF-1
5. Si(001)基板上のGeアイランドを介したInSb薄膜の初期成長 (第7章)
森雅之、坪崎義徳、浅野俊勝、二沢幸生、上羽弘、龍山智栄
1997年3月 第44回応用物理学関係連合講演会31a-M-7
6. Si(001)基板上のGeアイランドを用いたInSb薄膜の高温成長 (第8章)
森雅之、二沢幸生、西康雄、丹保豊和、龍山智栄
1997年10月 第58回(秋季)応用物理学会学術講演会4a-SM-4
7. Geバッファ層を用いたSi(001)基板上へのInSb薄膜の成長 (第8章)
森雅之、二沢幸生、西康雄、丹保豊和、龍山智栄
1997年11月 電気関係学会北陸支部連合大会D-24, p227
8. InSb/Ge/Si(001)のヘテロエピタキシー —成長温度の影響— (第8章)
森雅之、二沢幸生、西康雄、丹保豊和、龍山智栄
1997年12月 日本物理学会・応用物理学会北陸支部合同講演会
(平成9年度応用物理学会北陸支部発表奨励賞受賞)
9. Geアイランドを介したSi(001)基板上におけるInSbのヘテロエピタキシーに対する
成長温度の影響(第8章)
二沢幸生、森雅之、西康雄、丹保豊和、龍山智栄
1998年3月 第45回応用物理学関係連合講演会



Inches 1 2 3 4 5 6 7 8
cm 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19

Kodak Color Control Patches

© Kodak, 2007 TM: Kodak



Kodak Gray Scale



© Kodak, 2007 TM: Kodak

A 1 2 3 4 5 6 M 8 9 10 11 12 13 14 15 B 17 18 19

