

Si-Ge 系ヘテロ構造の MBE 成長と  
その 2 次元電子、正孔の電気的特性  
に関する研究

1997年6月

富山大学大学院 工学研究科

小幡 勤

博士論文

小幡 勤

# 目次

<b>1</b>	<b>序論</b>	<b>1</b>
1.1	半導体	1
1.2	本研究の背景	4
1.3	本研究の目的と各章のあらまし	9
<b>2</b>	<b>Si、Geの基礎的物性</b>	<b>13</b>
2.1	結晶構造	13
2.2	電気的特性	14
2.3	エネルギー帯構造	17
<b>3</b>	<b>実験方法</b>	<b>25</b>
3.1	試料の作製方法の概要	25
3.1.1	分子線エピタキシー (MBE) 装置	25
3.1.2	クリーンルーム	26
3.1.3	基板洗浄	27
3.1.4	Si 清浄表面	32
3.1.5	電極の作製	33
3.2	試料の評価方法	35
<b>4</b>	<b>Si(001) 基板上での Si/Ge 短周期超格子の作製と評価</b>	<b>54</b>
4.1	試料の作製方法	55
4.2	断面 TEM	56
4.3	X 線回折	56
4.4	ラマン散乱	58
4.5	まとめ	59
<b>5</b>	<b>Si<sub>0.7</sub>Ge<sub>0.3</sub> 混晶層の成長と評価</b>	<b>74</b>
5.1	試料の作製方法	74
5.2	X 線回折	76
5.3	フォトルミネッセンス	77
5.4	透過型電子顕微鏡	79
5.5	まとめ	81

6	Si-Ge系量子井戸構造	92
6.1	SiGe系ヘテロ接合におけるバンド不連続	93
6.2	Si-Ge系における量子井戸構造	94
7	2次元電子ガス構造の作製と評価	107
7.1	試料の作製方法	108
7.2	電気的特性の評価	112
7.2.1	ホール効果	112
7.2.2	磁気抵抗効果	115
7.3	考察	116
7.4	まとめ	117
8	2次元正孔ガス構造の作製と評価	148
8.1	試料の作製方法	148
8.2	電気的特性の評価	150
8.3	まとめ	152
9	結論	157
9.1	結論	157
9.2	関連論文の印刷公表の方法及び時期	161

# 第1章

## 序論

### 1.1 半導体

物質を分類する方法の一つとして我々はよく導体、半導体、絶縁体という言葉を使う。これは物質を電気を導きやすいか否かで分類したのものでこれを定量的に表すために電気伝導率という物理量を使用している。あるいはその逆数として抵抗率という物理量を使用することもある。

金属は温度の上昇とともに抵抗率が増大し、その関係はほぼ

$$\rho = \rho_0(1 + \beta T) \quad (1.1)$$

の形で表される。この温度による増大は、主に電子-フォノン散乱に依っている。逆に半導体の場合、抵抗率が温度の上昇とともに減少する。その関係はほぼ

$$\rho = \rho_0 e^{-b/T} \quad (1.2)$$

で表される。この活性化型の温度依存性は、主にキャリアがあるエネルギーギャップ（バンドギャップ、または不純物準位）を越えて励起されることに依る。これから抵抗率の温度

による変化の割合は、金属よりも半導体で著しいことがわかる。また、半導体は微量な不純物等に敏感な性質を持っている。(これを構造敏感性といい、この特徴が半導体の多彩な応用への道を開いている) 半導体におけるこれらの特徴は現在の数々の応用デバイス開発への道を開いている。この他に半導体の特徴としては、まず整流現象がある。つまり異なる2つの物質を接触させたときに、オームの法則が成り立たない電圧-電流特性を示すことである。また、熱起電力 (thermoelectric power) が大きく、その値は構造敏感である。それに光伝導現象や光発光等がある。

半導体における最も際だった特徴としてあげられるのが、整流現象である。整流現象とは、金属と半導体、またはp型半導体とn型半導体を接触させた時に、その界面に電子や正孔に対する電位障壁が発生することによって生じる。この現象は19世紀後半にセレンによって見いだされてからこれまでに大きく発展した。現在はSiやGe、GaAsなどによって、ダイオードやトランジスタに応用され、近代工業の一躍を担っている。整流現象はどのように近代工業史の中で最も画期的な出来事であった。通常、金属導体においては電圧、電流間にオームの法則が成り立つ。しかしこの整流現象においてはオームの法則は成り立たず、印可電圧の方向を変えた時の電流の大きさが異なる。この現象は様々な応用をもたらし、現在の文明の発展に大きく寄与した。とくにトランジスタはそれまで真空管が行っていた増幅作用を行い、デバイスの軽薄短小化をもたらした。また、プレナー技術の開発により大量生産、デバイスの集積化はさらに進んだ。

光起電力の利用には、pn接合の応用による太陽電池がある。太陽は、快晴時約 $1\text{kW}/\text{m}^2$ のエネルギーを地球に注いでいる。太陽電池はこのエネルギーを電気的エネルギーへと変換するものである。太陽は約6000Kの黒体放射に相当するスペクトルを持つので、それにあった感度と変換効率を持つことが重要となる。理論的にはバンドギャップ $E_g=1.6\text{eV}$ において最大効率が得られるといわれているが、現在は十数%程度の変換効率しか得られていない (GaAs系材料で29%程度といわれ、人工衛星は変換効率が大きいものの製造上の問題<< 割れやすく、高価 >> を抱えるGaAs系を使用しているため非常に高コストの原因となっている)。価格などの点から現在、民生用にはSi系太陽電池が主流である。一般用途としては安価なアモルファスSi太陽電池が主流である。しかしながら、その後の研究においてSiGe系やGaAs系において超格子などのヘテロ接合などを利用し、変換効率の改善をねらったものが実用段階に入っている。

光伝導現象は光検出に利用されている。特に有名なのはPbSやCdSである。PbSは赤

外領域の感度に優れ、CdSは可視光からX線、光量子ではない $\alpha$ 粒子や $\beta$ 線等にも感度があるためこれらの検出器として幅広く使用されている。一般的に感度のある波長は光が価電子帯にある電子を伝導帯に励起させるエネルギーを持つ波長に一致する。そのため感度のある波長は、バンドギャップ $E_g$ に依存する。たとえば、PdSの $E_g$ は、0.34-0.37eVであるため、赤外領域に感度を示す。現在、情報伝達システムは光ファイバシステムに置き換わりつつある。光ファイバのもっとも伝送効率が良い波長は $1.3\mu\text{m}$ といわれており、それに対応する $E_g$ は約1.05eVであるため、SiGe混晶が注目を浴びている。現在発光素子等で使われるIII-V族化合物半導体で代替えしようという努力も行われている。しかしながら現在主流であるSi-LSIプロセスとの融合性はSi-Ge系が優れているため、早急の開発が望まれている。

半導体において伝導帯の電子が、エネルギー保存の法則の成り立つ形で価電子帯に遷移し、正孔と再結合するような直接遷移型の場合、放出されるエネルギーは光となる。そのエネルギーは2つの準位差に相当し、波長はバンドギャップ $E_g$ に依存する。一方、間接型遷移の場合、遷移前と遷移後の運動量の差をフォノンで補償する必要があるため、電子と正孔の再結合が起こりにくくなり発光現象は生じにくい。半導体からの光の放射の例としては直接遷移型ではGaAs系が有名であるが、間接遷移型のSiやGe等でも低温においては発光が確認されている。光発光現象を利用したデバイスには発光ダイオードや半導体レーザーがある。発光ダイオードは主に直接遷移型半導体からなるPN接合ダイオードを順方向にバイアスした時、接合界面近傍で少数キャリアの再結合が起こり、その際に少数キャリアの持つエネルギーが、光として放出される現象を利用したものである。材料はGaAs等があるが目的の発光波長によってそれぞれ選択される。現在、光の3原色の発光が可能なのでディスプレイ等への応用が期待される。半導体レーザーは、発光ダイオードと同じ電子-正孔の再結合で発光するが、誘導放出現象によって発光強度を強めていること特徴である。接合より放出された光をグレーティングで反射させ、共鳴現象をおこしその光によってさらに発光効率が向上する。発光ダイオードとの大きな違いはそのコヒーレンシーなスペクトルにある。これは、自然放出などによるエネルギーの放出がないため、波長がそろって単一スペクトルに近く偏波面、位相もそろっているということである。現在、GaAlAs系やInGaAs系などでコンパクトディスクのピックアップなどに多く用いられるようになっている。

熱起電力とは試料の一方を高温とし、他方を低温としたときに試料の両端に電位が発

生することをいう。この効果は多くの金属が $\mu$  V程度の熱起電力しか発生しないのに対し、半導体の場合その数百倍の出力が得られる。またその逆にそれら試料の接合界面に電流を流すとその電流の大きさに比例して熱量 $Q$ が放出、または吸収されるという効果（Peltier効果）が発見されている。半導体は金属や絶縁体に比べ熱電効果は大きいので、この効果を利用、応用することが考えられた。旧ソ連邦では寒冷地にラジオを普及する目的で灯油ランプを熱源とした発電ランプを開発し、それをラジオの電源とした。また、Peltier効果はペルチェ素子としてコンピュータのCPUの冷却などとして使われている。

## 1.2 本研究の背景

近年、携帯電話やインターネット等の通信網が、一般にも急速に普及し始めている。これらの通信における情報量は10年前とは桁違いに多く、それに従って回線網のトラフィックの高速化が求められている。通信速度の高速化は、従来のメタル材料を使用した回線では高速化と、質の向上に限界があった。現在は、光ファイバーがその主流としてなりつつある。この光ファイバーは $1.3\mu\text{m}$ の波長で最も効率のよい電送が可能といわれている。ところが、現在の発光、受光素子にその波長帯にできるデバイスはないのが現状である。そこで注目を浴びているのが、SiGe系材料である。SiGeは、そのGeの組成を変えることによって、Si( $1.1\mu\text{m}$ )からGe( $1.8\mu\text{m}$ )間での波長を自由に選択できる。また、量子井戸構造を作製すれば[1][2][3]、この波長での発光素子の作製も可能なので、同じ材料での情報のコネクションが可能となる。また、SiGe系材料は、現在主流で大量生産技術において最も発達しているSiプロセスと非常に融合性が高いため、応用面でのメリットも大きい。

本研究で我々が作製を目指す超格子や量子井戸構造の基本は異なる種類の半導体材料を積層するというヘテロ接合である。ヘテロ接合とは種類の異なる半導体によって接合を形成したものをいう。ヘテロ接合構造は、単一半導体のpn接合（ホモ接合）とは異なる電氣的並びに光学的に興味深い性質を持つようになる。その具体的性質とは主に界面におけるバンドギャップの不連続を利用したものであり、キャリアに対する障壁や閉じこめ効果が特性に大きな影響を与える。

これらの電氣的特性を考察するには接合のエネルギーバンド構造を考える必要がある。これは一方のバンドがもう一方のバンドに対して相対的にどのように位置するかをつかむために最も必要なことである。ヘテロ接合形成後のエネルギーバンド図を描く際に注意すべきことは



1. 2つの半導体材料が接触し、熱平衡状態になった後はキャリアの移動が無い場合化学的ポテンシャルの大きさは全体的には等しくなる。よってそれぞれのフェルミエネルギーは一致しなければならない。
2. 接合界面から離れると電子親和力や仕事関数は接合を形成する前の値に等しくなっていく。
3. ヘテロ接合界面には電子親和力やバンドギャップの差に応じたポテンシャルのスパイク（バンド不連続）が生じる。

である。

1970年初頭に大きな話題をもたらしたのは、このヘテロ接合を応用した超格子構造であった。超格子という概念は1970年IBM、Thomas、J、Watson研究所の江崎玲於奈ら[4]によって提唱された。ここで彼らはエピタキシャル成長の過程でGaAsとAlAsの組成を電子の平均自由行程の範囲内の膜厚（ $\sim 50\text{\AA}$ ）で交互に積層することによって電子状態が大きく変化しブリルアンゾーンの縮小が起こり、積層方向での電圧-電流特性にミニゾーンとトンネル効果による負性抵抗が生じることを発表し、これらの周期性をコントロールすることによって従来の素子にない機能を引き出す可能性をもたらした。

この論文以後、多くの研究者が様々な材料の組み合わせで、このような超格子の作製を試みた。またこの超格子を作製する主な成長法は、分子線エピタキシー法である。これは1968年、当時ベル研究所にいたアーサーにより命名された。この成長法は従来の真空蒸着法に比べ、非常に高い真空度の中（ $1 \times 10^{-10}$ 以下）で薄膜成長を行うことが特徴で、真空槽は薄膜成長を行うための成長室、試料を導入するための交換室、またそれを搬送するための搬送室、分析のための分析室等にわかれている。この成長法を用いることによって成長速度を遅くすることができ、1原子オーダーの膜厚制御が可能となり、また電子線やX線などを使ってその場観察が可能になり、原子層を数えながらの成長も可能となった。これによって、非常に薄い膜を転位による劣化を生じさせないで成長可能にし、従来のヘテロエピタキシャル成長の原則となっていた格子整合の必要性を打ち破り、臨界膜厚（転位が発生し始める膜厚）以下では非常に格子の不整合の大きな材料同士でもヘテロ成長が可能になった。

ここで我々が研究対象として取り上げたSi-Ge系ヘテロ接合、超格子について概観する。Si-Ge系で最初に興味を持たれたのは短周期超格子（Si/Ge歪超格子）による直接遷移

型半導体の可能性である。Si、Geは間接遷移型半導体ではあるが、結晶性がよく低温では比較的良く光ることが知られている。Si/Ge歪超格子では、ブリルアンゾーンは折り返し効果によってミニゾーンに分割され、それに応じてホストのSi,Geの電子構造は変形し、さらに歪みの効果によって多くのサブバンドが形成される。本来、伝導帯の底はX点近傍の $\Delta$ 点にあるので、[001]方向のブリルアンゾーンの折り返し効果によって直接遷移型になる可能性がある。Pearsall[5]らは $(\text{Si}_4\text{Ge}_4)/\text{Si}(001)$ 超格子において、エレクトロリフレクタンス法を用いて、0.76、1.25、2.31eVにバルクとは異なる新しい光学遷移を発見した。また、三木ら[6]は $(\text{Si}_m\text{Ge}_n)/\text{Si}(001)$ 超格子で $m=12$ 、 $n=4$ の時に直接遷移による発光を確認したと発表した。Abstreiter[7]らは $\text{Si}_6\text{Ge}_4/\text{SiGe}$ 超格子において0.8eV付近に半値幅は広いものの発光を確認した。以上の発表はSi/Ge系超格子において直接遷移が確認されたとの結論になっているが、SiGeの混晶からも同じ様なピークが観測されたりしたため[8]、この発光が電子構造が直接遷移型になったことによるものとする確たる証拠もなく、理論的裏付けもないままに現在に至っている。

Si-Ge系ヘテロ接合でその後の話題の中心は2次元電子ガスを使用したHEMT（高電子移動度トランジスタ）である。HEMTは、基本的には2次元電子ガス構造を形成し、変調ドーピング法によって電子を供給している。この変調ドーピング法は、不純物散乱の影響をなくするために不純物領域を量子井戸から空間的に分離する方法である。キャリアの通り道に不純物が存在すると、イオン化した不純物による散乱を受けるが、キャリアと不純物原子の空間的分離によってクーロン力によって軌道が曲げられることによる移動度の低下がなくなり、さらにスペーサー層によって適度に不純物領域と距離を置くことにより、その効果を増大させることに多くの研究者たちが成功した。その後、ドーピング層を1monolayerレベルでコントロールしさらに局在効果を与えることによって、より効果的に量子井戸構造を機能させることに成功している。この方法を $\delta$ ドーピング法といい、これを利用するとホモ接合界面でも2次元電子ガスの作製ができる。HEMTの場合、2次元電子ガス構造にゲート電極を作製して、このゲートに電圧を印加してやることによって2次元電子ガス濃度をコントロールできるようになっている。HEMTはAlGaAs/GaAs系で盛んに研究され、実用化に至っている。Si-Ge系においても同様にバンド不連続は形成できるため、この変調ドーピングが2次元電子ガス構造と共に盛んに研究された。このSi/SiGeヘテロ接合のエネルギー準位に関してはR.Peopleら[9]が詳しく報告している。

Si-Ge系でもう一つの注目されるデバイスは、ヘテロバイポーラトランジスタ(HBT)[10]

である。これは、超高速動作という点でHEMTと競合関係にある。通常のバイポーラトランジスタでは、利得が低下しないようにするためにベース濃度を大きくできない等の理由で高周波動作をする事は困難であった。しかしHBTではベース濃度をあげても利得は低下せず、ベース領域のシート抵抗が下がるため、高周波動作が可能となっている。またエミッタ濃度を下げることができれば、耐圧を向上させその上昇分でベースの厚さを薄くすればより高速動作が可能になる。その遮断周波数は、数10~100GHzまで及び、また低温でも利得の低下がないことから将来期待されている。

以上のようなヘテロ構造や超格子を半導体デバイスとして特性を発揮させるには、結晶性がよいことが大切である。異なる材料を接触させることはその界面に欠陥が発生する危険を常に絡んでいるため、組み合わせる材料は似たような結晶構造でかつ、格子定数も極端に違わない材料を選択せねばならない。するとおのずからその選択肢は限られてくる。SiとGeの場合、それぞれの格子定数がSi=5.4307Å、Ge=5.6579Åであり、 $Si_{1-x}Ge_x$ の間には最大4.2%の格子不整合が存在するため、良質なヘテロ接合を得るには臨界膜厚とそれを越えたときに発生する欠陥(転位)について理解が必要である。

ヘテロ構造において格子定数のミスマッチが存在すると、エピタキシャル層は歪みを収容しながら成長する。ところがある膜厚(臨界膜厚)を越えると、エピタキシャル層内に転位を導入して本来の格子定数に戻ろうとする。この転位上には結合すべき相手のいないダングリングボンドが存在している。このダングリングボンドが存在すると、キャリアの再結合中心として働く(P型伝導として振る舞うといわれている)ので電氣的に劣化が起こってしまう。SiとGeの場合、その格子不整合は4.2%なのでだいたいSi原子25個あたり1個の割合で発生すると考えられる。この転位の発生機構[11][12]を順に考えてみる。

臨界膜厚以内ではエピタキシャル膜は、下地のSiにシェードモルフィック成長するために膜内に歪みエネルギーを蓄積していく。しかしながらこのときのエネルギーはダングリングボンドの持つエネルギーよりも小さいため、エネルギー的に安定で転位は発生しない。しかし、膜厚を増すにつれ、歪みエネルギーは蓄積されていき、最後には界面にダングリングボンドを発生し、本来あるべき格子定数を持つようになる。このような結晶構造の再配列を起こすにはある程度のエネルギーが必要となってくる。よって550°C程度の低温で成長を行うと熱平衡状態で予想される再配列の起こる膜厚以上でもダングリングボンドの発生を防ぐことができる。

しかしながら、半導体デバイスとして使用するには、このような臨界膜厚以内の少な

い厚みでは応用できない場合が多い。また臨界膜厚を増加させようとする大きな Ge 組成は使用できず、歪みによる効果を期待できなくなる。よってこの臨界膜厚を越えた際発生する転位を、どう扱うかに応用への道がかかっている。一般的にこの転位をなるべくデバイス層から遠ざけて Si 基板界面に局在させるといったことが行われる。これはデバイス層と Si 基板の間にバッファ層を挿入して、格子不整合によるエネルギーをその中で吸収しようとするものである。Si-Ge 系での SiGe/Si/SiGe 構造においては活性層の Si 層の基板である SiGe 層が高品質である必要がある。このような場合、SiGe 層と Si 基板との間に様々なバッファ層を挿入する事が試みられた。

AT&T のベル研究所の Fitzgerald[13]、IBM の LeGoues[14]、Daimura-Benz の Schaffler ら [15] は、Ge 組成を徐々に変化させていくという方法で高温で高性能のバッファ層の開発に成功した。このバッファ層は Ge の組成を小さい値(典型的には 0~5%)から所望する約 30%の組成まで、徐々に数  $\mu\text{m}$  の厚さでもって作製される。高い基板温度(750°C 以上)と Ge 組成を徐々に増加させることによって成長の間、ほとんど完全な格子緩和をもたらし、基板近くに高い転位密度を導くとともに試料表面近傍で約 1000 分の 1 の転位密度に低減できるようになった。

IBM の T.J.Watson 研究所の Ismail ら [16] は、バッファ層として Si と Ge の組成を段階的に増やした SiGe の超格子をバッファ層に用いることによって転位の抑制を試みた。そのバッファ層の厚みは 100nm 程度と薄いものであったが、基板界面で発生した転位は超格子構造によってブロックされ、表面の転位密度は 1 万分の 1 程度まで低減した。

これらのバッファ層は、変調ドーピングを行った SiGe/Si/SiGe-2 次元電子ガス構造に応用され、好結果を生んでいる。ベル研の Xie[17] は傾斜型バッファ層を用いて 2 次元電子ガス構造を作製し、 $156,000\text{cm}^2/\text{Vs}$ (4.2K) という電子移動度を実現した。これまで我々が親しんできた  $\text{SiO}_2/\text{Si}$  界面での反転層における最高の移動度が  $41,000\text{cm}^2/\text{Vs}$  であることを考えるとこの 2 次元ガス構造と変調ドーピング、バッファ層の効果が大きいことがわかる。

一方 2 次元ホールガス構造では、活性層である SiGe 層の膜厚が臨界膜厚に対して十分に薄いため、バッファ層は必要としない。最初に Bell 研究所の People ら [18]、IBM の Wang ら [19] によって検討された。この構造はドーピングされていない歪んだ SiGe 層から空間的に分離した変調ドーピング構造によって行われた。このとき、前者の構造におけるホール移動度は、4.2K で  $6000\text{cm}^2/\text{Vs}$  とバルクに比べて非常に高い値を示した。変調ドーピング層から供給された正孔は SiGe と Si の界面に閉じこめられ、またイオン化不純物散乱による影響

も少ないため、高い移動度を示した。SiとGeの正孔移動度を比較するとGeの方が大きい。よってPチャネルデバイスを作製する場合、pチャネルSiGe構造に期待がかかっている。これは通常のSiMOSFETではpチャネルの移動度が低いという欠点があり、CMOS応用の点で問題となっていた。しかし日立の中川ら[20]が指摘したように、大きなバンド不連続を得ようとGe組成を大きくしても転位や合金散乱の影響が大きくなってくるので注意が必要である。

### 1.3 本研究の目的と各章のあらまし

本研究は、Si/Ge超格子、SiGe系ヘテロ構造について行われた。電子、及び正孔の量子井戸への閉じこめ効果によって得られる高移動度で、かつ温度特性がフラットであることを利用したデバイスの開発を将来的に考えて研究を進めた。

本論文は次の様な構成となっている。

- 第2章 Si、Geの基礎的物性

本章ではSi-Ge系ヘテロ構造の構成元素であるSiとGeの結晶構造、電気的特性、エネルギー帯構造などの基礎的物性を述べる。

- 第3章 実験方法

本章では、本研究で使用した分子線エピタキシー(MBE)装置とX線回折、断面透過型電子顕微鏡、ラマン散乱、ホール効果、磁気抵抗効果による評価方法と評価装置を紹介し、基板洗浄、Si清浄面、電極形成法など試料作製の際の前準備について述べる。

- 第4章 Si(001)基板上でのSi/Ge短周期超格子の作製と評価

本章では、RHEED(反射型高速電子回折)強度振動法を用いて、単原子層オーダーで成長を制御できることを示す。さらに成長温度と界面急峻性の関係の評価して、500°C程度の成長温度が望ましいことを明らかにする。

- 第5章 Si<sub>0.7</sub>Ge<sub>0.3</sub>混晶層の成長と評価

Siを量子井戸層とするSiGe/Si/SiGe構造を作製するためには、高品質なSiGe層の作製が必要である。本章では、前章で得られた結果をもとにして、基板との間にSi/Ge短周期超格子をバッファ層として挿入することを提案し、その効果をその他のバッ

ファー層と比較することによって、短周期超格子がバッファー層として望ましいことを示す。

- 第6章 Si-Ge系量子井戸構造

本章では、本研究で作製したSi-Ge系量子井戸構造について理論的な計算を行い、井戸幅、スペーサー層幅などの最適値について議論する。

- 第7章 2次元電子ガス構造の作製と評価

本章ではSiGe/Si/SiGe構造を作製し、それを評価する。評価は主にホール効果によって行い、磁気抵抗効果も観察する。移動度は十分ではないが、2次元電子ガス構造が得られていることを明らかにする。

- 第8章 2次元正孔ガス構造の作製と評価

本章ではSi/SiGe/Si構造を作製し、それを評価した。我々は、正孔の供給層として基板自身を用いるという新しい構造を提案し、量子井戸幅、スペーサー層幅を変化させて量子効果の確認を行う。

- 第9章 結論

本研究で得られた結果を総括し、今後の展望について述べる。

- 謝辞

本研究を遂行する上で、多くの方々の協力を得たことに対し、謝辞を述べている。

## [参考文献]

- [1] S. Fukatsu, H. Yoshida, N. Usami, A. Fujiwara, Y. Takahashi, Y. Shiraki and R. Ito: *Jpn. J. Appl. Phys.*, **31**, (1992) L1319
- [2] N. Usami, S. Fukatsu and Y. Shiraki: *Appl. Phys. Lett.*, **61** (1992) 1706
- [3] S. Fukatsu, N. Usami, T. Chinzei, Y. Shiraki, A. Nishida and K. Kakagawa: *Jpn. J. Appl. Phys.*, **31**, (1992) L1015
- [4] L. Esaki and Tsu: *IBM J. Res. Develop.*, **14**, (1970) 61
- [5] T. P. Pearsall, J. Bevk, L. C. Feldman, J. M. Bonar and J. P. Mannaerts: *Phys. Rev. Lett.* **58** (1987) 729
- [6] H. Okumura, K. Miki, S. Misawa, K. Sakamoto, T. Sakamoto and S. Toshida: *Jpn. J. Appl. Phys.*, **28** (1989)
- [7] E. Kasper et al.: *Phys. Rev. B* **38** (1988) 3599
- [8] K. Terashima, M. Tajima, N. Ikarashi, T. Niino and T. Tatsumi: *Jpn. J. Appl. Phys.*, **30** (1991) 3601
- [9] R. People and J. C. Bean: *Appl. Phys. Lett.* **48** (8), (1986) 538
- [10] G. L. Patton et al.: *IEEE Electron Device Lett.*, EDL-9 (1988) 165
- [11] J. W. Matthews and A. E. Blakeslee: *J. Crystal Growth*, **27** (1974) 118
- [12] R. People and J. C. Bean: *Appl. Phys. Lett.*, **47** (1985) 322
- [13] E. A. Fitzgerald, Y. H. Xie, M. L. Green, D. Brasen, A. R. Kortan, J. Michael, Y. J. Mil and B. E. Weir: *Appl. Phys. Lett.*, **59** (1991) 811
- [14] F. K. LeGoues, B. S. Meyerson and J. F. Morar: *Phys. Rev. Lett.*, **66** (1991) 2903
- [15] F. Schaffler, D. Tobben, H.-J. Herzog, G. abstreiter and B. Hollander: *Semicond. Sci. Technol.*, **7** (1992) 260
- [16] K. Ismail, B. S. Meyerson and P. J. Wang: *Appl. Phys. Lett.*, **58** (1991) 2117
- [17] Y. H. Xie: *Ext. Abs. Int. Conf. on Solid State Devices and Materials* (Makuhari 1993) 913
- [18] R. People, J. C. Bean, D. V. Lang, A. M. Sergent, H. L. Stormer, K. W. Wecht, R. T. Lynch and K. Baldwin: *Appl. Phys. Lett.*, **45** (1984) 1231
- [19] P. J. Wang et al.: *Appl. Phys. Lett.*, **55** (1989) 2333
- [20] H. Etoh, E. Murakami, A. Nishida, K. Nakagawa and M. Miyao: *Ext. Abs. 22nd Conf. on Solid State Devices and Materials* (Sendai 199) 909

### 参考図書

- ・半導体工学：小林保正、町好雄ら、著（東京電機大学出版局）
- ・超格子ヘテロデバイス：江崎玲於奈、榊裕之（工業調査会）
- ・SiGe系ヘテロデバイス：古川静二郎、雨宮好仁（丸善）
- ・半導体デバイスの基礎：グローブ著（マグロウヒル）
- ・半導体デバイス：S.M. ジー著（産業図書）
- ・固体物理学入門上下：キッテル（丸善）
- ・超LSI辞典：西沢潤一監（サイエンスフォーラム）
- ・電子物性概論：阿部正紀（培風館）
- ・半導体超格子入門：小長井誠（培風館）



## 第2章

# Si、Geの基礎的物性

### 2.1 結晶構造

SiやGeの単結晶は図2-1に示すようなダイヤモンド構造(diamond structure)からなる。図からもわかる通りどの原子に注目しても4つの原子が正四面体(tetrahedron)の頂点の位置に存在している。その結合力はこれら原子の4つの最外殻電子(価電子)の四面体結合(tetrahedral bond)に由来している。ここでSiの基底状態の電子配位を示すと表2-1のようになる。これら1つ1つの原子が非常に離れたところに位置していた場合、

表2-1のように離散的な値を持っている。しかしながら、原子間隔がだんだん近づいてくるとお互いに影響を及ぼしあい、隣接する原子との相互作用が現れる。このとき、3s軌道の1つの電子がエネルギーの高いp軌道にまで押し上げられ、[111]方向に伸びた $sp^3$ 混成軌道を構成する。

表2-1 Siの基底状態の電子配位

	軌道	電子配位
K殻	1s	2
	L殻	2s
M殻	2p	6
	3s	2
	3p	2

そのエネルギー帯構造と混成軌道の波動関数を図2-2に示す。Siの場合、3sの準位には2個、3pの準位には6個の量子状態が可能であるから、各準位はその数だけ電子を収容できる。表1-1の様に3sはすでに2個の電子で占有され3pはまだ4個の空きが残っている。ところが $sp^3$ 混成軌道ができる時はs状態とp状態が互いに混ざり合い、2つのエネルギー帯（価電子帯、伝導帯）を構成する。このとき収容可能な電子8個のうち半分ずつ上下の帯域に分配される。ところが実際には $3s+3p=2+2=4$ 個であるから下の帯域、つまり価電子帯にのみ電子は存在し上の伝導帯は空である。このように隣接原子間で電子対結合（共有結合）を作るとSiやGeに代表されるダイヤモンド構造ができあがる。このエネルギー帯モデルにおいて価電子帯が電子で完全に満たされるということは、 $sp^3$ 混成軌道によって共有結合が完成されていることに対応する。ダイヤモンド構造に電流が生ずるためには、このような結合に使われる $sp^3$ 混成軌道から電子が共有結合に使用されなかった3s及び3p軌道に入ることが必要だが、実際はそのために大きなエネルギーを必要とするので絶縁体となる。そのエネルギーの大きさは価電子帯から伝導帯へ電子を押し上げるためのエネルギーつまりエネルギーギャップに相当している。故にエネルギーギャップ $E_g$ はその半導体材料の共有結合の強さを表していると考えられる。Siの $E_g$ は1.12eV(300K)、Geは0.69eV(300K)である。

## 2.2 電気的特性

純粋な半導体のキャリア密度は

$$n_i = \sqrt{N_c N_v} \exp(-E_g/2kT) \quad (2.1)$$

と表され、真性キャリア密度 $n_i$ で表される。ここで $N_c$ 、 $N_v$ は、それぞれ伝導帯と価電子帯の実効状態密度で、室温では $m_e^*=0.19$ 、 $m_h^*=0.5$ とすると、

$$N_c = 2.8 \times 10^{25} m^{-3} (Si), 1.04 \times 10^{25} m^{-3} (Ge) \quad (2.2)$$

$$N_v = 1.02 \times 10^{25} m^{-3} (Si), 6.1 \times 10^{24} m^{-3} (Ge) \quad (2.3)$$

で表される。たとえば、室温300Kにおいては熱エネルギーは、

$$kT = (1.38062 \times 10^{-16} / 1.60219 \times 10^{-12}) \times 300K \simeq 26meV \quad (2.4)$$

となるため、伝導に寄与する電子や正孔は非常に少なく $1.45 \times 10^{10} cm^{-3} (Si)$ 、 $2.5 \times 10^{10} cm^{-3} (Ge)$ 程度となっている。しかしこのSi、GeにP、Sb等の不純物を添加することによってこの濃度

は飛躍的に向上する。表2-2にSi、Geに対する代表的な添加不純物（ドーパント：dopant）を挙げる。

表2-2 Si、Ge用ドーパントと不純物準位

物質名	伝導型	不純物準位 (eV)Si	不純物準位 (eV)Ge
Sb	n-type	0.039	0.0096
P	n-type	0.044	0.012
As	n-type	0.049	0.013
B	p-type	0.045	0.01
Al	p-type	0.057	0.01
Ga	p-type	0.065	0.011
In	p-type	0.16	0.011

通常、Siウエハーのドーピング(doping)としては、n型がP（リン）、p型にはBが使われることが多い。また真空中でのドーピングにはSbやGaが使用される。

ここでV族元素のPをドーパントとして添加したときのSiの電子状態を考えてみる。ドーピングされたP原子はSi原子と置換(substitution)して格子点に入る。この場合、Pは5つの手(bond)を持っているのでSiと4つの結合した後に1つ余ってしまう。この過剰な電子は熱エネルギーによって容易にPから切り放たれて、これが自由電子として電気伝導に関わることとなる。この過剰な電子を放出する不純物原子をドナー(donor)という。この5番目の過剰電子はエネルギー的にみると伝導帯のすぐ下にエネルギー準位を作る。これをドナー準位(donor level)と呼ぶ。尚、電子を放出したドナーは結晶格子点において正のイオン $P^+$ として存在するが伝導には寄与しない。この時電子を多数キャリア(majority carrier)、正孔を少数キャリア(minority carrier)と呼び、このような半導体をn型半導体という。

次にIII族元素のBをドーパントとして添加したときのことを考えてみる。III族元素は3個の価電子しか持たないため、Siの格子点に入ってもすべてのSiの最近接原子と電子対を作ることができない。不純物原子の周りには電子の欠けた点が1個存在する。ここでこの欠損部は正孔とは同等では無い。この部分に熱エネルギーによってSiの電子対を形成している電子が動いて入るとB原子はSi最近接原子と完全に共有結合が完成され、同時に正孔が放出される。このときのB原子は余分な電子を1個持つことから $B^-$ イオンになる。このように電子を受け取り結晶中に正孔を放出する不純物原子をアクセプタと呼ぶ。Bはマイナスイオンになるため、その分価電子帯のエネルギーより大きくなるからアクセプタ

準位は価電子帯のすぐ上になる。この時の多数キャリアは正孔、少数キャリアは電子である。このような半導体をp型半導体という。

これらの半導体をデバイスとして利用するにはその温度依存性が重要となってくる。図2-3にドナー濃度  $N_d = 1.1 \times 10^{15} \text{cm}^{-3}$  の時のn型Si半導体の電子濃度の温度特性を示す。高温の真性領域では(2.1)で表される。さらに室温ぐらいになると

$$n = N_d \quad (2.5)$$

$$p = n^2/N_d \quad (2.6)$$

となり、ドナーは室温の熱エネルギーでほとんどイオン化され、ドナーの数と同じだけの電子が伝導帯に供給される。この領域を出払い領域と呼んでいる。さらに低温にしていくと結晶中のすべてのドナーをイオン化する事は困難になり、いくつかの電子はドナー準位に凍結され、電子密度はドナー濃度よりも小さくなっていく。この領域では

$$n = \sqrt{N_c N_v / 2} \exp(-E_d / 2kT) \quad (2.7)$$

で表される。このように半導体中の電子濃度は大きな温度依存性を有している。

キャリア移動度は  $\mu = \frac{e\langle\tau\rangle}{m^*}$  で表され、単位は  $\text{cm}^2/\text{Vs}$  または  $\text{m}^2/\text{Vs}$  である。これは電子や正孔に電界を加えたときの動き易さを表し、移動度の高い材料ほど高速デバイスに適用可能である。移動度は不純物密度に強く依存し、それは散乱の影響によるところが大きい。半導体の散乱は

1. 格子の熱振動によるフォノン（音響フォノン散乱）
2. イオン化した不純物原子（イオン化不純物散乱）

が大きく原因をしめる。

音響フォノン散乱は、結晶格子の熱的な振動による不規則なポテンシャルにもとづく。当然ながらその散乱は温度の上昇とともに大きくなる。この散乱機構が主体の場合の移動度は  $T^{-3/2}$  に比例する。

イオン化不純物散乱は、キャリアがイオン化した不純物原子の近くを通過の際にクーロン力によって軌道が曲げられることに起因する。この場合温度が高く、キャリアの熱速度が高いと力積は小さくなるので散乱は小さいが、温度が下がるにつれキャリアの速度が小さくなるためその軌道は大きく曲げられ、散乱の度合いは大きくなる。この散乱機構が

支配的な場合、移動度は $T^{3/2}$ に比例する。このような散乱は、不純物を活性層内に一様にドーピングされた場合にみられ、HEMTなどに用いられる変調ドーピング構造では、活性層とキャリアの供給源であるドーピング層が空間的に分離されているためにイオン化不純物散乱の影響は受けない。

ここで、SiとGeのキャリア移動度に対するイオン化不純物散乱の影響を図2-4に示す。これを見るとイオン化不純物散乱の影響は、Siの場合、 $10^{15}\text{cm}^{-3}$ 、Geの場合、 $10^{14}\text{cm}^{-3}$ の不純物濃度以上で現れることがわかる。これらの混晶では、それぞれの特性は2つの平均に近いものになると思われるが、実際はそれらの組成比に左右されGeの濃度が低い場合は、Siの特性に近くなると思われる（これに合金散乱も加わってくる）。

## 2.3 エネルギー帯構造

SiとGeのエネルギー構造を図2-5に示す。Siの場合、伝電帯の最低エネルギーは $\langle 001 \rangle$ 方向にあり、その等価なエネルギー面は6個ある。Geの場合、等価なエネルギー面は対角線上の $\langle 111 \rangle$ 方向に見かけ上8個あるが、2つずつ対をなしているので独立なものは4個である。等エネルギー面は楕円体であり、このようにSiとGeでは最低エネルギー点が異なる。楕円体の中心を波数 $k$ の原点にとり、長軸方向を $z$ 方向とすれば等エネルギー面は

$$\epsilon = \frac{\hbar^2}{2} \left( \frac{k_x^2 + k_y^2}{m_t} + \frac{k_z^2}{m_l} \right) \quad (2.8)$$

と書ける。Siでは $\langle 001 \rangle$ 方向に沿ってブリルアンゾーンの中心からほぼ $\frac{4}{5}$ の位置に伝導帯の極小がある。従って単純には $(\text{Si}_{16}\text{Ge}_4)$ の短周期超格子をSi(001)基板上に作製すれば、伝導帯の底はブリルアンゾーンの中心になり返され、直接遷移型になる可能性が考えられる[2]。価電子帯の頂上は、Si、Geいずれもブリルアンゾーンの中心にあるが、単純な楕円体ではなく複雑である。また、無歪状態では、軽い正孔バンドと重い正孔バンドが縮退しているが、歪みによってこれらの分離も生じる。これら2つの物質を混晶化した場合、その振る舞いはSiやGeとはまた異なるものと考えられる。たとえば、混晶化した場合の $\text{Si}_{1-x}\text{Ge}_x$ の $E_g$ は、そのGe組成の増加につれ、低エネルギー側にシフトしていく。J.Weber[3]らはSiGeのエネルギーギャップ $E_g$ と組成比の関係を以下の式で表している。(図2-6)

$$\begin{aligned} X_{\text{band}}(0 \leq x < 0.85) \quad E_g &= 1.155 - 0.43x + 0.206x^2 \text{eV} \\ L_{\text{band}}(0.85 < x \leq 1) \quad E_g &= 2.010 - 1.270x \text{eV} \end{aligned} \quad (2.9)$$

これらの特徴は、これまでのバルクのSiやGeでは得られなかった性質を得られる可能性を秘めている。

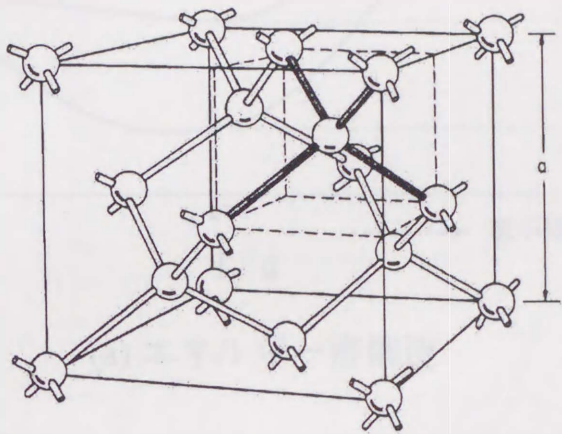
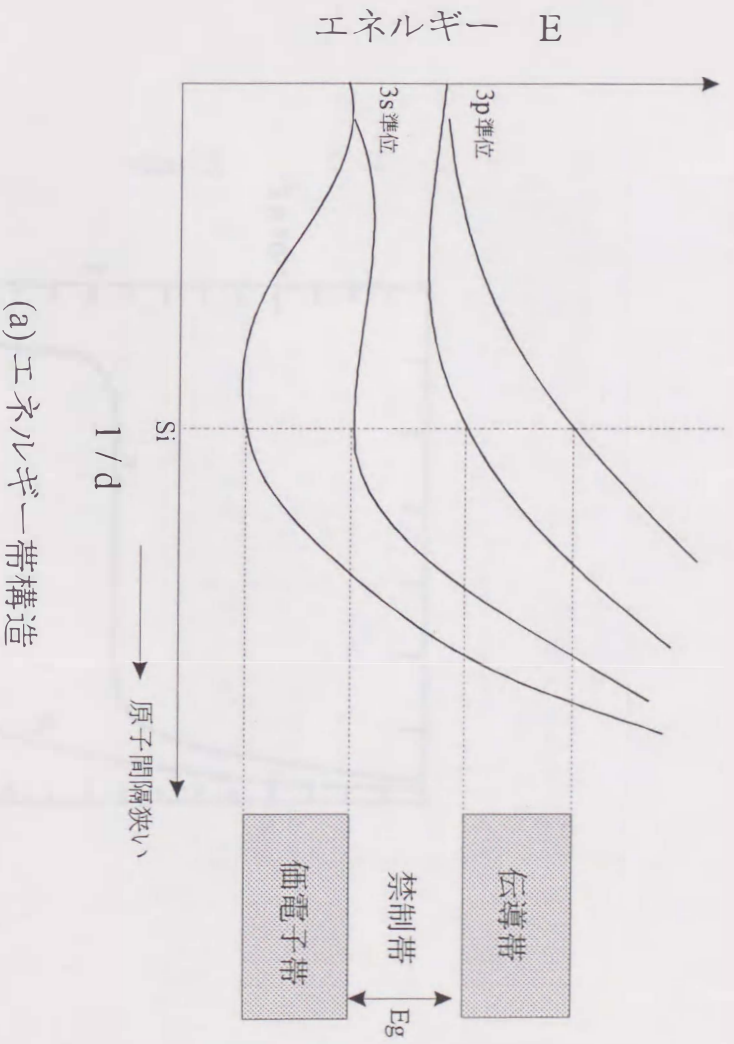
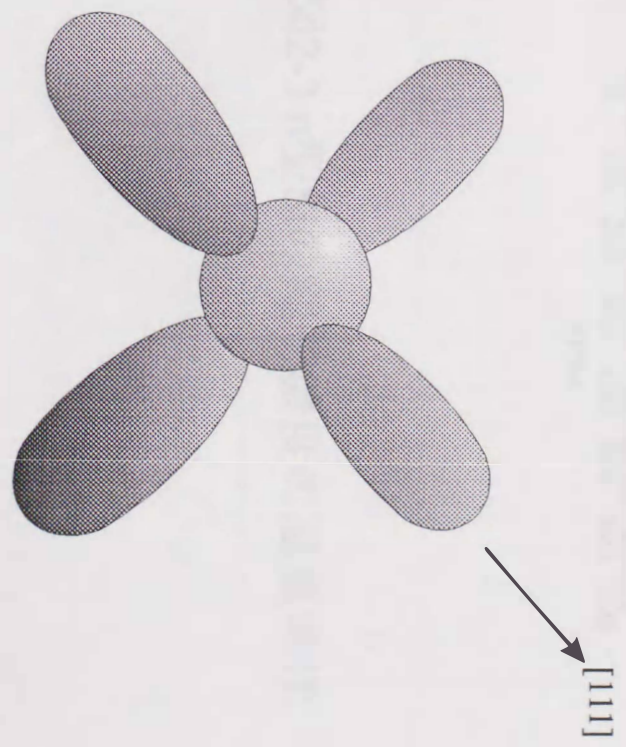


図2-1 ダイヤモンド構造



(a) エネルギー帯構造



(b) 波動関数

図2-2  $sp^3$ 混成軌道のエネルギー帯と波動関数

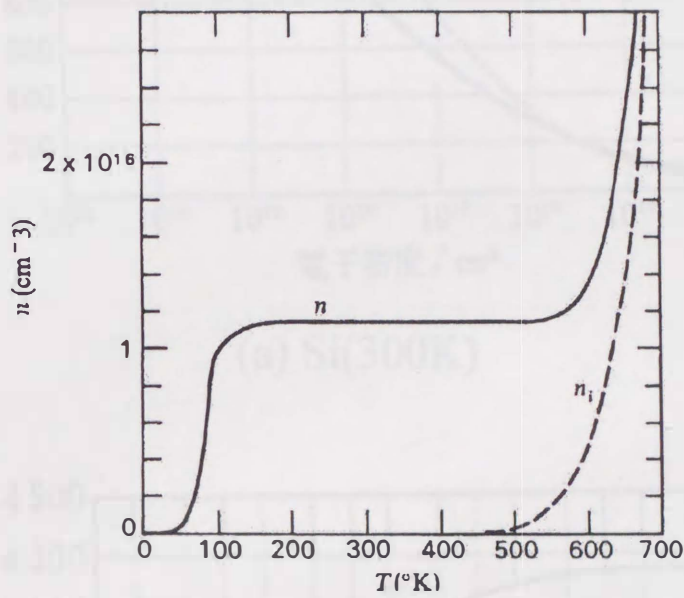
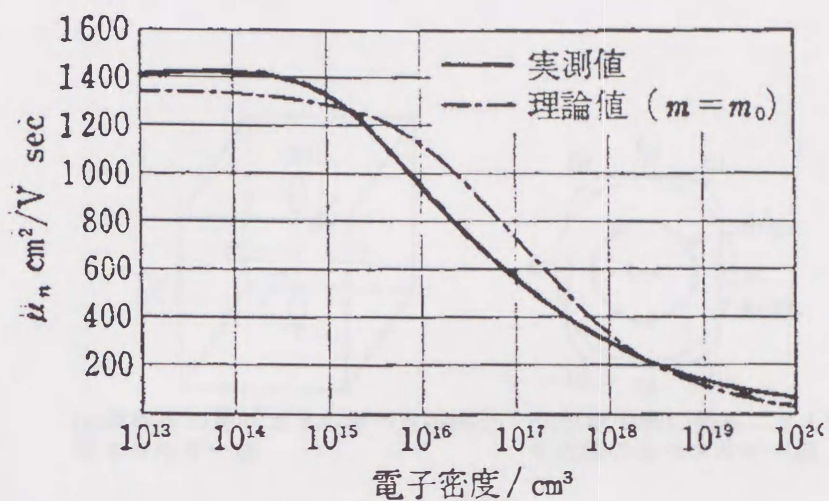
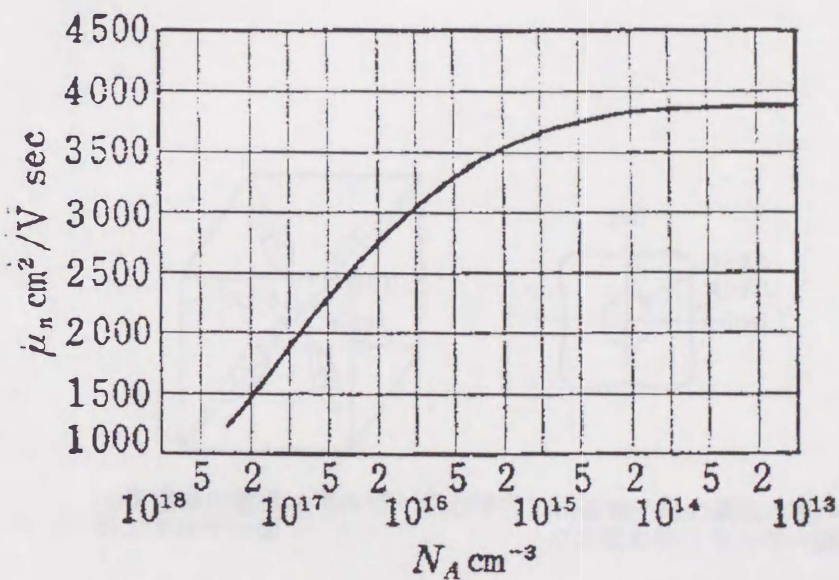


図2-3 n型Siの電子濃度の温度特性





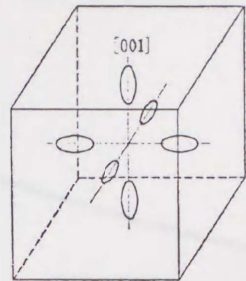
(a) Si(300K)



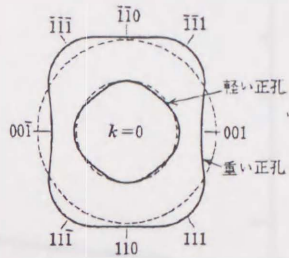
(b) Ge(300K)

図2-4 SiとGeの電子移動度に対する不純物散乱の影響

半導体の物性と素子 (菅野卓雄著: 昭晃堂) p257

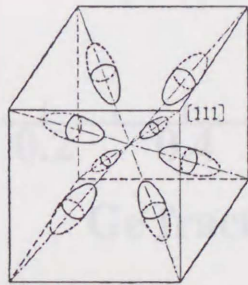


(a) 導電帯の最低エネルギー点近傍の等エネルギー面

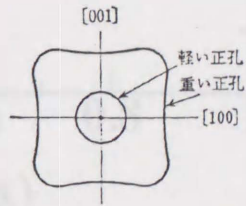


(b) 価電子帯の最高エネルギー点近傍の等エネルギー線

(a) Siにおける等エネルギー面



(a) 導電帯の最低エネルギー点近傍の等エネルギー面



(b) 価電子帯の最高エネルギー点近傍の等エネルギー線

(b) Geにおける等エネルギー面

図2-5 Si、Geのエネルギー構造

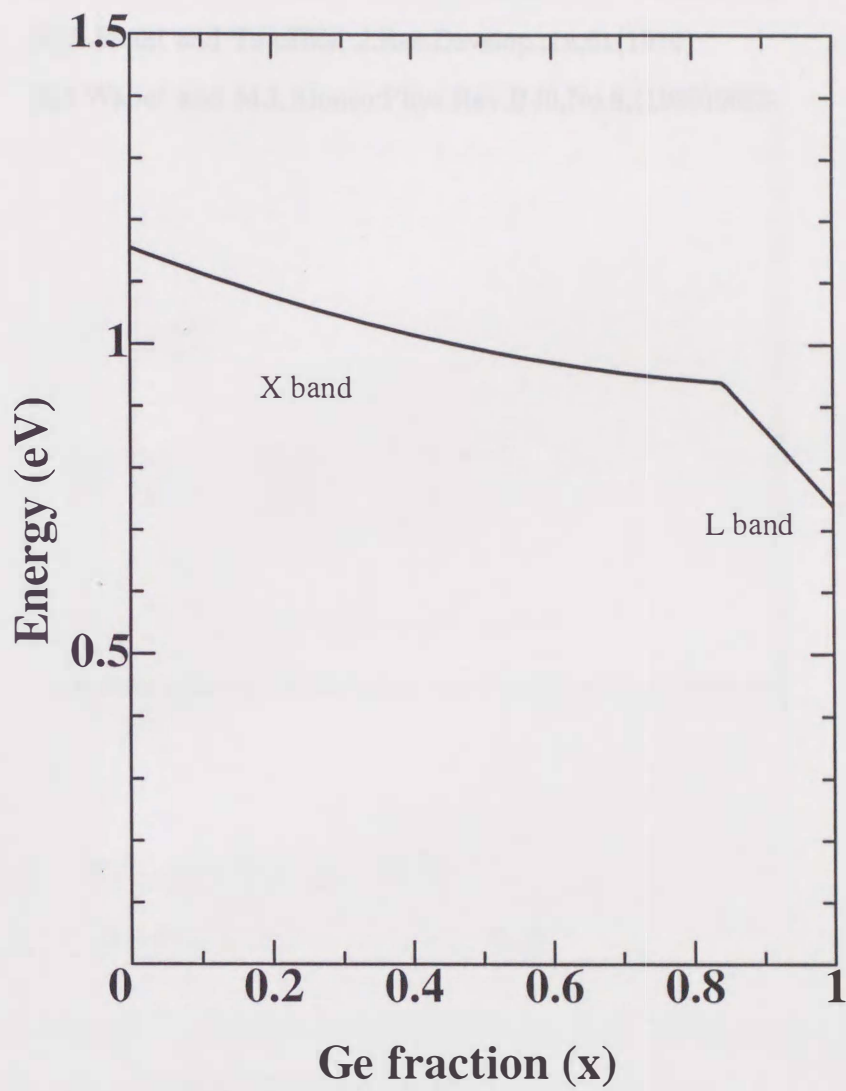


図2-6 SiGe混晶のエネルギーギャップ $E_g$

[参考文献]

- [1] 半導体の物理：西沢潤一編、御子柴宣夫著、培風館 (P74)
- [2] L. Esaki and Tsu: IBM J. Res. Develop., 14, 61 (1970)
- [3] J. Waber and M. I. Alonso: Phys. Rev. B40, No. 8, (1989) 5683



第3章  
実験方法

3.1 材料の作製方法の概要

3.1.1 GaAsとSiの成長 (MOCVD) 概要

3.1.1.1 GaAsの成長 (MOCVD) 概要

項目	説明	単位
成長温度	500°C - 600°C	°C
成長圧力	10 Torr - 100 Torr	Torr
成長時間	10 min - 100 min	min
成長速度	0.1 μm/min - 1.0 μm/min	μm/min
成長厚さ	1 μm - 100 μm	μm
成長面積	1 cm <sup>2</sup> - 100 cm <sup>2</sup>	cm <sup>2</sup>
成長装置	MOCVD	
成長材料	TMGa, TMAH, TMSi	
成長ガス	AsH <sub>3</sub> , SiH <sub>4</sub>	
成長基板	GaAs, Si	

## 第3章

# 実験方法

### 3.1 試料の作製方法の概要

#### 3.1.1 分子線エピタキシー (MBE) 装置

本研究は、富山大学地域共同研究センター内の ANELVA MBE-620S (図 3-1) を用いて行った。この装置の簡単な使用を表 3-1 に示す。

表 3-1 ANELVA MBE-620S 仕様

	装備	備考
Si 蒸着源	電子ビーム蒸着装置	容量 50cc、INFICON 付き
Ge 蒸着源	クヌーセンセル	
Sb 蒸着源	クヌーセンセル	
膜厚計	水晶振動子	INFICON 用
ポンプ	イオンポンプ、チタンポンプ	LN <sub>2</sub> シュラウド付き
基板加熱	SiC heater	~ 1200°C
基圧	$\times 10^{-10}$ toor 以下	
成長時の真空度	$10^{-9}$ toor 以上	
評価装置	QMAS、RHEED	

その他：この装置は交換室、搬送室、分析室 (XPS、UPS) を備えている。

SiとGeのソースはsix-nineの高純度Si、高純度Geを用いている。基板加熱はカーボンヒーターを用いて間接加熱をし、W-Re熱電対によって温度をモニターしている。SiとGeの蒸着レートはそれぞれおおよそ $0.5\text{\AA}/\text{s}$ 、 $\sim 0.2\text{\AA}/\text{s}$ で、水晶振動子の出力をCPUで処理し、コントロールしている。

試料作製に用いたSi基板は抵抗率 $8.0\sim 12.0\Omega\text{cm}$ のn型基板と抵抗率が $1000\Omega\text{cm}$ 以上のp型基板を用いている。これの基板を図3-2の要領で1inch口で切り出す。

### 3.1.2 クリーンルーム

試料の作製はすべてクリーンルーム内で行われる。クリーンルームは半導体に限らず、多くの産業に使われている。病院の手術室、食品工場などその用途はレベルの差はあれ多岐にわたる。特に半導体においては、自称”世界最高”と呼ぶクリーンルームが次から次へと作られニュースになったりもしている。東北大学の犬見教授らが提唱するスーパークリーンルームは有名である。半導体ではそのプロセスルールが小さくなるにつれてより小さな埃（パーティクル）のコントロールが大切となっている。

クリーンルーム方式には大きく分けて2つありそれに加え、その2つを併用させるものの3つがある。

- 乱流方式（従来型）

一昔前に使われていた方法である。従来の空調設備で行ってきたことと本質的に変わらないので、コストがあまりかからない。空調を出た空気はHEPAフィルタと通って天井より吹き出す。それがクリーンルーム下部のダクト（リターン）を通過して再び空調へ帰る。この方式の欠点は気流が乱れるためにパーティクルを効率的に室外に取り出せないことが挙げられる。この方式は我々の実験室で用いられている。

- 層流方式

室内気流を層流にして、室内で発生したパーティクルを速やかに排出できる方式である。いわゆるダウンフロー方式においては最も高い清浄度が得られ、完成度も高いがコストが非常にかかってしまうのと風下は風上の汚染の影響を受けやすいのが欠点である。

- 併用方式

これは従来の乱流方式にクリーンベンチなどをつかってスポット的に清浄な空間を作製する方式である。設置台数によってはその循環効果で清浄度はかなり上がる。

- その他

そのほかに作業者と基板の通る空間を完全に分離してしまうクリーンチューブ方式やファンフィルターユニットを連続的に設置して、清浄空間をトンネル状に形成するクリーントンネル方式などがある。

基本的なクリーンルーム方式について図3-3に示す。

クリーンルーム利用の際は以下のことを最低限守りたいものである。

- 防塵服を正しく着用する。(私服、裸など問題外)
- 発塵のおそれのあるもの(普通のノート、鉛筆、菓子類等)は持ち込まない。ノートやペンはクリーンルーム用が発売されている。
- 掃除を定期的に行う。埃は重力によって最後には床に沈降する。よって朝、実験前に専用のクリーナーでこれを取り除く。
- 薬品類は人の通るところにおかない。
- 酸欠に気をつける。クリーンルームは外気の交換率が悪いので、特に酸欠に陥りやすい。液体窒素は少々こぼしてもその気体になった時の容積は、とても大きくなるので特に注意する。

等である。

ちなみに本研究に使用されたMBE装置は、クラス10000程度の乱流方式のクリーンルームに設置されている。

### 3.1.3 基板洗浄

試料作製の前に切り出した基板(図3-2)に対して洗浄が行われる。洗浄の目的は基板上及び、基板表面中に存在する不純物を除去することである。ところがそのやり方や対象としている汚染物質(contamination)に対して正しい処置を施さないとそのプロセスが無駄になるところかかえって深刻な汚染をもたらしてしまう結果となる。よってこの洗浄技術は半導体技術の中でもきわめて高度な技術となっている。現在、主流のプロセスは1970

年にRCAのW.KernとD.A.Puotinenによって発表されたウエット洗浄法[1]、あるいはその亜種である。

通常、ウエハーメーカーより出荷された状態の基板はごく一般的なRCA洗浄を施してある場合が多い。この段階でクリーンルームで開封すれば、かなり清浄な基板が手に入ることになる。現在、LSIメーカーが躍起になってクリーンルーム内の埃（パーティクル）対策を行っているのは、設計ルールの微細化によって非常に小さい $0.1\mu\text{m}$ 程度以下のパーティクルが無視できなくなってきたからである。このパーティクルはフォトリソグラフィ工程や配線工程で大きな問題となっているが、そのほかにこれが高温プロセスによって拡散し新たな汚染源となるおそれがあるからである。ついた埃は洗浄すれば除去されてしまうと思われがちだが、実際は初期の工程でついた埃は何度の洗浄プロセスをくぐり抜けても残ってしまっていることが多い。これらのことから我々は基板を扱うときは非常に神経をとがらせて扱う必要があることがわかる。

ここで、洗浄する時の注意として、装置面とそれを取り扱う人間の側から考えてみる。装置面で注意することは

1. ビーカー等はなるべくテフロン製を使用する。テフロンは優れた耐薬品性と耐熱性( $180^{\circ}\text{C}$ )を有するフッ素樹脂である。ただし、薬液にさらされると薬液を吸収し、次の工程でそれを放出するというキャリアオーバー現象があるので注意が必要である。また帯電性も高く、 $-20\text{KV}$ ぐらいに帯電し、周りのゴミを引き寄せてしまう嫌いがある。しかし、一般に用いられるパイレックスガラスのようなボロンシリケートガラス系( $\text{SiO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{B}_2\text{O}_3$ 、 $\text{Na}_2\text{O}$ を主成分とする)のものは溶出したボロン等が基板にドーピングされてしまうので絶対にさけるべきであろう。
2. 薬液はEL級以上のものを使用する。EL級の薬液は純度が高いというわけではなく、パーティクルの数が他のレベルに比べ高いことを意味している。これによって薬液による再汚染を防ぐ。ただし薬品は通常使用期限があり、ふつうは生産から1ヶ月、開封したらその場で使い切りというのが基本である。強酸やアルカリといえども中に生菌やその死骸が存在しているので古くなった液は用途を限定するのが良いだろう。
3. 水は常にフレッシュな超純水を用いる。超純水とはおおよその目安として、室温で比抵抗が $10\text{M}\Omega\text{cm}$ 以上の水として扱われている。理論上の水の比抵抗は $18.3\text{M}\Omega\text{cm}$ である。半導体においてはこのほかに純水中の生菌数、微粒子数なども考慮して水を



使用している。経験上、理論値に近い超純水を作製しても1時間も満たないうちに生菌等が発生して使用できないレベルまで純度は落ちてしまうようである。我々はイオン交換樹脂によってこの超純水を得ているが比抵抗の監視、及び洗浄の際には常に新しい水を使うように心がけねばならない。

4. 基板の搬送は、乾燥窒素を封入したケースを用いるのがいいだろう。その際、ケースは帯電しないものを選択し、ポリプロピレンのような有機汚染のある材質はさけるべきである。

等が挙げられる。また、基板を扱う人間に関しては

1. クリーンルームに入室の際は必ず防塵服を正しく着用する。クリーンルームは不特定多数の人間が出入りする所以これは各個人の自覚と責任感が大切である。100人の入室者に対してたった一人の不心得ものがいたがために、残り99人が迷惑することになるので守れない人は入室を控えるべきである。(本学においてもクリーンルーム内を私服や裸で入ってくる人間が後を絶たない)
2. 基板に話しかけない。基板処理中に話をする、呼気に含まれる水分やアルカリ金属がコンタミネーションとして基板に残る場合がある。
3. 手袋等を正しく着用する。これは前記の防塵服にもいえることであるが人体からの汚染を防ぐ意味を持つとともに、人体を薬品等から保護する意味も持っている。であるから手袋をして薬品に触れた場合は、その手袋を外すかでもしない限り、他の機器等に触れてはならない。
4. 使用する薬品に関して基本的な知識を身につける。洗浄に用いる薬品は中学校程度で基礎を学んでいるはずである。ところが、最近ほとんど無知識に近い人も多く見受けられるので最低でも次の点でおのおの理解をしておくべきである。
  - 酸かアルカリか? 特に酸と有機溶剤を混合すると爆発を起こす。
  - 混合の際の順番や反応について
  - 万が一、人体にかかったときの処置
  - 使用後の処理や保存について

我々が本研究で使用した薬品とその性質を簡単にまとめておく。

- 硫酸

無色無臭の透明な液体で、強力な脱水作用がある。人体に触れると脱水作用と多量の熱を発生して激しいやけどをおう。万が一皮膚等についたときは、速やかに布でふき取り、多量の流水で15分以上洗い流す。強い脱水作用があるので混合の際は注意が必要。

- 過酸化水素水

無色透明な液体で、無臭あるいはかすかにオゾン臭がする。煮沸すると分解して酸素を発生する。人体に触れると激しい炎症を起こす。皮膚についたときは15分以上の流水で洗い流す。純粋な過酸化水素は非常に不安定であるので、我々が購入しているものは安定剤が添加されている。また過酸化水素は酸化還元の両方の性質を持ちうるので使用の際は注意が必要。保存の際は容器の内圧があがるので注意。

- 硝酸

無色透明な液体であるが光を当てると次第に変色していく。皮膚につくと薬傷をおこす。また吸入すると窒息感があり、長時間その雰囲気さらされると慢性気管支炎を起こす。人体についた場合は流水で15分以上洗い流す。保存の際は容器の内圧があがるので注意。

- フッ化水素酸

無色透明、刺激臭のある液体で、空気中で発煙し、水、エタノールと混和する。蒸気は眼、鼻、のどを強く刺激する。強い腐食性を有し、貴金属以外の金属はすべて腐食する。またガラスを腐食するので、ガラス容器は使用しない。人体に付着したときは直ちに多量の水で洗い流す。

- 塩酸

無色透明な、刺激臭を持つ液体で、空気中で発煙する。人体に付着すると炎症を起こす。皮膚についたときは十分に流水で流す。また容器の内圧が上がるので取り扱いに注意。

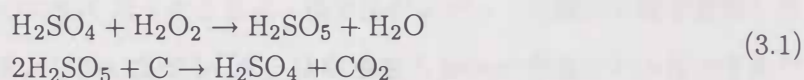
以上が使用している薬品の主なものであるが実際に使用する際にはこれ以上の知識でもって取り扱うことが絶対条件である。事故は作業者の無知、慣れ、不注意、過信によって起こるので一人一人の心がけが大切であり、自己の責任において作業をするべきである。

我々の用いている洗浄プロセスは基本的に3つのプロセスによって成り立っている。またその洗浄法はウエットプロセスに基づくものでありドライプロセスは一切、用いていない。

1. 有機物除去プロセス
2. 基板表面の有機物除去と凹凸の除去プロセス
3. 酸化膜生成プロセス

有機物と取り除く方法として大きく2つの方法がある。1つはアセトンを用いて超音波洗浄する方法であり、もう一つは硫酸と過酸化水素水の混合液を用いてカロー酸 (Caro acid) の強力な酸化力で有機物を除去する方法である。前者は数nm以上のきわめて厚い有機物汚染に向いており、後者は市販されているSiウエハーに存在する0.2nm程度の極薄い有機物汚染に向いている。特に硫酸と過酸化水素の混合液はUV洗浄に近い効果が得られる。

ここで硫酸と過酸化水素水の混合液について詳しく述べる。硫酸と過酸化水素水の混合液はSPMとも呼ばれ、混合の際にできる酸化力の強いカロー酸と生成時に発生する高い熱(135°C)を利用して基板表面の有機物をCO<sub>2</sub>にして大気中に放出する。



通称、ピラニア液と呼ばれており金属不純物に対しても有効である。ピラニア液の強力な酸化力はSiに対しても有効なので処理後に希フッ酸にディッピングするとSi酸化膜とともにコンタミ物質が除去される。我々はこれを2回繰り返している。

基板表面内部にも有機物や金属不純物の汚染が考えられる。そこで硝酸とフッ酸をもちいて表面を薄く削り、汚染を取り除いている。また硝酸とフッ酸のエッチングプロセスは等方性を示すので基板表面は平坦になっていく。しかしある程度回数(5~7回)をやらないと効果が薄いと思われる。また、硝酸とフッ酸の混合液を用いることもできる。比率的に硝酸が多い場合は、等方性のエッチング特性を示す。比率はHNO<sub>3</sub>:HF=200:1とすれば、エッチング特性は等方性でまた、極端なレートにならなくてコントロールがしやすい。エッチングは液温、液の供給率等に律速されるので、室温に注意し、不均一な攪拌はしない方がよい。

最後にパッシベーション膜として酸化膜を基板表面につける。これにはいろいろな方法が存在するがいわゆるRCA法とといわれる洗浄法の塩酸と過酸化水素水と水の混合液

(HPMあるいはSC-2と呼ばれる)を用いて酸化膜を薄く生成している。アンモニアと過酸化水素水と水の混合液 (APMあるいはSC-2と呼ばれる)でも良いが、この液はパーティクル除去効果が高いものの処理中に基板表面に金属不純物を吸着しやすく、表面にマイクロラフネスを生じるため用いなかった(しかしアンモニア濃度を下げることによって改善されることがわかっている)。

本来この洗浄の後、酸化膜の除去が必要であるがMBE装置の成長室内で熱的に解離させて取り除いている。混合液の混合の比率であるが、その研究者によりまちまちであるが我々は

$$\text{HCl} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 6 \quad (3.2)$$

程度としている。

すべての洗浄が終了後、基板表面の水分をイソプロピルアルコール (IPA) によって置換し、MBE装置の交換室へ導入している。簡単な工程図を図3-4に示す。

### 3.1.4 Si 清浄表面

交換室へ導入した試料は超高真空中で、表面の薄い酸化膜を除去する。この酸化膜の除去プロセスは $\text{SiO}_2$ が $\text{SiO}$ の形を取ったときに、蒸気圧があがって比較的低温で蒸発してしまうことを利用している。しかしながら、 $\text{SiO}$ は $\text{Si}$ 基板と $\text{SiO}_2$ の界面にのみ存在するため、酸化膜が厚いと $\text{SiO}$ として表面に出てこれられないのでこのプロセスは使えない。よって $\text{Si}$ 表面につける酸化膜は薄い多孔質のものが望ましいと思われる。蒸発に必要な温度は、酸素分圧と基板温度の関数となっているので酸素分圧が十分に低ければ、比較的低温で除去が可能である。酸素分圧と基板温度をパラメーターとしたときの $\text{Si}$ 表面における反応の様子を表したグラフを図3-5に示す。これをみればわかるとおり、酸素分圧が $10^{-9}$ Torr以下だと $600^\circ\text{C}$ 程度の基板温度でも酸化膜除去が可能である。不幸にも酸化膜を厚くつけてしまった場合は、 $0.1\text{\AA}/\text{s}$ 以下程度の $\text{Si}$ レートで $\text{Si}$ ビームを照射して表面から $\text{SiO}$ を蒸発させるとよい。

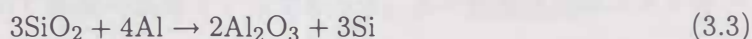
通常、この処理は数分~十数分間行い、明瞭な $2\times 1$ 再構成が現れたときに清浄面が出たと判断している。ところがこの方法はあくまで目測なので確実な方法として、鏡面反射点のRHHED強度をモニターするとよい。酸化膜がある時のRHEEDパターンは下地の $\text{Si}$ の弱い $1\times 1$ 構造を示している。酸化膜が蒸発していくうちに鏡面反射点の強度は強くなってゆき、その後表面上の $\text{Si}$ の抜けが原因と思われる強度の極端な減少がみられる。この頃

に RHEDD パターンがもっとも明瞭に観察される為、清浄面が出ていると判断できる。この方法を用いれば比較的再現性よく清浄面を得ることが可能である。また、Si ビームを併用している場合は清浄面ができたあと、Si の堆積によって、1monolayer の成長が終了した時点で平坦性が回復するため強度は再び大きくなる。我々は真空度  $10^{-9}$ Torr 以下、基板温度  $850^{\circ}\text{C}$  で約 15 分間処理して清浄面を得ている。(図 3-6)

実際の試料の作製は、この時点から開始される。ここまでのプロセスは必要不可欠な前作業である為、慎重に行っている。

### 3.1.5 電極の作製

作製した試料はホール効果で、電気的な評価を行っている。誤差の少ない測定を行うには 4 端子すべてがオーミック性を示している必要がある。一般的には n 型 Si には Au-Sb、p 型 Si には Al が用いられる。理想的なオーミック特性は接触面で全く電位障壁がなく、キャリアの再結合が時間 0 で行われる場合は接触抵抗のないものとなるが、実際にはショットキー接触となり厳密なオーミック接触は得られない。不純物濃度が低いとき ( $10^{16}$  以下) では電子は高いエネルギー状態の時に障壁を乗り越えることができる。しかし不純物濃度が  $10^{19}$  ぐらいになるとショットキー障壁が非常に薄くなり、トンネル効果で多数の電子が自由に通過するようになる。この障壁が非常に薄くなると、印可電圧が変化しても電子のトンネル確率はあまり影響されないので、疑似オーミック接触と考えてよい。また接触界面で合金化させることによって、ショットキー障壁を減少させている。通常は電極材料と Si の共晶温度よりも低い温度で行い、Au の場合は  $300^{\circ}\text{C}$  前後、Al の場合は Si の自然酸化膜を分解するため、



$400^{\circ}\text{C}$  程度以上必要である。しかしあまり共晶点に近い温度 ( $500^{\circ}\text{C}$ ) にすると Al が Si 中へ拡散し、アクセプタとして働いてしまうため注意が必要である。また純度の高いものを使用すると多量の Si が Al 中にとけ込んで冷却の過程で Si が析出してしまう。またこれにより数ミクロンのスパイクが生じるので Al が薄いデバイス層を突き抜けてしまう (アロイスパイク)。このアロイスパイクの大きさと形状は、電極の面積、膜厚、熱処理温度と時間などに対して依存性を持つ。これを防止するために少量の Si (0.5~1.5%) を添加した Al を材料に用い、低い温度でシンターを行う。Au に関しても金属間化合物を作ってしまうとアロイスパイクによって突き抜けが起こってしまうため、膜の密着強度が得られる温度程度

でアニール処理を行った方が良い。

オーミックコンタクトは電気的特性を評価する際に非常に重要になってくるので、非線形成分のない電極材料、成膜条件、熱処理条件を探し出すことが大切である。つぎに Au のコンタクト電極の作製法についてまとめてみる。

測定をされる側の Si は共有結合でしかも融点が  $1400^{\circ}\text{C}$  程度と高い。しかしながらこの高融点の Si が金属と接触すると簡単に、そして低温で反応してしまうということは電極作製の際には重要なことである。図 3-7 と図 3-8 にそれぞれ Al と Au の Si との間の状態図を示す。これをみると Si との合金は非常に低温でも作製されることを示している。

Si 基板に Au を蒸着後、大気中で  $100^{\circ}\text{C}$  で加熱をする。すると黄金色であった Au は 10 分間ほどで茶褐色に変わってしまう。これは表面に約  $1000\text{\AA}$  の  $\text{SiO}_2$  ができたために起こる現象である。この不思議な現象は Caltech の Hiraki[2] らが発見した。彼らは Au 蒸着した試料を空气中に放置してドライブへ行ってしまった。ところが帰ってきてみると、その Au 膜はくすんでしまっていたことから、RBS で調査することにした。すると、Au 膜中に共有結合の強いボンドをきって Si が拡散していることがわかった。ここで注目には値するのは室温程度の温度で Si が Au 中へ大量に供給されていることである。ここで得られる  $1000\text{\AA}$  程度の酸化膜を熱酸化によって得ようとしても、高い温度と時間が必要である。これらの理由で Au 膜の熱処理には不活性な雰囲気が必要である。ただし、Si は拡散によって表面に現れる為、膜の色は赤茶色に変化すると思われる。また熱処理に必要な温度は、Au 膜の密着という点にだけ、注目して  $150^{\circ}\text{C}$  程度の温度で十分であろう。この低温反応はエネルギーギャップ  $E_g$  が  $2.5\text{eV}$  より小さい場合に観察されることから GaAs 等の半導体にもこのメカニズムは重要である。

我々は以上のことを踏まえて n 型へコンタクトをとる場合は、Au-Sb 合金、あるいは Au/Sb 層を作製後、共晶点以下の  $300^{\circ}\text{C}$  で熱処理を施している。また処理雰囲気は、乾燥窒素を導入して大気と置換された状態の密閉ケース内で行っている。蒸着は約  $\sim 10^{-5}\text{Torr}$  の真空度中でおこない、Au-Sb はフィラメントに直接乗せて加熱する。Au/Sb マルチレイヤーに関しては、タングステンボート上に粉末の Sb と Au 線を乗せ、蒸気圧の差を利用しながら順に蒸着するように印可電流をコントロールする。

## 3.2 試料の評価方法

試料の評価は、X線回折、ラマン散乱分光法、X線光電子分光法(XPS)、断面透過電子顕微鏡(TEM)、フォトルミネッセンス(PL)、X線光電子分光法(XPS)、ホール効果、磁気抵抗効果でおこなった。

- X線回折

X線回折はCu-K $\alpha$ 源を使用し、主に結晶構造の評価に用いた。装置は、RIGAKU RINT-1000で、 $\theta-2\theta$ 法で測定している。超格子の場合は、低角度側に周期構造に起因するピークが確認されることを利用してその界面性を評価した。また混晶成長した場合は、そのピークから残留歪みや格子定数を導くのに使用した。

- ラマン散乱分光法

ラマン散乱分光法は、C.V.Ramanが1928年にK.S.Krishamと共に発見した光の波長変化を伴う散乱現象を利用した評価方法である。我々は、ラマン散乱を用いて試料の歪みや超格子構造におけるゾーン折り返し効果を観察した。装置は、励起光に5145Åの波長のアルゴンレーザーを200mWの出力で使用し、試料から散乱された光をダブルモノクロメーター(日本分光CT-80D)に導入してからサイドオンタイプの光電子増倍管で受光し増幅する。それを光子カウンターで読みとっている。超格子構造においては、積層方向の長周期性の為にミニ・ブリルアンゾーンが形成され、音響フォノンの折り返しが起こる。この音響フォノンの折り返しは構造に敏感であるので、ラマン散乱を超格子の構造評価に用いることができる。また、各ボンドに対する信号強度から超格子界面の評価も行っている。

- 断面透過型電子顕微鏡

断面透過型電子顕微鏡では試料の格子像を観察して、界面や転位の評価に用いている。装置は金属工学科の日本分光EM-002Bで加速電圧は約5kVで観察している。

- X線光電子分光法(XPS)

X線光電子分光法(XPS)ではSiGe混晶膜の組成の定量解析を行った。ここで得られた組成比と、X線回折で得られた組成比を比較する事によって膜内内の残留歪みを計算している。装置は島津AIX-1000で、励起源はMgで積分半球にて検知している。この装置にはミニコンが接続されており、これを用いれば組成比などの定量分析も可

能となっている。

- フォトルミネッセンス (PL)

フォトルミネッセンスは界面の転位の評価に用いた。フォトルミネッセンス法はレーザーなどのバンドギャップ  $E_g$  以上のエネルギーを持つ励起光を試料に照射し、価電子帯や不純物準位に束縛されたキャリアを励起、再結合したときに過剰なエネルギーによって発生する光を分光器など検知して半導体の情報を得る方法である。その情報の主なものはバンドギャップや不純物準位、結晶欠陥である。フォトルミネッセンスの評価領域は励起光の侵入長にもよるが一般的に表面近傍であるので試料の表面状態には十分注意する必要がある。特に Si の場合は自然酸化膜による劣化の影響があるので注意が必要である。特に量子井戸の場合は表面状態の影響を大きく受けるので、測定前に自然酸化膜を除去し表面を水素で終端しておくことが望ましい。また、格子振動の影響を避けるために、液体窒素温度 (77K) や液体ヘリウム温度 (4K) が測定に用いられ、熱振動を抑制しスペクトルの分解能をあげている。用いた装置はクライオスタットによってヘリウム温度まで冷却し、5145Å のアルゴンレーザーの励起原を使用している。試料を反射した光はモノクロメーターを通して Ge 検出器に入り、その信号をロックインアンプで増幅しコンピューターで処理している。

- ホール効果

ホール効果では、半導体で重要なパラメーターである抵抗率やキャリア密度、移動度を評価する方法である。これらのパラメーターは通常以下の方法で求められる。

- 四探針法 (抵抗率)
- van der Pauw 法 (抵抗率、キャリア密度、移動度)
- C-V 法 (キャリア密度)

ここで四探針法 [3] と van der Pauw 法 [4] は本質的には同じと考えて良い。本研究ではホール効果を van der Pauw 法によって評価した。この評価法は本研究の最終目的の評価手段であるので詳しく述べる。

van der Pauw 法はエピタキシャル層の様な薄膜の評価に適している。この方法からはその薄膜の導電型、キャリア密度、移動度が明らかになる。そのため基板と薄膜の伝導型が同じだと、測定に用いる電流が基板側にもリークし、パスが二つ存在するよ



うになるため測定に誤差が生じるようになる。ここで van der Pauw 法における装置や試料上の注意などを考えてみる。

測定に用いる電圧系の入力インピーダンスは、十分大きくなくてはならない。通常、デジタルマルチメーター等は  $M\Omega$  以上あるので問題ない。一方、電流源には負荷による電圧変動があっても出力電流に影響がでないよう出力インピーダンスの大きな定電流源を用いる。また試料が加熱しないようあまり大きな電流は流さないようにする。そのため電界は  $1V/cm$  以下にするのが望ましい。また電流端子にあまり大きな電流を印可すると注入された少数キャリアがドリフトしてホール電圧を低くしてしまう。また、前述のように測定対象と基板が同じ伝導型であってはいけない。また、異なる伝導型を組み合わせると pn 接合などを形成しても基板への漏れ電流が十分小さいことを確認せねばならない。特に、基板へのキャリアの注入を防ぐために端子間電圧はあまり大きくしてはいけない。試料の形状は端子間電圧が不均衡にならないようになるべく対称性の良い形状にし、図 3-9 に示すようなクローバー型、ムカデ型や正方形の形状が望ましい。電極はオーミックで試料端部になるべく小さく形成するのが良い。当然、4 端子間の抵抗値のばらつきは最小限であることを確認し、電極と基板のアイソレーションの確認も必要である。また光によってもキャリアの注入が行われるのでアルミ等で遮光すると良い。

測定は図 3-10 のような回路を作製して行う。Hall 効果については多くの文献や参考書に記述されているのでここでは簡単に実用単位系への計算過程を中心に示す。

$x$  方向に電流密度  $j_x$  を流し、 $z$  方向に一様な磁界  $B_z$  を印可する。このとき試料中を流れる電子はローレンツ力によって  $y$  方向へ曲げられ、電場  $E_y$  を生じる。この電場  $E_y$  の大きさは電流密度  $J_x$  と磁力  $B_z$  に比例する。

$$E_y = RB_z j_x \quad (3.4)$$

この式の右辺の係数  $R$  をホール係数とよんでいる。

このホール係数  $R$  は

$$R = \frac{E_y}{j_x B_z} = \frac{1}{qnc} \quad (3.5)$$

で与えられる。この式からわかることはこのホール係数の符号によってキャリアの Type が判別でき、しかもその大きさはキャリアの濃度  $n$  に反比例することである。

ここで実用単位系での測定値の計算を行ってみる。

試料に印可する電流を  $I$ 、磁場を  $B$ 、ホール電圧を  $V$  とする。ここで試料の大きさを仮に厚さ  $d$ 、 $xy$  方向の長さを  $XY$  とおく。ホール係数  $R$  の単位を  $\text{cm}^3/\text{C}$  とおけば、

$$R(\text{cm}^3/\text{C}) = \frac{1}{n(\text{cm}^{-3}) \times q(\text{C})} = \frac{c^2}{10 n(\text{cm}^{-3}) q(\text{e.s.u.}) c} = 9 \times 10^{19} R(\text{gauss 単位}) \quad (3.6)$$

と書ける。また

$$\begin{aligned} Y(\text{cm}) \times E_y(\text{V/cm}) &= V/300(\text{gauss 単位}) \\ Y(\text{cm}) \times Z(\text{cm}) \times j_x(\text{A/cm}^2) &= I \times 3 \times 10^9(\text{gauss 単位}) \end{aligned} \quad (3.7)$$

とおけるから

$$R = \frac{E_y}{j_x B_z} = \frac{V(\text{volt}) \times d(\text{cm})}{I(\text{A}) \times B \times 9 \times 10^{11}} (\text{gauss 単位}) \quad (3.8)$$

が得られる。これに前述の式を代入すると

$$R(\text{cm}^3/\text{C}) = 10^8 \frac{V(\text{volt}) d(\text{cm})}{B(\text{gauss}) I(\text{ampere})} \quad (3.9)$$

という式が与えられる。

ここからキャリア密度  $n$  を求めるには、ホール係数  $R$  の逆数に電荷の逆数をかけてやればよいから

$$n(\text{cm}^{-3}) = \frac{1}{Re} = \frac{1}{1.602 \times 10^{-19} \times R} = 6.24 \times 10^{18} \frac{1}{R(\text{cm}^3/\text{C})} \quad (3.10)$$

となる。我々が作製した 2 次元性を示す試料の場合、上記の計算はそのままだてはめることはできない。しかし、測定対象が確実に 2 次元性を示している場合は、上記の式から厚み  $d$  を省略したもので求めることができる。シート状に分布した電子、正孔は

$$\begin{aligned} R &= \frac{V(\text{volt})}{I(\text{A}) \times B \times 9 \times 10^{11}} (\text{gauss 単位}) \\ n(\text{cm}^{-2}) &= \frac{1}{Re} = \frac{1}{1.602 \times 10^{-19} \times R} = 6.24 \times 10^{18} \frac{1}{R(\text{cm}^2/\text{C})} \\ \mu(\text{cm}^2/\text{Vs}) &= R/\rho_s \end{aligned} \quad (3.11)$$

$$\rho_s(\Omega/\square) = \frac{\pi}{\ln 2} \frac{R_{AB,CD} + R_{BC,AD}}{2} f$$

で表される。ここで  $R_{AB,CD}$ 、 $R_{BC,AD}$  は  $AB$ 、 $BC$  間に電流を流したときの  $CD$ 、 $AD$  間で測定される電圧から求めた抵抗値で、 $f$  は補正係数である。

- 磁気抵抗効果

我々は磁気抵抗効果についても評価を行った。磁気抵抗効果は半導体に磁界を作用させると電気抵抗が変化する現象である。これには縦磁気効果と横磁気抵抗効果が存在する。通常は横磁気抵抗効果が著しく観察され、縦磁気効果は観察されない。

横磁気抵抗効果は、キャリアが磁界によって移動行程が長くなることと、格子原子との衝突が増加するために電気抵抗が増える現象である。ある速度で  $x$  方向にドリフトしている電子は、 $z$  方向に印可した磁界によるローレンツ力をうけて  $y$  方向の速度成分を持つようになる。この時、電子はある角周波数  $\omega_c$  をもって円運動をする。これをサイクロトロン運動と言い、角周波数  $\omega_c$  は

$$\omega_c = eB_z/m^* \quad (3.12)$$

で表される。ここで  $e$  は、電子の電荷量、 $B_z$  は  $x$  方向の磁束密度、 $m^*$  は電子の有効質量である。このような状態での半導体の抵抗率  $\rho$  は

$$\rho = [1 + (\omega_c\tau)^2]/qn\mu \quad (3.13)$$

で表される。ここで  $\tau$  は電子の衝突時間、 $q$  は電子の電荷、 $n$  はキャリア密度、 $\mu$  は移動度である。磁界がないときの抵抗率  $\rho_0$  は

$$\rho_0 = 1/qn\mu \quad (3.14)$$

であるから、横磁界に対して抵抗は  $(\omega_c\tau)^2/qn\mu$  だけ増加する。よって横磁気抵抗  $\Delta\rho/\rho_0$  は

$$\Delta\rho/\rho_0 = (\omega_c\tau)^2 = \left(\frac{qB_z}{m^*}\right)^2 \tau^2 = \mu^2 B_z^2 \quad (3.15)$$

となるから磁気抵抗は磁束密度と移動度の積の2乗に比例することがわかる。このことから高移動度が得られる試料ができれば小さな磁束密度でも横磁気抵抗効果が観測される。

ここで電流方向に対して垂直な方向に磁界の印可方向を回転させてみる。このとき、磁気抵抗の磁場方向への依存性は等エネルギー面の有効質量の異方性に左右される。Siの場合、 $\langle 001 \rangle$  方向に細長い楕円体の等エネルギー面となる。もし、ここで等エネルギー面が球対称の場合、回転をさせても磁気抵抗は一定である。しかしながら実際の等エネルギー面は楕円体であるため、磁気抵抗は  $\langle 001 \rangle$  方向に印可したときに

最大になる。電流通路が3次的であるときは以上の通りであるが、平面に閉じこめられた2次的な構造の場合これは当てはまらない。2次元電子ガスは、電子のz軸方向の自由度はないので、2次元電子面に対して垂直に磁界を印可すると、電子は面内でサイクロトロン運動を行い、磁気抵抗が観測されるが、2次元電子面に対して90度傾けた方向から磁界をかけても電子の運動は障壁によって制限を受けるので、磁気抵抗は非常に小さい。

試料はホールバーを形成し、その磁気抵抗の角度依存性をとった。試料の作製手順は以下の通りである。

1. 試料に Au-Sb 電極を作製する。
2. フォトレジストを約  $2\mu\text{m}$  の厚さで形成する。
3. プリベーク
4. Au 電極にあわせてホールバーのパターンを露光する。
5. 現像
6. ポストベーク ( $140^\circ\text{C}$ )
7. 200:1=HNO<sub>3</sub>:HF 液でエッチングを行う。
8. レジストの剥離。

試料のサイズは約 5mm、ホールバーのデザインは図 5-1(b) に示す通りである。

使用する磁気回路は、永久磁石 (NEOMAX-43) で約 3500Gauss の中心磁界強度を持つ。設計は住友特殊金属 (株) マグネット設計室に依頼した。磁場均一性は中心  $10\text{mm}^3$  で  $\pm 1\%$  である。磁石の設計図を図 3-11 に示す。これを我々が設計した専用の台にのせることにより、磁場の On、Off や極の回転ができるようになっている。

以上が本研究で使用した試料の評価方法である。

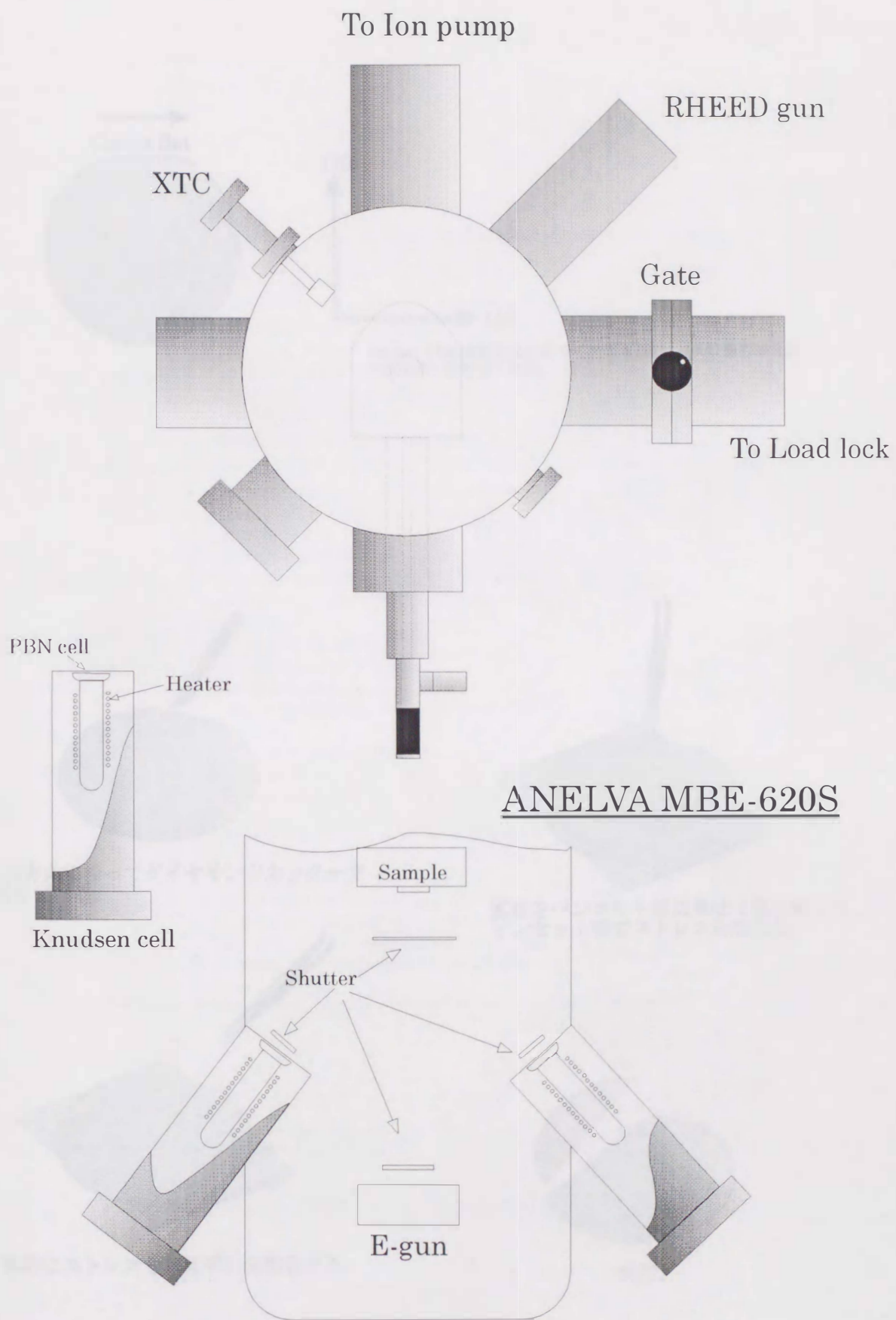
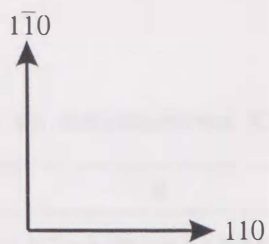
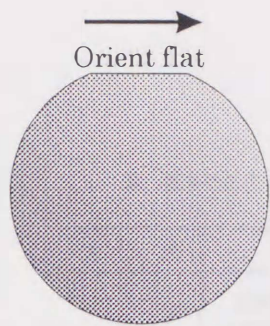


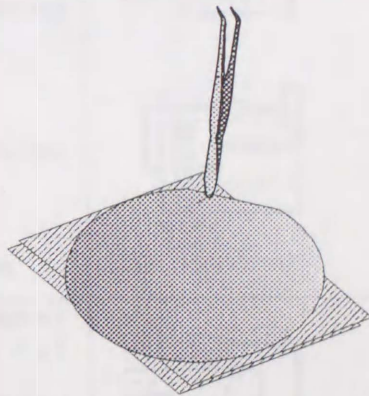
図3-1 成長装置



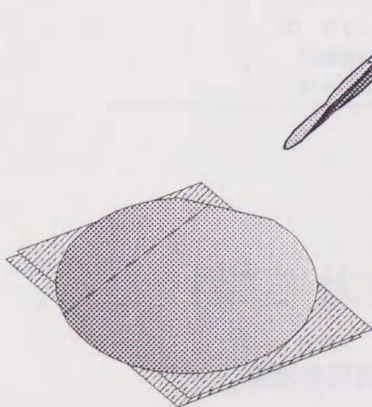
Orient flatは面方位によって決定される。(001)面の場合は110方向にあわせてある。



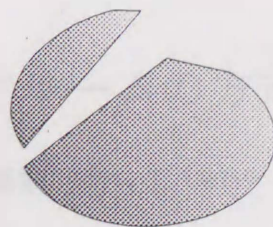
110方向に沿ってダイヤモンドカッターで傷を付ける。



基板をベンコット等に乗せて傷に対してピンセット等でストレスを加える。



無理にストレスを加えずに分割をする。



完了。

図3-2 基板の切り出し

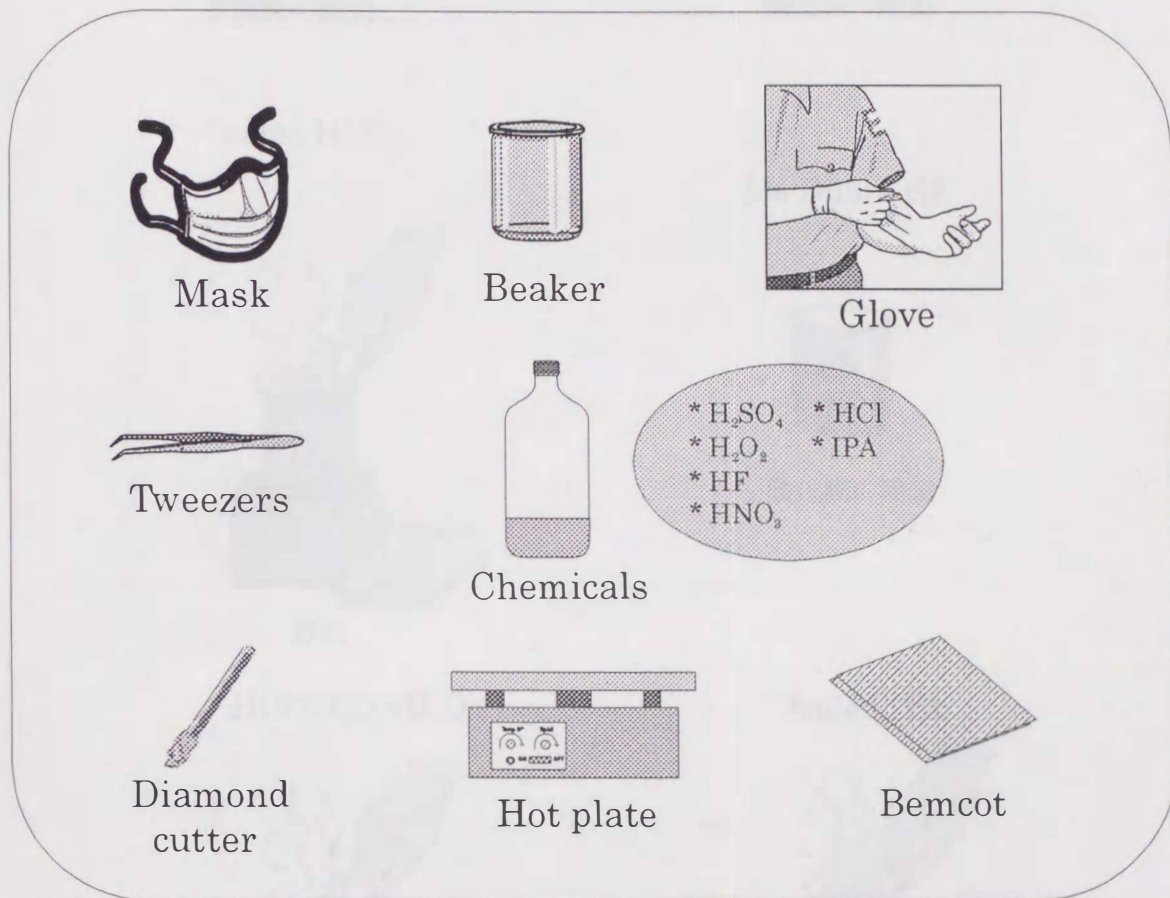
表 基本的なクリーンルーム方式; 実用空調技術便覧編: 実用空調技術便覧, オーム社: p.789

方式	特徴	略図
在来形乱流方式	<p>従来の空調で行われている送風分布系と本質的には変わらない。ただ、フィルタが多段に使用される。最終フィルタに HEPA フィルタが使用される。</p> <p>(1) 気流が乱れるために、塵埃を効果的に室外に排出することが困難である。</p> <p>(2) 汚染濃度 クラス3,000~300,000程度</p>	
層流方式	<p>室内気流を層流にして、室内で発生した塵埃の拡散を防ぎ、その排出を速やかに行う方式である。</p> <p>○垂直層流方式クリーンルーム 吹出気流が天井面から床面へ向かうものをいう。取り扱われる全製品に同一の清浄度が要求されたり、または個々のクリーンベンチでは取り扱えない場合に行う方式</p> <p>(1) 最も高い清浄度が得られる。</p> <p>(2) 所要設備容量が最も大きい。</p> <p>○水平層流方式クリーンルーム 気流が一方の壁面から、他方の壁か天井の一部に流れる方式</p> <p>(1) 上流での発塵の影響を受ける。</p> <p>(2) 吹出口付近 クラス 100 吸込口付近 クラス 1,000~100,000</p>	
併用方式	<p>在来形乱流方式のクリーンルームに、層流のクリーンベンチを置く方式。クリーンベンチは、少なくともクラス 100,000までの室で併用される。</p> <p>(1) クリーンベンチの台数によっては、層流方式クリーンルームより高価につく場合もある。</p> <p>(2) クリーンベンチの設置台数によっては、再循環濾過により、室内の塵埃濃度は相当に清浄されるはずである。</p>	

図3-3 代表的なクリーンルームの方式

実用空調技術便覧編、実用空調技術便覧、オーム社：p789

用意するもの

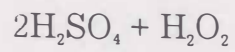


(a) 準備するもの

### 図3-4 基板洗浄工程

(a) 用意するもの  
(b) 洗浄工程





有機物の除去

5% Dilute HF



酸化膜の除去

boiled  $\text{HNO}_3$

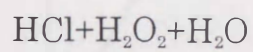


酸化

5% Dilute HF



酸化膜の除去



酸化

boiled IPA



水の置換

乾燥をして成長室へ

(b) 洗浄工程

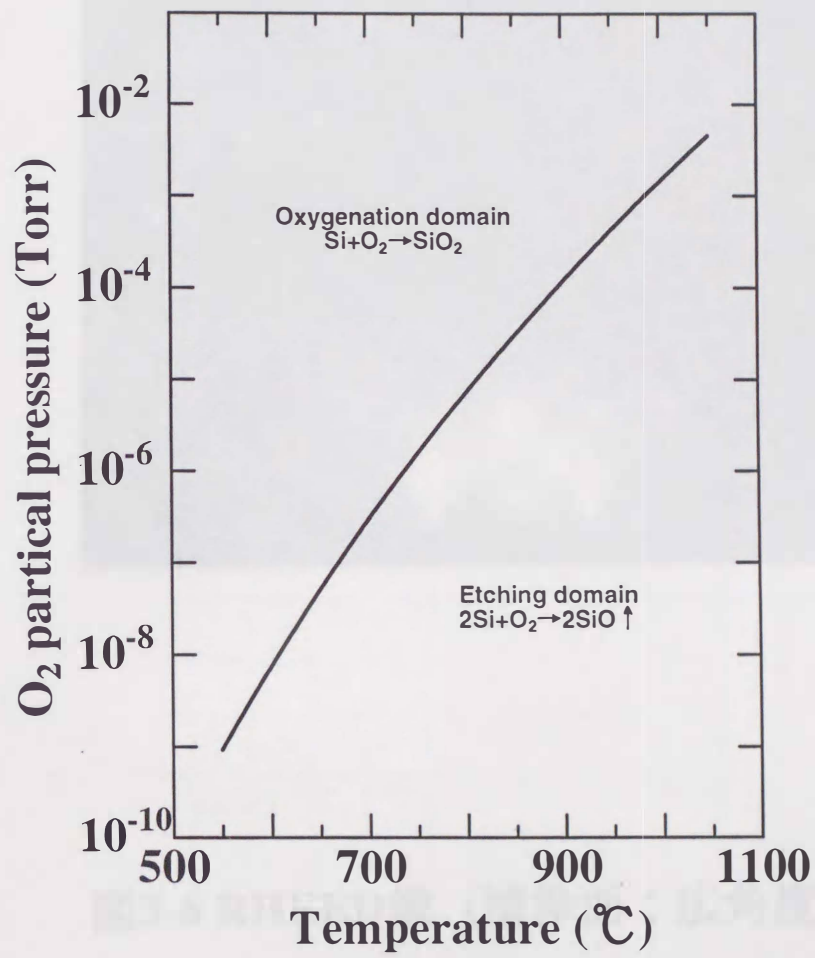


図3-5 Si基板上におけるSiO<sub>2</sub>膜の状態図

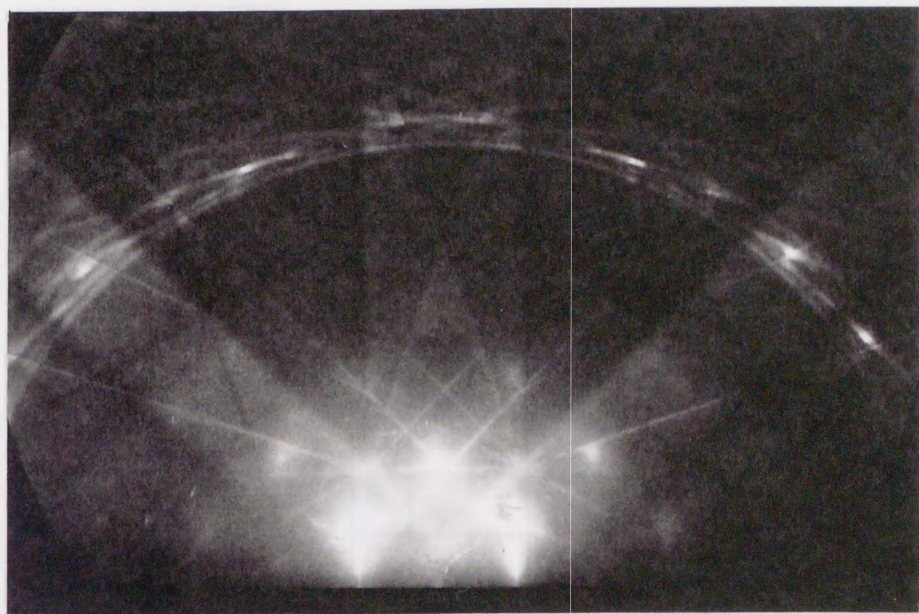


図3-6 RHEED像 (清浄面：広角度入射)

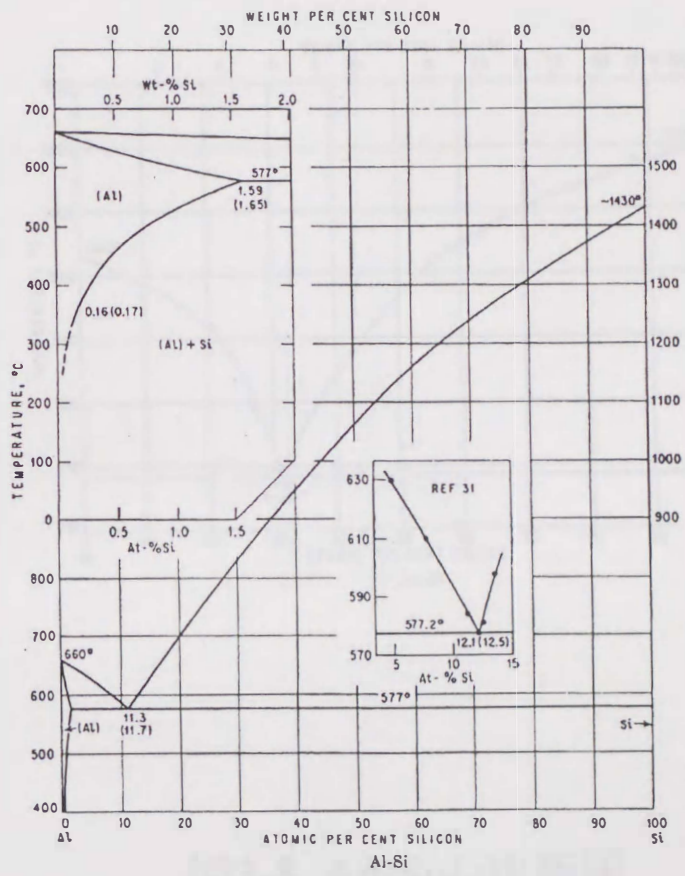


図3-7 Al-Siの状態図

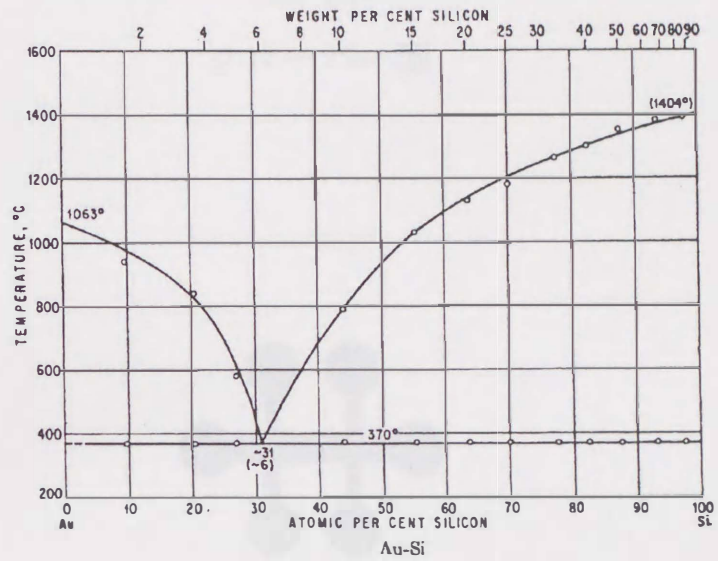
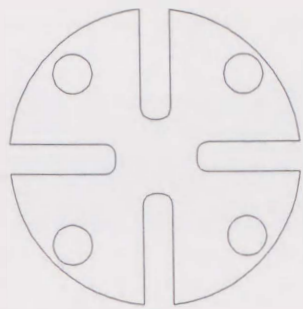
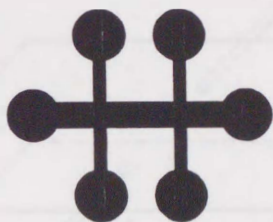


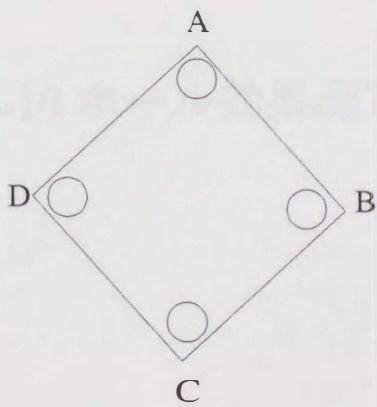
図3-8 Au-Siの状態図



クローバー型



ムカデ型



正方形型

図3-9 試料形状

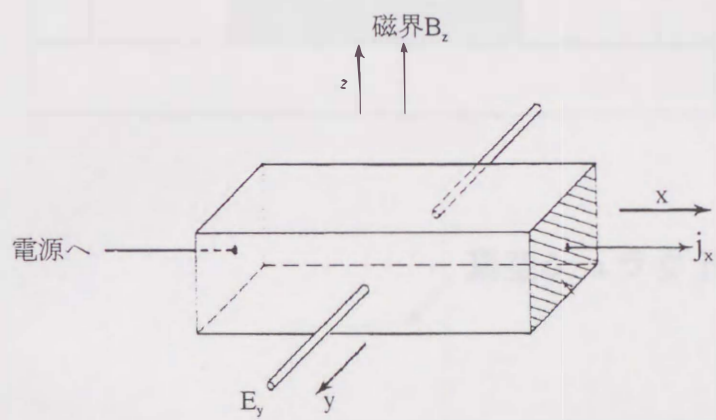


図3-10 ホール効果測定回路

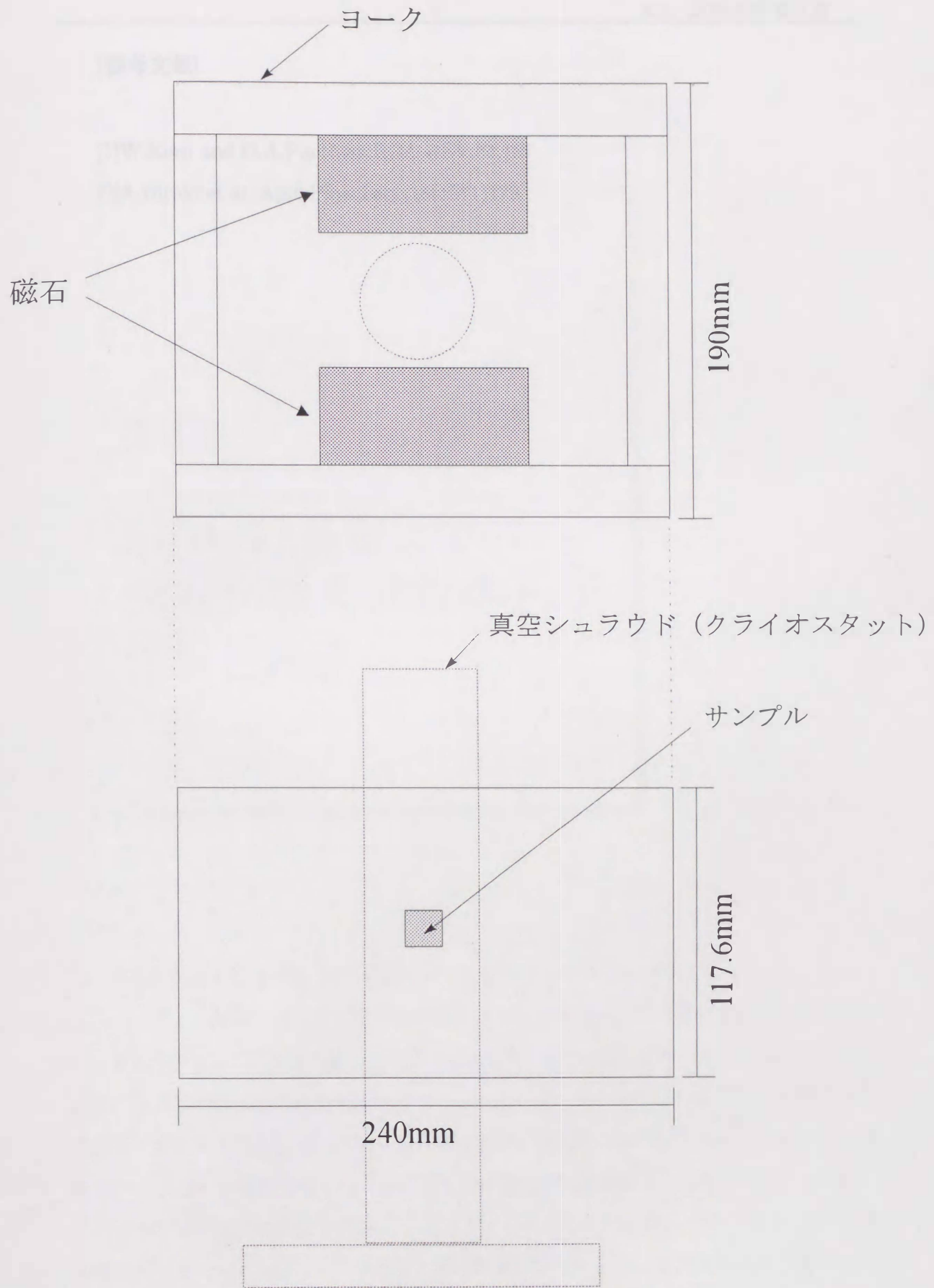


図3-11 測定に使用した磁気回路



[参考文献]

[1]W.Kern and D.A.Puotinen:RCA REV.31,187

[2]A.Hiraki et al.:Appl.Phys.Lett.,18(1971)178

第4章

Si(001) 基板上での  
Si/Ge 短周期超格子の  
作製と評価

（以下は非常に薄い文字で印刷された文章の抜粋と思われる）

## 第4章

# Si(001) 基板上での Si/Ge 短周期超格子の 作製と評価

Si/Ge 超格子構造は間接遷移型である Si 材料をブリルアンゾーンの折り返し (zone-folding) によって直接遷移型にする事で発光素子などの様々な応用範囲を広げる技術として注目された。Si の伝導帯の底は X 近傍の  $\Delta$  点にあるが、超格子構造によりブリルアンゾーンの折り返しが起こると直接遷移型になるといわれている。超格子作製の際の問題は格子不整合に由来する臨界膜厚とそれに伴う熱安定性、界面の急峻性である。前者に関しては超格子で扱われる各材料のそれぞれの膜厚は数原子層程度と薄く、熱的に安定であるところの臨界膜厚を越えなければ問題とはならない。しかし後者に関しては Ge 上に Si を成長させようとするとき Ge が Si 上に現れるという界面はけを起こす。この原因として考えられるのは

1. 熱拡散
2. Geのアイランド化
3. Geの表面偏析

の3つである。1.はその界面はげはGe上のSiで顕著であり、等方的に拡散する熱拡散ではあり得ない現象である。Geのアイランド成長の臨界膜厚は6原子層でまた表面が3次元化し始める膜厚は3原子層程度である。ところがSi/Ge超格子構造においてはそれ以下の膜厚でも界面はげがみられるため、2.でも説明できない。従ってGeの表面偏析現象によって界面はげが起こっていると思われる。この表面偏析現象は超格子構造にとって大切な界面の急峻性に大きな影響を与える。我々は、基板温度を変化させてSi/Ge短周期超格子構造を作製し、Geの偏析現象を調査した[1][2]。

#### 4.1 試料の作製方法

基板温度は300、350、400、500°Cを選び、RHEED強度振動によってSi/Geの層数と被覆率の制御を行った。RHEED強度振動の様子を表したのが図4-1である。まず表面が平坦なときは、鏡面反射ビームは最大となるが成長が進むにつれ、表面が荒れ反射率が下がってくる。しかし再び被覆率があがってくると強度は上昇していき、第1層の成長が終了して再び平坦性が回復すると鏡面反射ビームは最大となる。なお、この散乱のモデルは入射方向、Si基板の表面構造によって異なってくる(図4-2)。図4-3は実際に我々がSi基板上にSi及びGeを成長させてRHEED強度振動をモニターしたものである。Siを成長させた場合は、振動の振幅が小さくなるものかなりの長い時間振動が観察され、時には肉眼でもその強度の変化が確認できる位である。逆にGeを成長させると、最初の1、2層は、はっきりと観察できるが、3層目からは、表面の平坦性が悪化してくるので、全体の強度の落ち込みが大きくなり、臨界膜厚である6層を越えると、振動は終了し、RHEEDパターンは3次元パターンを示す。また、RHEED振動は基板温度に大きく依存する。基板温度が高いと、基板表面に付着した原子の表面拡散が大きくなるために大きなテラスが表面に形成され、振動が観察されにくい。逆に基板温度が低いと表面拡散が小さくなるために3次元成長しやすくなって振動は持続しにくい。ここで適当な温度を選ぶことによって核形成とステップ成長がバランスよくなり振動は持続しやすくなる。我々の経験でSi/Siのホモ成長の際は、基板温度400°C程度を選択すると振動が持続することがわかっている。

図4-4に基板温度350°CにおけるRHEED強度振動を示す。作製した超格子は $(\text{Si}_{12}/\text{Ge}_4)_N$ 超格子で、 $N=8$ まで繰り返し成長した。 $N=8$ 以上では振動が確認できなくなった。最初はSi,Ge共に非常に大きな振幅を持つ振動が観察されるが、繰り返す数が増えるとともに小さくなっていく。この振動による制御が精密に行われるならば、多くの繰り返しも可能であるが、実際はRHEEDのモニターとシャッターの開閉にはタイムラグが存在するため、完全にコントロールする事は困難である。また、Geを3原子層以上積層すると表面にファセット構造が形成されるのでさらに成長の継続を困難にしている。

## 4.2 断面TEM

GeのSi内部への偏析を確認するために、試料の断面TEMによる評価を行った。各試料のTEM写真を図4-5(a)~(c)に示す。なお基板温度500°Cの試料の評価は行っていない。基板温度300°C(図4-5(a))においてはSi/Ge界面は非常にシャープで、Ge/Si界面においてもあまりぼけがみられないため、Ge層がはっきりと識別できるが、組成制御性が悪くSiとGeの膜厚にややばらつきがある。また、350°C成長のものも、Si/Ge界面にやや偏析がみられるが、SiとGeの層がはっきりと確認でき、等間隔にGe層が分布しており、よく制御され成長が行われていることがわかる。ところが基板温度が高くなるにつれてSi/Ge界面ぼけが現れ、その幅も一定になっていない。また、400°CではGe/Si界面も下のGeの偏析の影響で急峻性は失われており、その傾向は表面に向かうほど強くなる。また、Si層内にもGeによるコントラストが確認され、超格子構造はかなり壊れて、歪みの様子も変わっている。

## 4.3 X線回折

X線回折からも偏析の度合いを評価してみる。超格子を作製すると超格子周期に起因するピークがサテライトピークと共に低角度に現れる。我々の試料について、X線回折をとったデータが図4-6(a)~(c)に示してある。このときのピーク位置の理論計算に基づく位置は以下の式で表される。

超格子周期に起因するピーク位置は、ブラッグ反射の式の $d$ に $\text{Si}_m\text{Ge}_n$ ( $m=12, n=4$ )の超格子周期 $d_{sl}$ を代入する事で求められる。 $d_{sl}$ は

$$d = d_{\text{Si}}m/4 + d_{\text{Ge}}n/4 = 22.12\text{\AA} \quad (4.1)$$

ここで  $d_{Si}=5.43\text{\AA}$ ,  $d_{Ge}=5.62 \times f=5.83\text{\AA}$  で、 $f=1.03$  は Ge の成長方向へのポアソン比である。

これより求められる  $\text{Si}_{12}\text{Ge}_4$  の周期構造に起因するピーク位置の理論値は、 $2\theta=3.99$ 、 $7.99$ 、 $11.99^\circ$  である。超格子周期に起因するピーク（低角度）と理論値について表4-1にまとめた

表4-1 超格子周期による低角度側のピーク位置

$T_{sub}$	first order	second order	third order
300°C	3.60	8.25	-
350°C	4.16	8.33	12.33
400°C	4.13	8.06	-
calculated	3.99	7.99	11.99

また、(004) メインピークにも超格子によるサテライトピークが観察される。このピーク位置は動力学的 (kinematical) 散乱理論に基づくコンピュータシミュレーションによって求めた。我々が計算した  $\text{Si}_m\text{Ge}_n$  超格子の  $F(00l)$  の大きさ [3] は

$$F(00l) = [F_{Si} \sum \exp[2\pi i l (s + \frac{1}{4} \frac{d_{Si}}{d_{av}})] + F_{Ge} \exp[2\pi i n' d_{Si} d_{av}] \times \sum \exp[2\pi i l (s + \frac{1}{4} \frac{d_{Ge}}{d_{av}})] \times \sum \exp[2\pi i l (n' + m') s] \quad (4.2)$$

で求められる。ここで、 $F_{Si}$  と  $F_{Ge}$  は、Si と Ge の 1monolayer の散乱強度の (00l) component で、 $m'=m/4$ 、 $n'=n/4$ 、 $d_{av}=(m'd_{Si}+n'd_{Ge})/(m'+n')$  である。これより求めた  $\text{Si}_{12}\text{Ge}_4$  超格子の (004) サテライトの  $l$  次のピーク位置と実際に観察された位置を表4-2にまとめた。

表4-2 (004) サテライトの  $l$  次ピーク位置

$T_{sub}$	first order	second order	third order	forth order
300°C	68.29	63.44	58.36	
350°C	68.33	63.19	58.51	53.67
400°C	68.28	63.45	58.75	
calculated	67.71	62.97	58.35	53.97

これらの結果をみるとほぼ理論値と実際の値が一致している。また、断面 TEM の結果と比較してみると基板温度 300°C のものについてはほぼ理論値に一致しているが、TEM の写真からもわかる様に、あまり層制御がうまくいっていないため高次のサテライトは観察されなかった。基板温度 350°C の試料に関しては、断面 TEM の結果と一致して、等間隔に強い超格子のピークとそのサテライトピークが確認できる。低角度側の  $2\theta=4.16$ 、 $8.33$ 、 $12.33^\circ$

のピークはそれぞれ超格子周期の1次から3次の反射に対応している。サテライトピーク強度は他の試料に比べ強く、層制御性もよく、また界面の急峻性がまだ保たれていることも示唆している。逆に、400°C成長のものは、複数の不規則なピークがみられ、界面のラフネスを象徴しているものと考えられる。

以上の結果から400°Cでの偏析がもっとも強く現れ超格子構造に向いていないが、それより低温で成長を行うことによってある程度の界面の急峻性が得られることがわかった。

#### 4.4 ラマン散乱

図4-7はそれぞれの試料のラマン散乱の結果である。Si/Ge超格子でラマン散乱によって観察されるピークは3つある。それらは300、410-420、520 $\text{cm}^{-1}$ 付近に現れ、それぞれSi-Si、Si-Ge、Ge-Geボンドに対応する。界面が急峻な超格子においては、低波数側に音響フォノンの折り返しによるピークが観察される。また、界面の乱れが小さいほど高次の折り返しモードのラマン強度が強くなる。また界面が乱れるようなミキシングが起これば、Ge-Geモードに対して相対的にSi-Geモードの強度が強くなる。これらの点でラマン散乱の結果を考察して見る。

まず、音響フォノン散乱に関して理想的な界面が作製されているものとして理論的計算を行ってみる。界面が急峻な超格子の音響モードのピークは以下の式で与えられる。

$$\omega_m = \langle v \rangle (qm \mp q) \quad (4.3)$$

ここで $\langle v \rangle$ は超格子内での平均の音速、 $\langle v \rangle = 7089 \text{m/s}$ 、 $qm = 2\pi/t (m=1,2,3,)$ 、 $t$ は超格子の膜厚、 $q = 4\pi\eta/\lambda(1-1/4\eta^2)$ 、 $\eta$ はSiの屈折率、 $\lambda$ は、レーザーの波長である。ここで $q=0$ の時のピーク位置を求めると、

$$\omega_m = \langle v \rangle qm = 2\pi m \langle v \rangle / t \quad (4.4)$$

となる。これより折り返しモードの波数を求めると106、212 $\text{cm}^{-1}$ の位置(図中↓)にピークが現れる。我々の作製した試料においては、300、350°Cの試料でこのモードが観察された。300°Cの試料では極弱いピークしか確認できなかったものの350°Cの試料では108 $\text{cm}^{-1}$ 付近にはっきりと確認できた。これはゾーン折り返し効果が起こっているものと思われ、界面の急峻性もよいことを物語っている。一方、400°Cで作製した試料は、低波数にピークは観測されず界面が乱れていることがわかる。また、この超格子ではGeは弾性的に歪み

を受けている。この量を Ge-Geモードのシフト量から求めてみる。そのシフト量を $\delta\omega$ とおけば、

$$\delta\omega = \frac{p}{2\omega_0}\epsilon + \frac{q}{2\omega_0}(\epsilon_{xx} + \epsilon_{yy}) \quad (4.5)$$

とおける [4][5][6]。ここで $\omega_0$ は Geのバルクの波数 ( $300.6\text{cm}^{-1}$ ) で p、q は現象論的パラメーターである。弾性論的に Geを Siに対してシュードモロフィック成長させた場合の z軸方向への伸び $\epsilon_z$ は、

$$\epsilon_z = \alpha\epsilon \quad (4.6)$$

とあらわされ、 $\alpha$ はポアソン比で 0.75 とおけば $\epsilon_z$ は 3.2%となる。これらから完全に歪んだ Geは  $315\text{cm}^{-1}$  付近にピークが現れる。しかし、界面が乱れて歪みの様子が変わるとそのピーク位置はバルク Geのピーク位置の方へシフトすると考えられる。ここで表 4-3 に各試料の Ge-Geモードのピーク位置を示す。

表 4-3 各試料の Ge-Geモードのピーク位置 ( $\text{cm}^{-1}$ )

Mode	300°C	350°C	400°C	500°C
Ge-Ge	301	301	298	301

この表ではすべて約  $300\text{cm}^{-1}$  付近にピークが現れている。これは閉込め効果によるマイナス側へのシフト [7] と歪みによるシフト量がほぼ同じ値になったため、ほぼバルクと同じ位置にピークが観察されたものと推測される。

図 4-8 は、Ge-Ge と Si-Ge の格子振動モードの強度比を各基板温度でプロットしたものである。Si 中に Ge が析出してくると Si-Ge bond が増加し、強度比は小さくなっていくことから、基板温度  $400^\circ\text{C}$  ぐらいで表面偏析のピークが存在することがわかる。しかしながら  $500^\circ\text{C}$  ぐらいまで基板温度を上昇させるとその偏析の度合いは低温で成長したものに匹敵することがわかる。日立の中川ら [8] も同様な報告をしており、その結果と対応している。また基板温度を低温にすると偏析現象はある程度押さえられるが、結晶性が悪化するため実用的でない。よって  $500^\circ\text{C}$  程度で Si/Ge 超格子を作製する事が望ましいことがわかる。

## 4.5 まとめ

Si/Ge 超格子の界面急峻性を断面 TEM、X 線回折、ラマン分光法にて評価した。これらによって評価されたデータは相関性があり、その傾向は一致した。また、その界面の急峻性は低温成長ほどよく基板温度  $400^\circ\text{C}$  程度がもっとも悪い。しかしながらさらに温度を上げて基板温度  $500^\circ\text{C}$  ぐらいにすると再び低温成長同様に析出が押さえられることがわかった。

以上より、Si/Ge単原子超格子の成長には基板温度が350°C以下か、500°Cぐらいが界面の急峻性にとって好ましいことがわかった。

現在、様々な研究者たちによって、この表面偏析を完全に押さえるための方法が考えられている。

- 表面制御エピタキシー (SAG)
- 水素化物ガスソースの使用

表面制御エピタキシーとはサーファクタントと呼ばれるGeよりもさらに表面偏析の傾向が強い原子(Sb、As、Ga、Bi等)を導入し、これらの原子がGeに代わって表面偏析する事により急峻なSi/Ge界面を得る方法である[9][10]。このようにサーファクタントをGe上に堆積させると表面はサーファクタント原子となりGeはsubsurface的存在となる。さらにこの上にSiを堆積させるとGeはバルクと同じ状態と考えてよくなり、サーファクタントがSi上に偏析してもSi/Ge界面はバルク同様の高いポテンシャル障壁が存在するのでGeはSi中にintermixingする事はない。しかし、この場合はサーファクタント原子の一部が成長膜中に残留する欠点がある。

界面ぼけを防ぐもう一つの有力な方法は材料を固体ではなく、水素化物のガス( $\text{Si}_2\text{H}_6$ 、 $\text{GeH}_4$ )を用いる方法[11]である。これらのガスは基板上で熱分解するとその大量に発生する水素原子がGe表面を覆い、サーファクタントとして働く。ガスソースを使用することによる優位性はほかにも、選択成長が可能、ソース交換の際の大気暴露が必要ない、高温で成長を行うため結晶性がよい、水素原子がSi中のダングリングボンドをターミネートして不活性化するため欠陥を減少させる等々である。

これらの方法が、現在の主流になりつつあり、特にSi、Ge系においては後者のガスソース系が多く用いられるようになっている。



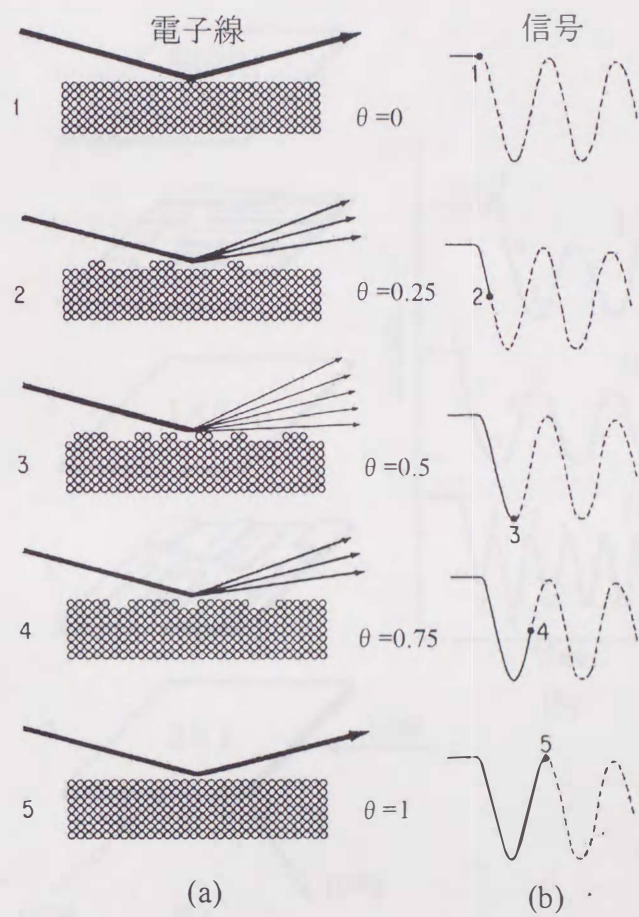


図4-1 RHEED強度振動の弾性散乱モデル<sup>[12]</sup>

(a)成長基板表面状態と電子線の散乱の様子  
 (b)そのときの、光信号強度と被覆率  $\theta$

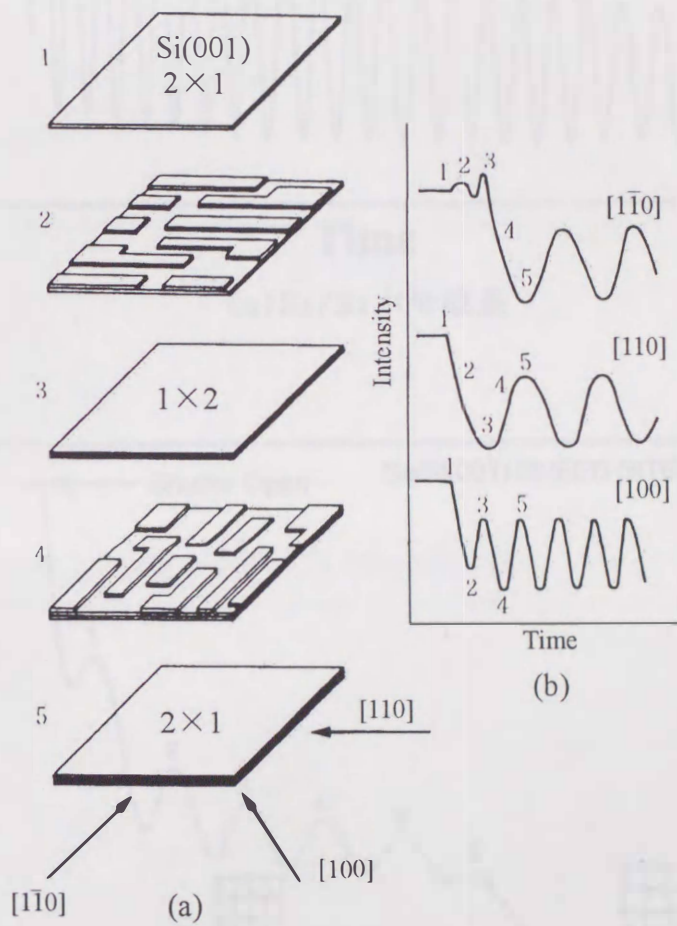
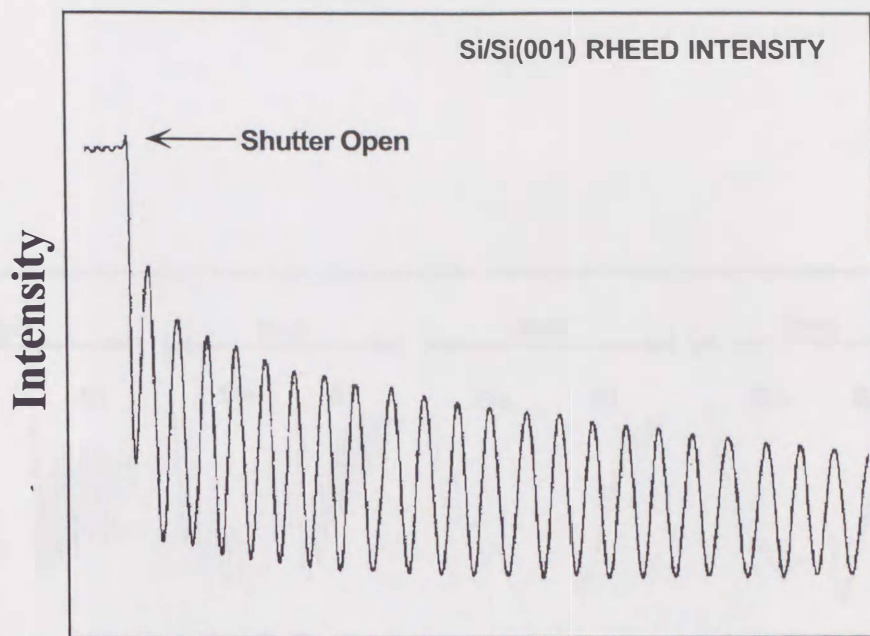


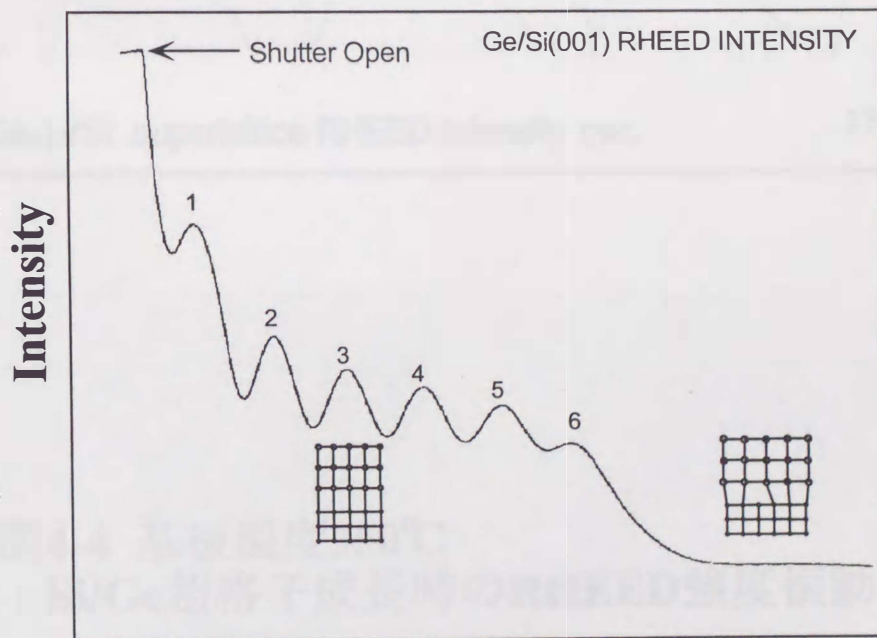
図4-2 Siの成長方式とRHEED振動の電子線入射方向依存性<sup>[13]</sup>

- (a) Si基板上でのSiの成長様式
- (b) そのときの電子線入射方向依存性



Time

(a) Si/Siホモ成長



Time

(b) Ge/Siヘテロ成長

図4-3 Si/SiとGe/Si成長におけるRHEED強度振動

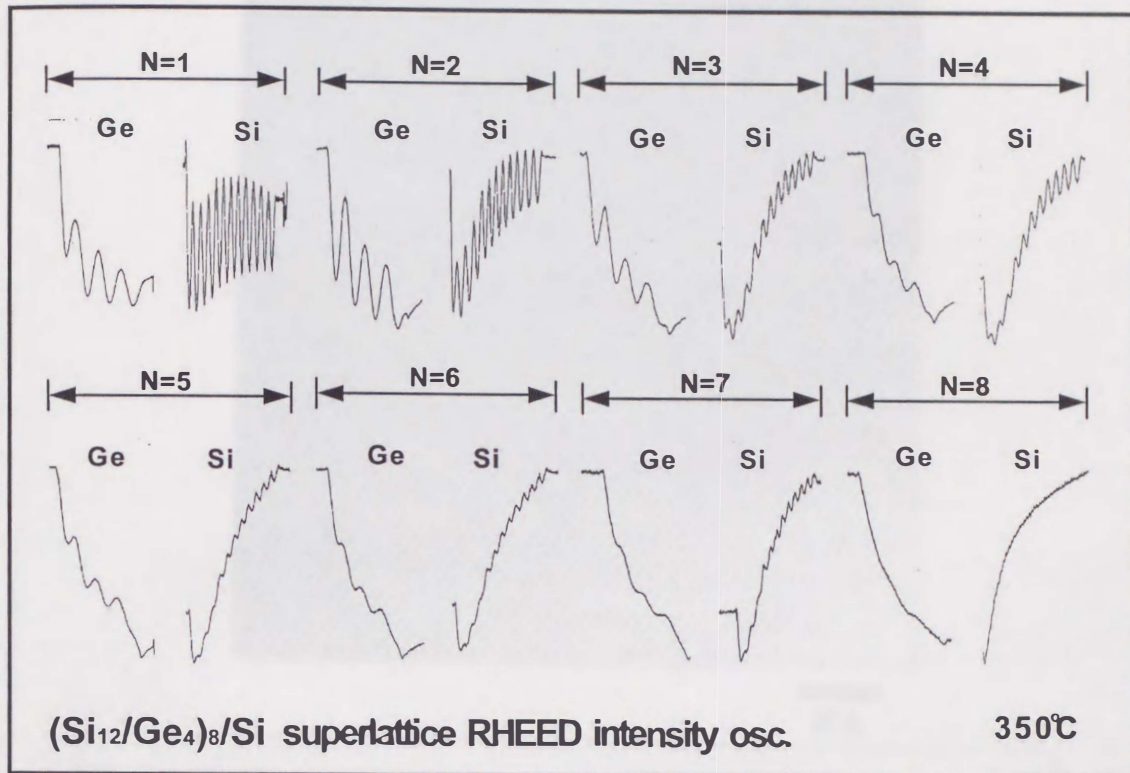
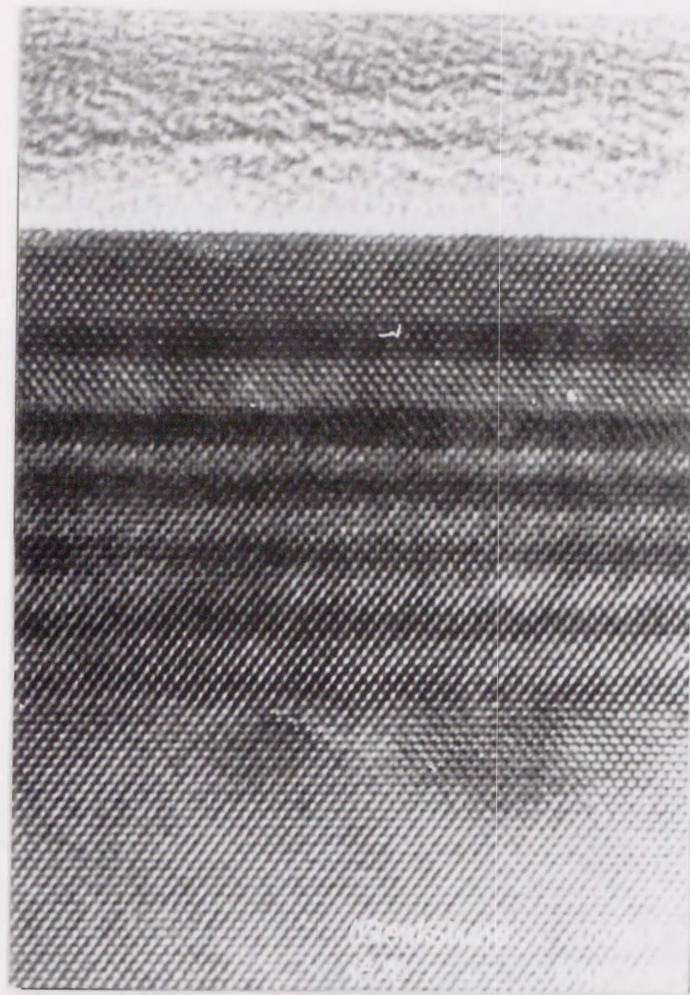
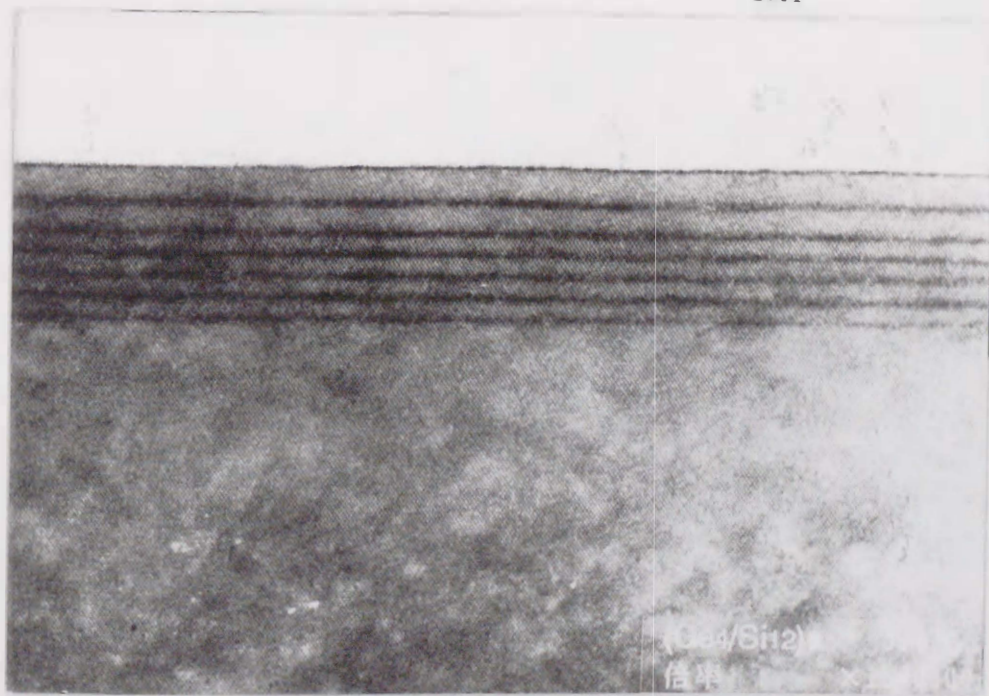


図4-4 基板温度350°C  
 : Si/Ge超格子成長時のRHEED強度振動



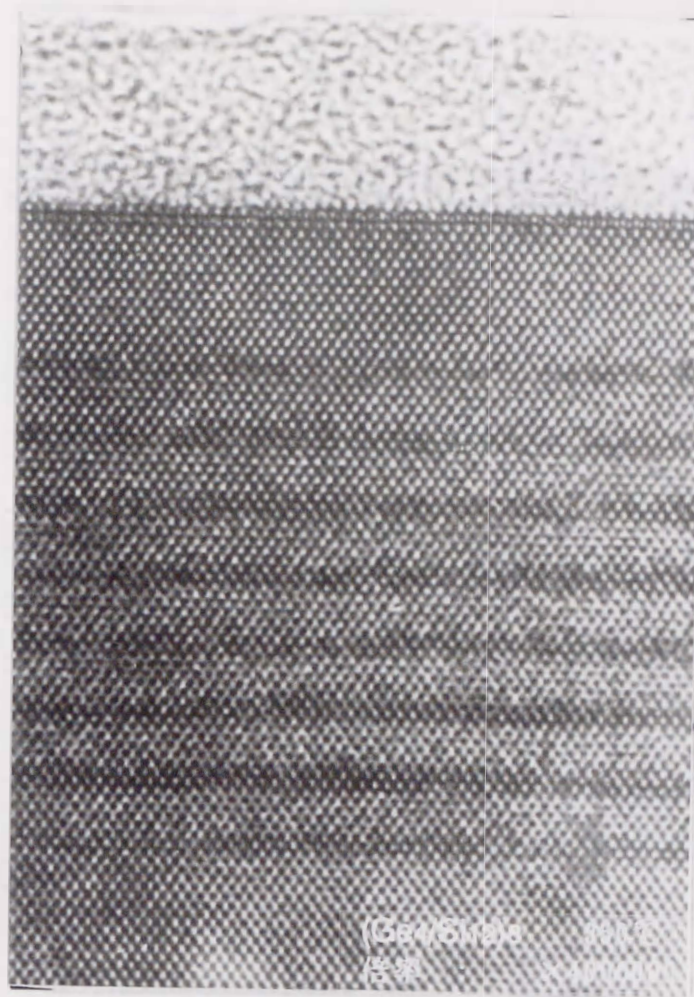
20 Å



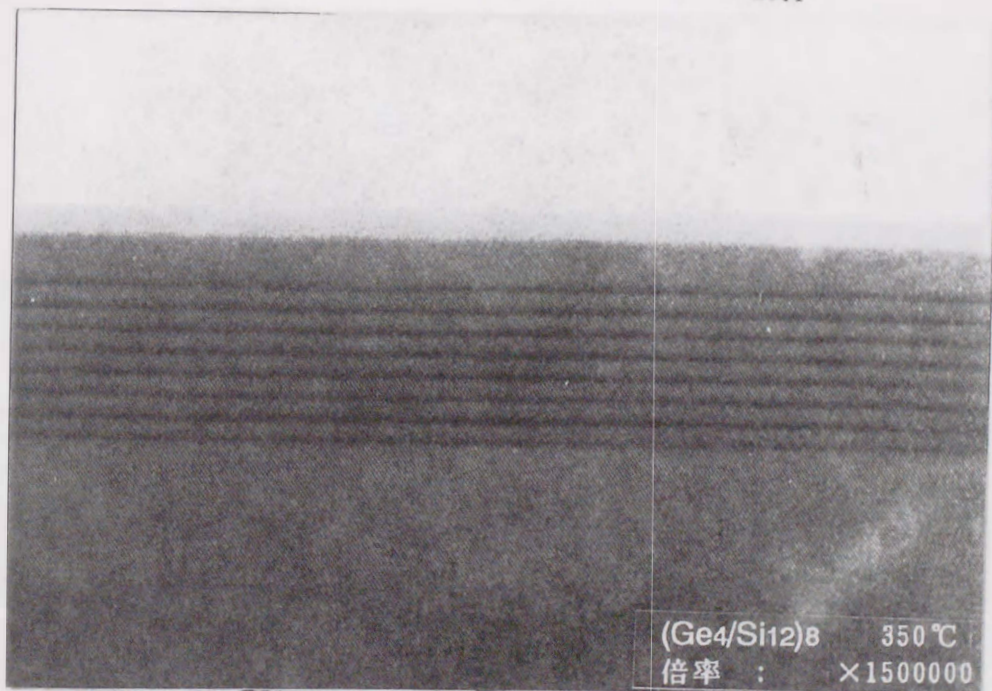
(a) 300°C

100 Å

図4-5 各温度のTEM写真  
 コントラストの濃い部分はGe層



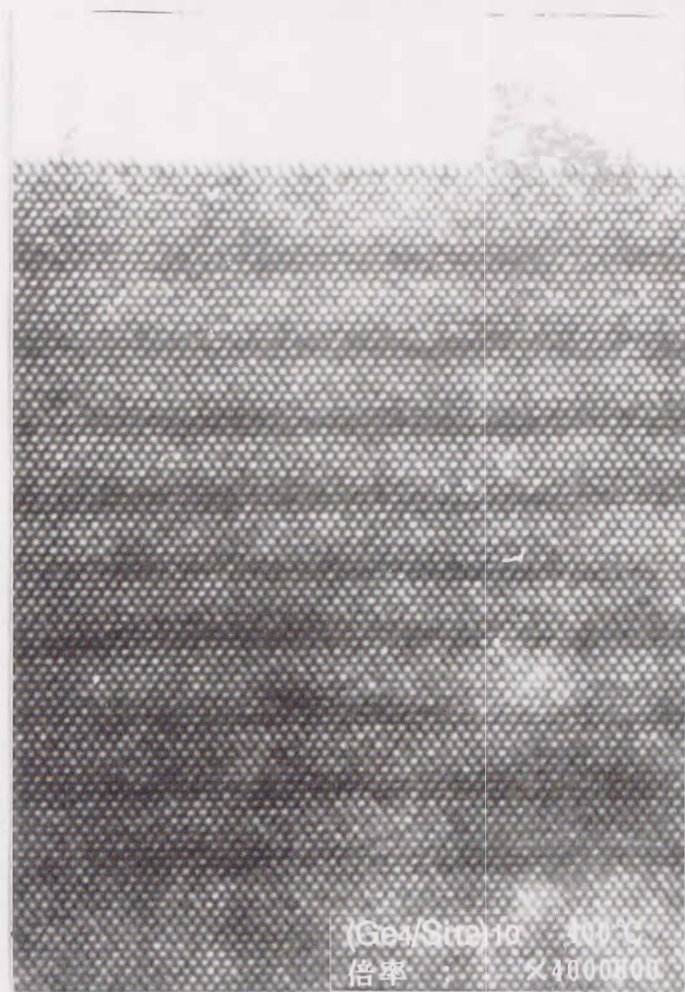
20 Å



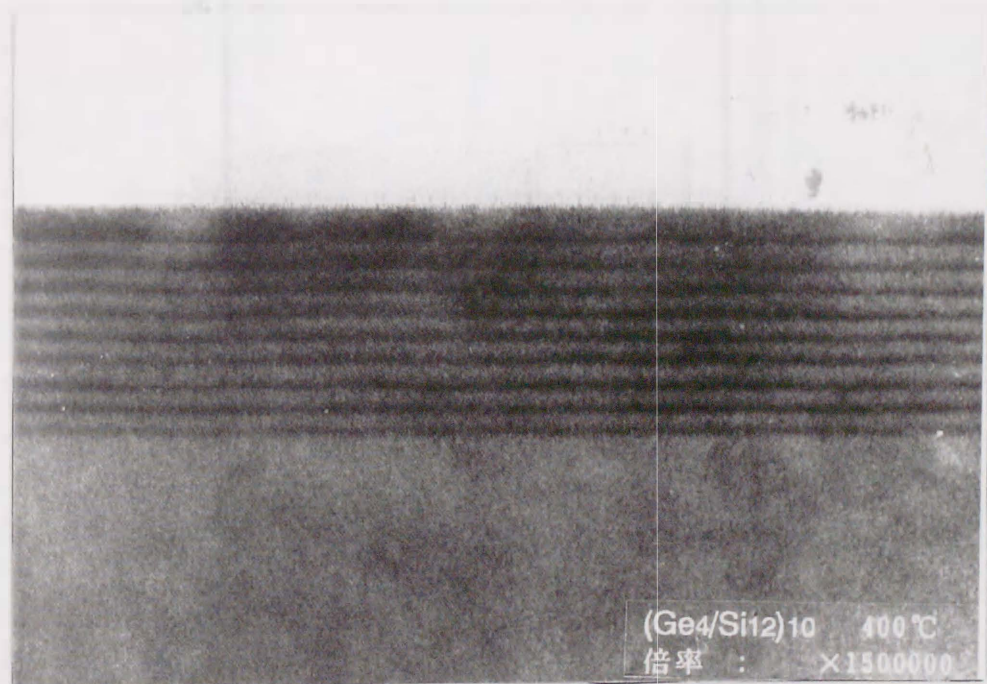
(b)350°C

100 Å

図4-5 各温度のTEM写真  
 コントラストの濃い部分はGe層



20 Å



(c)400°C

100 Å

図4-5 各温度のTEM写真  
 コントラストの濃い部分はGe層

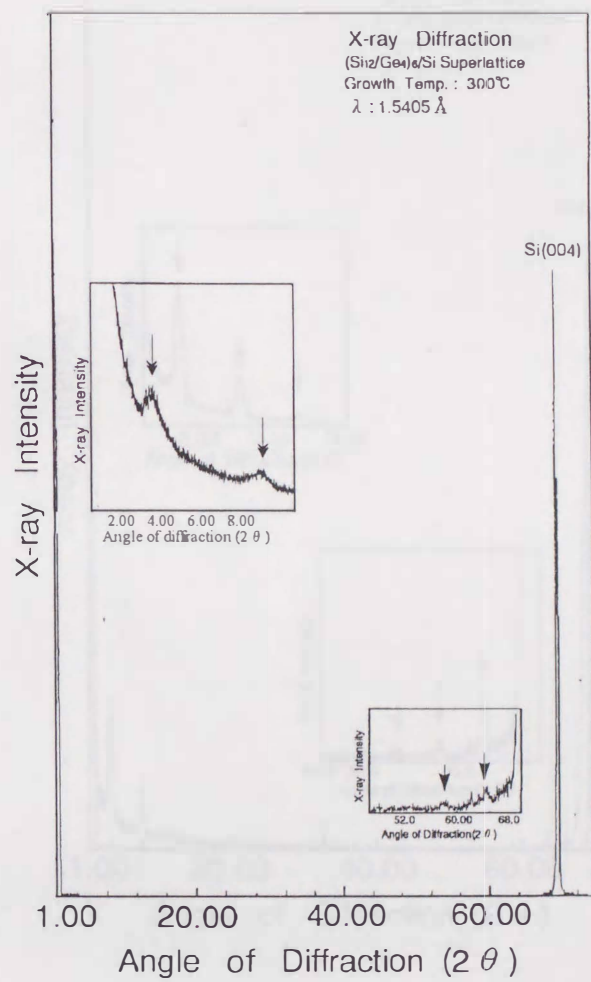


図4-6(a) Si/Ge超格子300°C成長の  
 X線回折パターン



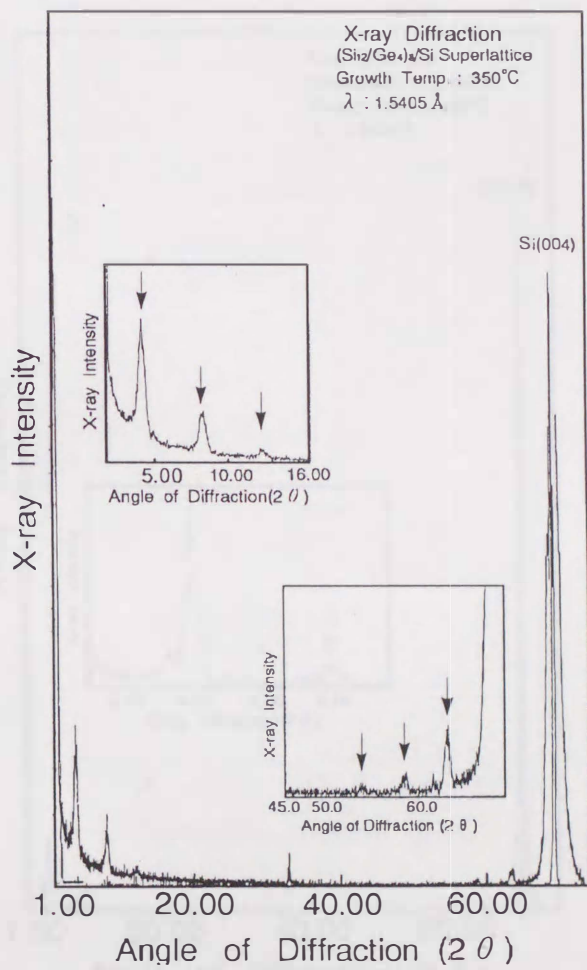


図4-6(b) Si/Ge超格子350°C成長の  
X線回折パターン

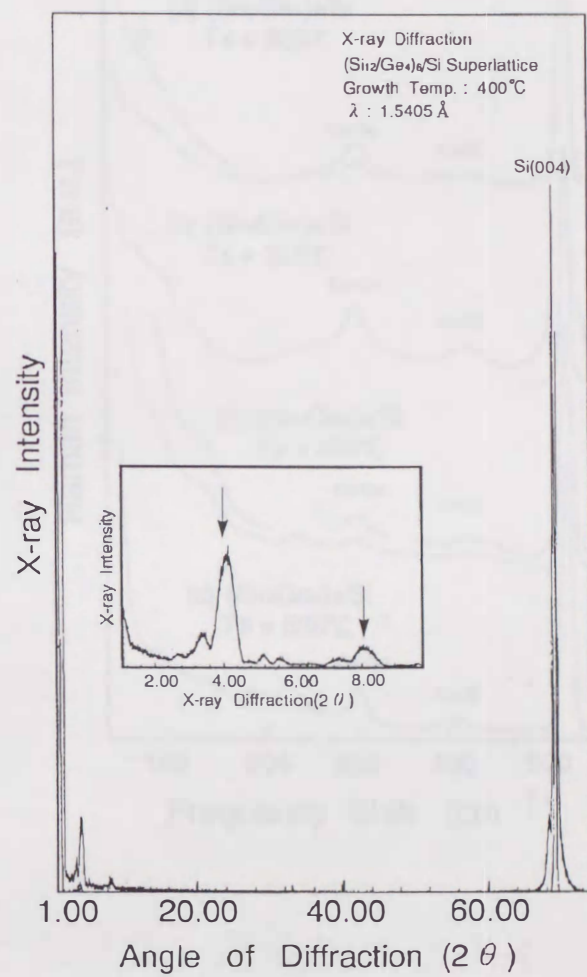


図4-6(c) Si/Ge超格子400°C成長のX線回折パターン

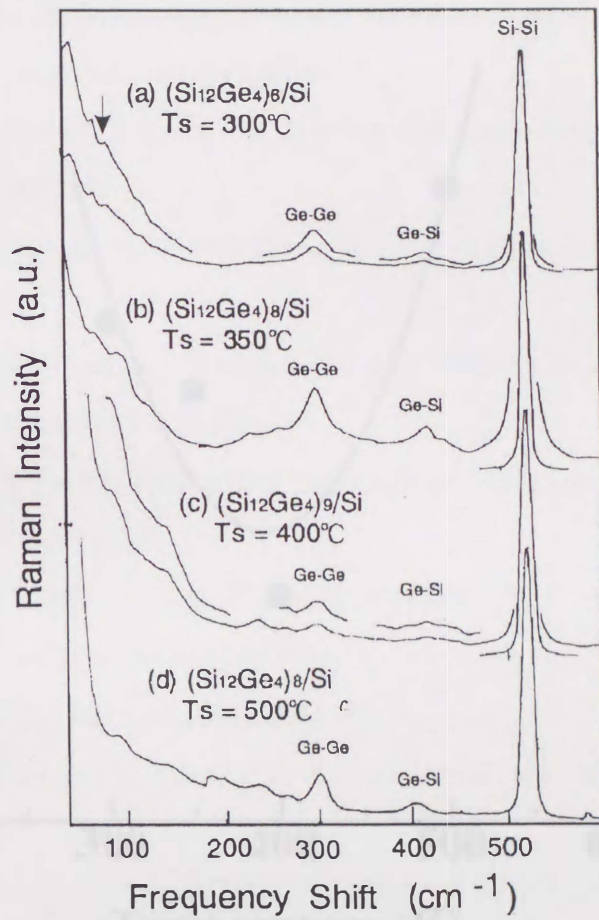


図4-7 各試料のラマン散乱スペクトルにおけるGe-GeとGe-Siモードの強度の比較

図4-7 各試料のラマン散乱スペクトル

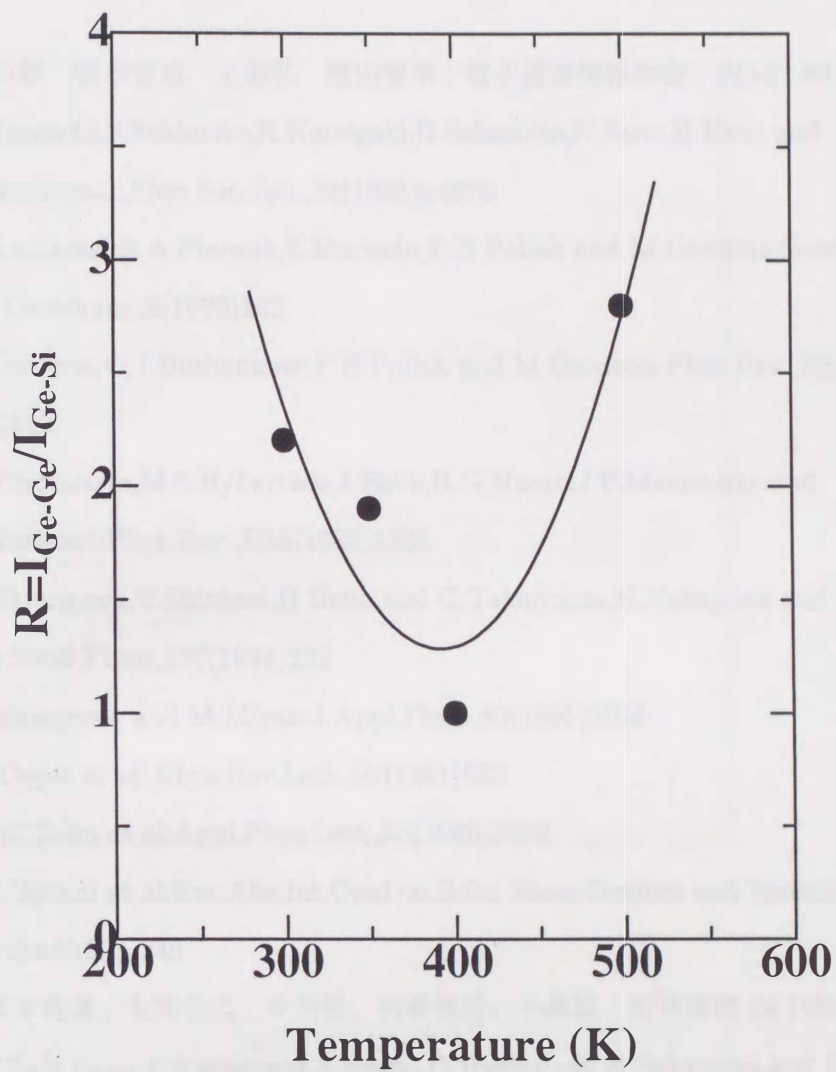


図4-8 図4-7のラマン散乱スペクトルにおけるGe-GeとGe-Siモードの強度の比較

## [参考文献]

- [1] T. Tamagawa, T. Shintani, H. Ueba and C. Tatsuyama: Thin Solid Films, 237 (1994) p282-290
- [2] 玉川勤 新谷哲也 上羽弘 龍山智栄: 電子通信情報学会、ED-91-80,65
- [3] H. Terauchi, S. Sekimoto, K. Kamigaki, H. Sakashita, N. Sano, H. Kato and M. Nakayama: J. Phys. Soc. Jpn., 54(1985)p4576
- [4] E. Anatassakis, A. Pinczuk, E. Burstein, F. H. Pollak and M. Cardona: Solid State Comm., 8(1970)133
- [5] F. Cerderia, C. J. Buchenauer, F. H. Pollak and M. Cardona: Phys. Rev., B5 (1972)580
- [6] G. P. Schwartz, M. S. Hybertsen, J. Bevk, R. G. Nuzzo, J. P. Mannaerts and G. J. Gualtieri: Phys. Rev., B38(1989)1235
- [7] T. Tamagawa, T. Shintani, H. Ueba and C. Tatsuyama, K. Nakagawa and M. Miyao: Thin Solid Films, 237(1994)282
- [8] K. Nakagawa and M. Miyao: J. Appl. Phys., 69(1991)3058
- [9] M. Copel et al.: Phys. Rev. Lett., 59(1991)632
- [10] P. C. Zalm et al: Appl. Phys. Lett., 55(1989)2520
- [11] N. Ohtani et al: Ext. Abs. Int. Conf. on Solid State Devices and Materials (Makuhari1993)249
- [12] 坂本統徳、太田公広、中川格、河合直行、小島猛: 応用物理 54 (1985)698
- [13] T. Sakamoto, T. Kawamura, S. Nagao, G. Hashiguchi, K. Sakamoto and K. Kuniyoshi: J. Cryst. Growth., 81(1987)59

## 第5章

# Si<sub>0.7</sub>Ge<sub>0.3</sub>混晶層の成長と評価

ヘテロ構造の持つ問題点は格子不整合に起因する結晶性の悪化である。Siをチャンネル（活性層）とする SiGe/Si/SiGe チャンネル構造を動作させるためには、Si基板上に高品質な SiGe層を作製する必要がある。我々は、その格子不整合を吸収する働きをするバッファ層として、傾斜型 Si/Ge 短周期超格子を用いる方法を提案し、他のバッファ層と比較検討した[1][2]。

### 5.1 試料の作製方法

我々は4つの種類のバッファ層と、バッファ層のない試料を作製し、その効果を比較検討した。作製した試料は図5-1の通りで膜厚は全体で約500nmとし、評価はX線回折、フォトルミネッセンス、断面TEMによって行った。また基板温度は550°C、550°C + 750°C anealing、750°Cの3つパラメータを選択した。

1. バッファ層なし (without buffer) :  $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層 (500nm)
2. 一段階バッファ層 (one step) :  $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層 (200nm)/ $\text{Si}_{0.9}\text{Ge}_{0.1}$ 層 (300nm)
3. 二段階バッファ層 (two step): $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層 (200nm)/ $\text{Si}_{0.8}\text{Ge}_{0.2}$ 層 (150nm)/ $\text{Si}_{0.9}\text{Ge}_{0.1}$ 層 (150nm)
4. 傾斜型超格子バッファ層 (graded SIs): $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層 (300nm)/傾斜型 (Si/Ge) 超格子層 (200nm)

最上層の  $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層の臨界膜厚は 60nm 程度であるので十分に歪みを緩和するであろう条件となっている。また、超格子のみ前章での結果をふまえ、500°Cで成長させた。

ちなみに  $(\text{Si}_m/\text{Ge}_n)_N$ 傾斜型超格子バッファ層の構成を表5-1に示しておく。

表5-1 傾斜型 Si/Ge 超格子バッファ層の構成

超格子は組成の小さいところから、各組み合わせごとに  $N=11$  回繰り返し、段階的に組成を増加させ成長している。

組成比	$\text{Si}_m$	$\text{Ge}_n$
0.077	12	1
0.09	10	1
0.1	9	1
0.133	13	2
0.153	11	2
0.181	9	2
0.2	8	2
0.222	7	3
0.23	10	3
0.25	9	3
0.273	8	3
0.3	7	3

また、ここで作製した試料を表5-2に示す。

表5-2 作製した試料

\* Geがアイランド化し、超格子の成長ができなかった。

試料名	550°C	550°C+annealing	750°C
A(Without buffer)	○	○	○
B(One step)	○	○	○
C(Two step)	○	○	○
D(Graded Sls)	○	○	× *

## 5.2 X線回折

基板温度 550°C で成長させた試料の X 線回折測定の結果を図 5-2 に示す。各サンプル名の A~D は、それぞれバッファ層なし、1 段階、2 段階、傾斜型超格子バッファ層を持つ試料に対応している。Si 基板に由来するピークのほかに各々の試料構造に起因するピークが確認できる。ここで最上層の  $\text{Si}_{0.7}\text{Ge}_{0.3}$  層のピークと XPS によって求めた組成比から膜中の残留歪みを求めた。X 線回折において Si(001) 基板に由来する  $2\theta=69.13$  と  $69.33^\circ$  の 2 つピークと  $\text{Si}_{0.7}\text{Ge}_{0.3}$  層とバッファ層に由来するピークが観測される。(004) 回折ピークにおいては  $K\alpha_1$  と  $K\alpha_2$  に対応するピークが現れ、低角度側の  $K\alpha_1$  によるピークを評価の対象にしている。550°C で成長させた  $\text{Si}_{0.7}\text{Ge}_{0.3}$  層のピーク位置をみる。試料 A1 では  $2\theta=68.15^\circ$  ( $d_{\text{XRD}}=5.499\text{\AA}$ )、試料 B1、C1 ではそれぞれ、 $2\theta=68.79^\circ$  ( $d_{\text{XRD}}=5.513\text{\AA}$ )、 $68.80^\circ$  ( $d_{\text{XRD}}=5.508\text{\AA}$ ) にピークがみられ、それと Si(004) ピークとの間にバッファ層によるピークが観測された。試料 D1 では  $2\theta=68.17^\circ$  ( $d_{\text{XRD}}=5.498\text{\AA}$ ) にピークが観測され、 $\square$  の範囲で超格子に由来すると思われるブロードなピークが存在している。歪みのない SiGe 薄膜においての格子定数  $d_V$  はベガード則に従うとすれば、

$$d_V = d_{\text{Si}} + (d_{\text{Ge}} - d_{\text{Si}})x \quad (5.1)$$

で表される。ここで、 $d_{\text{Si}} = 5.4307\text{\AA}$  and  $d_{\text{Ge}} = 5.6579\text{\AA}$  で、それぞれ Si と Ge の格子定数である。Ge 組成は前もって、XPS によって Ge-3d と Si-2p の比較を行うことによって求めた。 $\text{Si}_{0.7}\text{Ge}_{0.3}$  層が成長方向に対して残留歪み量  $\varepsilon_{\perp}$  は、

$$\varepsilon_{\perp} = \frac{d_V - d_{\text{XRD}}}{d_V}, \quad (5.2)$$

で求められる。この式を使って 550°C 成長の各試料 A1~D1 の残留歪み量を求めると、 $\varepsilon_{\perp}=0.00$ 、 $-0.11$ 、 $-0.16$ 、 $-0.15$  となる。このマイナス符号は  $\text{Si}_{0.7}\text{Ge}_{0.3}$  層が成長方向に伸び、面内に圧縮されていることを表している。以上の計算結果を表 5-3 に示す。



表 5-3 X線回折による試料内の残留歪み

ここで (a) は 550°C 成長、(b) は 550°C+750°C annealing、(c) は 750°C 成長したものである。

Sample	$x$	$d_{\text{XPS}}(\text{\AA})$	$d_{\text{XRD}}(\text{\AA})$	$\epsilon_{\perp}(\%)$
A1	0.30	5.499	5.499	0.00
B1	0.32	5.503	5.513	-0.11
C1	0.30	5.499	5.508	-0.16
D1	0.26	5.490	5.498	-0.15

(a)

Sample	$x$	$d_{\text{XPS}}(\text{\AA})$	$d_{\text{XRD}}(\text{\AA})$	$\epsilon_{\perp}(\%)$
A2	0.31	5.501	5.499	0.04
B2	0.33	5.506	5.506	0.00
C2	0.30	5.499	5.496	0.05
D2	0.29	5.497	5.495	0.04

(b)

Sample	$x$	$d_{\text{XPS}}(\text{\AA})$	$d_{\text{XRD}}(\text{\AA})$	$\epsilon_{\perp}(\%)$
A3	0.28	5.494	5.495	0.02
B3	0.32	5.503	5.505	-0.04
C3	0.31	5.501	5.499	0.04

(c)

これらのデータをみると高温のアニール及び、高温で成長したものは残留ひずみがみられない。ところが低温成長だと残留ひずみが残っており、しかもバッファ層のあるものにそれは限られている。特に2段階にバッファ層を積んだものと超格子構造のものは歪みが多く残っている。このことはバッファ層上に成長した  $\text{Si}_{0.7}\text{Ge}_{0.3}$  層においては単純に Si 基板上での臨界膜厚が適応できないことを示している。Si(001) 基板上における  $\text{Si}_{1-x}\text{Ge}_x$  薄膜の臨界膜厚は、Peopleら [3] によると (図 5-3)  $x=0.1, 0.2, 0.3$  の時、それぞれ  $1.0\mu\text{m}$ 、180、60nm であることから各試料の  $\text{Si}_{0.7}\text{Ge}_{0.3}$  層の膜厚はそれを大きく上回っている。これは各試料に存在する界面での格子不整合が、実質小さくなるために転位によって効率よく歪みの緩和ができず、臨界膜厚が大きくなっているものと推測される。

### 5.3 フォトルミネッセンス

フォトルミネッセンス法によって試料を評価した結果が図 5-4 である。

$\text{Si}_{1-x}\text{Ge}_x$  薄膜においてはその Ge 組成の増加につれ、エネルギーギャップ  $E_g$  は低エネルギー側にシフトしていく。だいたい  $x=0.85$  あたりでその遷移状態が Xバンドから Lバンドに変わるため直線的に小さくなる。J.Weber[4] らは SiGe のエネルギーギャップ  $E_g$  と組成比の関係を求めた (図 2-6 参照)。ここで求められる  $E_g$  と、フォノンを介さない自由励起子 (FE) のエネルギー値は同じであることから、この式を利用して  $\text{Si}_{0.7}\text{Ge}_{0.3}$  の FE のピーク位置を計算すると、 $E=1.03\text{eV}$  となる。しかしこれは、バルク Si からのピークの一部と同じ位置であるので分離が困難である。

Bulk Si においては  $1.1\text{eV}$  前後にエネルギーギャップに起因する FE スペクトルが現れる。また N.A.Drozov[5] によると Si 基板に転位が発生するとそれに起因したスペクトルが現れることを報告している。液体ヘリウム温度において、Si 基板内に転位が存在すると D-line と呼ばれる  $0.812$ 、 $0.875$ 、 $0.934$  と  $1.00\text{eV}$  の 4 つのエネルギー位置にスペクトルが現れ、非常に強い強度を示す。これらのスペクトルは低エネルギー側から D1、D2、D3、D4 と呼ばれている。さらに R.Sauer[6] らは新しいスペクトルとして D12 ラインと D5、D6 ラインと定義している。D12 は D1 と D2 の間に存在し、 $0.844\text{eV}$  のエネルギー値をとる。この起源は、一軸性応力によるものとしている。また D5 ( $0.953\text{eV}$ )、D6 ( $1.012\text{eV}$ ) はそれぞれ TEM の結果などから直線転位や積層欠陥に由来するものとしている。

低温で成長した試料はバッファ層なしの試料をのぞいていわゆる D-line が強く現れている。また D1 と D2 の間には残留歪みに起因すると思われる D12 もみられる。バッファ層のない試料は D-line がかなり小さくなっており、格子不整合による歪みのエネルギーが主に SiGe 層に解放されていることがわかる。反対にその他の試料は SiGe 層ですべての歪みが解放されず、収容された形となっているのでそれによって Si 基板 (SiGe/Si 界面近傍) にも応力が及んでいるものと考えられる。また成長プロセスがある界面までが臨界膜厚以内で、それ以降の成長過程で歪みのエネルギーを解放する形となっているため、その時の応力によって Si 基板側界面にもいくらかの転位がみられる。しかしながら  $550^\circ\text{C}$  の成長に続いて高温の熱処理を行ったり、高温で成長を行うと歪みに起因した D-line は消滅する。また超格子をバッファ層として用いているものに関しては基板界面での再結晶化によって結晶性が改善されているためか、D-line は非常に弱くなっている。

## 5.4 透過型電子顕微鏡

断面TEMを用いて試料の断面構造を観察、評価した。これにより基板側から表面へ導入される貫通転位の様子を観察し、バッファ層の効果を視覚的に比較する事ができる。

図5-5(a)~(d)はいくつかの試料のTEM写真である。TEM観察ができなかった試料は省いてある。バッファ層のない試料(図5-5(a))は主にSiGe層中に多くの転位が観察された。しかしながらSi基板中にはほとんど存在していない。これはSiGe層が臨界膜厚に達して効率よく歪みを転位の導入によって解放していることを示しており、X線回折の結果と一致している。その他のバッファ層のある試料についても考察してみる。

図5-5(b)は、One stepバッファ層を持つ試料のTEM写真である。まず、低温で成長した試料について考察する。転位は試料全体に観察されるが、その数はバッファ層のない試料に比べ明らかに少ない。また歪みに起因するコントラスト、表面のうねりが観察される。また基板側にも転位がいくつか観察された。これらの結果からX線回折の結果同様に歪みが残留していることがわかる。また、格子不整合においては、 $\text{Si}_{0.9}\text{Ge}_{0.1}$ バッファ層と $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層間の値がバッファ層と基板間の値よりも大きくなるので、

1.  $\text{Si}_{0.9}\text{Ge}_{0.1}$ バッファ層成長中は、臨界膜厚以内であるので転位は発生していない。
2. しかし、 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層成長中に下の $\text{Si}_{0.9}\text{Ge}_{0.1}$ バッファ層がSi基板界面との間に転位を導入するのに必要なエネルギーを越えてしまうので、バッファ層はほぼバルクに近い格子定数をとることになる。
3. すると $\text{Si}_{0.9}\text{Ge}_{0.1}$ バッファ層とその上の $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層の間にはSi基板とバッファ層の界面に存在するものよりも大きな格子不整合が発生してしまうため、最上層である $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層が臨界膜厚を越えた時点で転位が導入されてしまう。

というプロセスが起こっていると推測される。高温でアニール及び、成長した試料も同様である。このことからこのバッファ層を持つ構造は薄いと歪みを持ち、厚いと転位を導入してしまうため理想的なカタチとはなっていないと思われる。

図5-5(c)は、two stepバッファ層を持つ試料のTEM写真である。この試料は前記のOne stepバッファ層を持つ試料に似ている。転位はバッファ層のない試料に比べ、はっきりと転位の数も少なく、また、最上層への転位の貫通もない。これは歪みのエネルギーを一気に解放せず、2段階に分けて徐々に転位を走らせているため最上層への転位の

発生が押さえられていると思われる。また界面より発生した転位は次の界面で互いに反応してループを作製するため、さらに効果的になっている。しかしながら、各界面近傍には歪みによるコントラストが現れていることから残留歪みの存在が考えられ、X線回折の結果とも一致している。しかも第2バッファ層である  $\text{Si}_{0.8}\text{Ge}_{0.2}$  層以上はその直下の層との格子不整合が変わってそれと共に臨界膜厚が大きくなるため、歪みが完全に緩和せず残留歪みが他の試料に比べて大きくなっているが、この結果は第2層以上に転位が非常に少ないことに一致している。そのためこの後アニールを行うと歪みの緩和と共に転位が導入されるが、アニール効果により結晶性が回復している。

図5-5(d)は傾斜型超格子バッファ層を持つ試料のTEM写真である。超格子をバッファ層に持つ試料は、これまでの試料とその様相は異なっている。550°C成長、550°C成長+750°Cアニールの両試料共に、超格子中に転位が集中し、その上の  $\text{Si}_{0.7}\text{Ge}_{0.3}$  層内には転位が観察されなかった。低温成長ものは基板側にも転位がみられるが、それにアニール処理を行うと結晶性がよくなって転位が消滅している。ほとんどの転位が超格子/Si基板界面に局在しており、 $\text{Si}_{0.7}\text{Ge}_{0.3}$  層上にSiチャネルを作製するデバイス構造にとって好ましい状況になっている。

超格子作製中はSi基板と格子整合して成長するのでGe層は大きな歪みを内包する。超格子に続いて  $\text{Si}_{0.7}\text{Ge}_{0.3}$  層を成長し始めると臨界膜厚でSi基板界面から転位が導入されるが、その転位はSi/Ge界面の大きな応力（この超格子構造においてはSi/Ge界面という最大で4.2%の格子不整合が存在する為、界面での歪みのエネルギーはこれまでの試料に比べ格段に大きい）によって曲げられ、ミスフィット転位に変わりそれがさらに他の転位と反応して閉ループを作製する。また反応に関与しなかった転位もそのさらに表面側の超格子内で同様に反応するため、ほとんどの転位が超格子内に収容される。またこの超格子は、 $(\text{Si}_m\text{Ge}_n)_N$  構造でSiとGeの比率 ( $x_{SL} = \frac{n}{m+n}$ ) を  $\text{Si}_{1-x}\text{Ge}_x$  のGe組成  $x$  とリンクするようにして徐々に  $x_{SL}$  を大きくしていくという操作を行っているので、転位が発生してバルクの  $\text{Si}_{1-x}\text{Ge}_x$  の格子定数になってもマクロ的にみると数層のSiGe層が積層しているように見える。よって、極端な話になるが、Si基板と超格子、超格子と最上層との各々の界面での格子不整合は存在しないと考えることができる。このことから考えても超格子を利用した転位の抑制層は非常に効果的であることがわかる。

他のバッファ層を持つ試料同様に、低温における成長では歪みによるコントラストが多少みられ、残留歪みが存在することがわかる。しかし、その後、アニール処理を行う

ことによって残留歪みは緩和され、またアニール効果によって初期の超格子層は混晶化しており（超格子/混晶層/Si基板）構造を構成している。これによって超格子/Si基板界面における転位は消滅し、転位が導入される界面位置が表面側へシフトしている。また、最上層の $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層には転位がみられず、表面も非常にスムーズである。この効果は超格子層の膜厚が200nmと非常に薄いことから考えても、傾斜型バッファ層の効果は、大変大きいと思われる。

## 5.5 まとめ

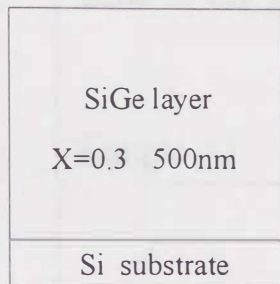
ここで理想的な転位抑制層の役割について考えてみる。その条件は

1. Si基板界面より導入される転位を抑制層内で効果的に反応させる。
2. 発生した転位はできるだけ基板界面に近いところに局在させる。
3. 抑制層とSi基板、SiGe層界面の格子不整合はできるだけ小さくする。
4. SiGe層成長中に転位を導入する形をとるように膜厚を決定する。
5. タスク時間を減らす為に、できるだけ薄い膜厚で効果的であること。

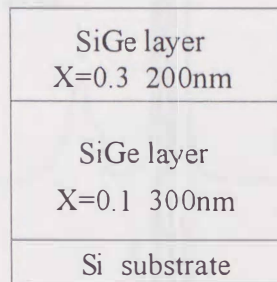
等があげられる。

我々が考案した超格子を用いた転位の抑制層はこれらの条件を十分に満たしていると考えられ、今後最上層に当たる $\text{Si}_{1-x}\text{Ge}_x$ 層上でのデバイスの開発に有用であると考ええる。

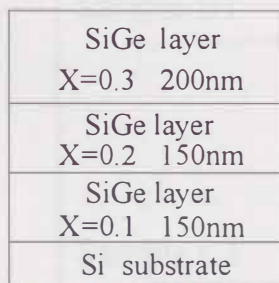
尚、一般にはGe組成を連続的に変化させる傾斜型バッファ層を導入する場合が多い[7][8][9]。この傾斜型バッファ層に対する傾斜型超格子バッファ層の利点は、まず薄い膜厚で効果があることである。傾斜型バッファ層で $2\mu\text{m}$ 程度の膜厚が必要となってくるが、超格子バッファ層ではその10分の1で効果がみられる為、成長に要する時間が短くてすむ。



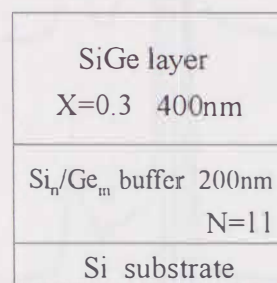
(a)



(b)



(c)



(d)

$$\frac{(\text{Si}_7/\text{Ge}_3) \times N}{(\text{Si}_8/\text{Ge}_3) \times N}$$

$$\vdots$$

$$\frac{(\text{Si}_{10}/\text{Ge}_1) \times N}{(\text{Si}_{12}/\text{Ge}_1) \times N}$$

図5-1 作成した試料

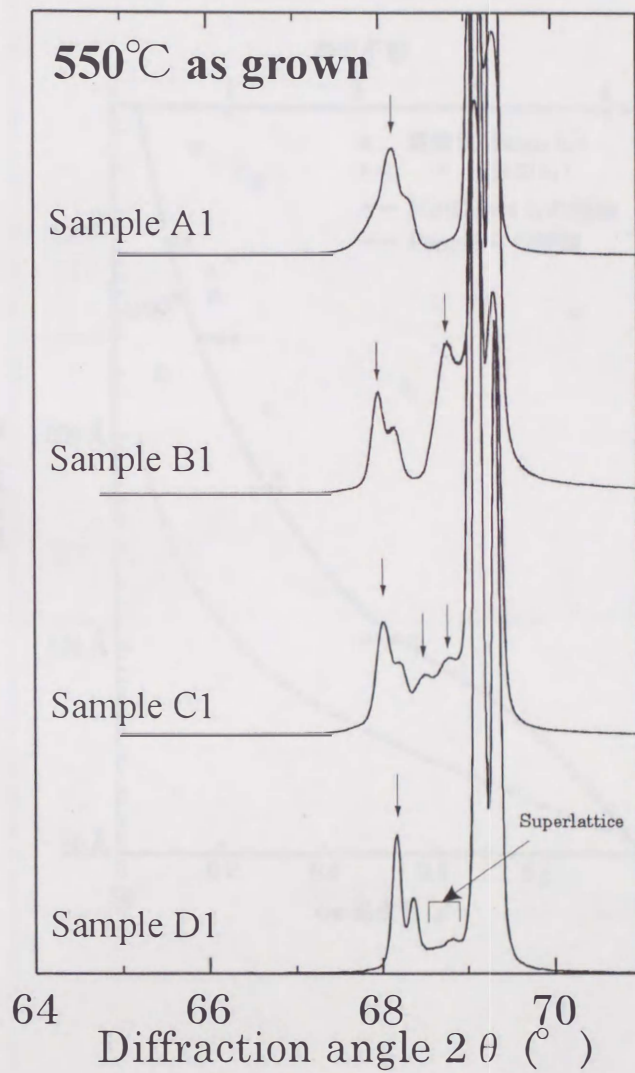


図5-2 550°Cで成長した試料のX線回折による評価  
 矢印は、各 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 層に由来するピーク。

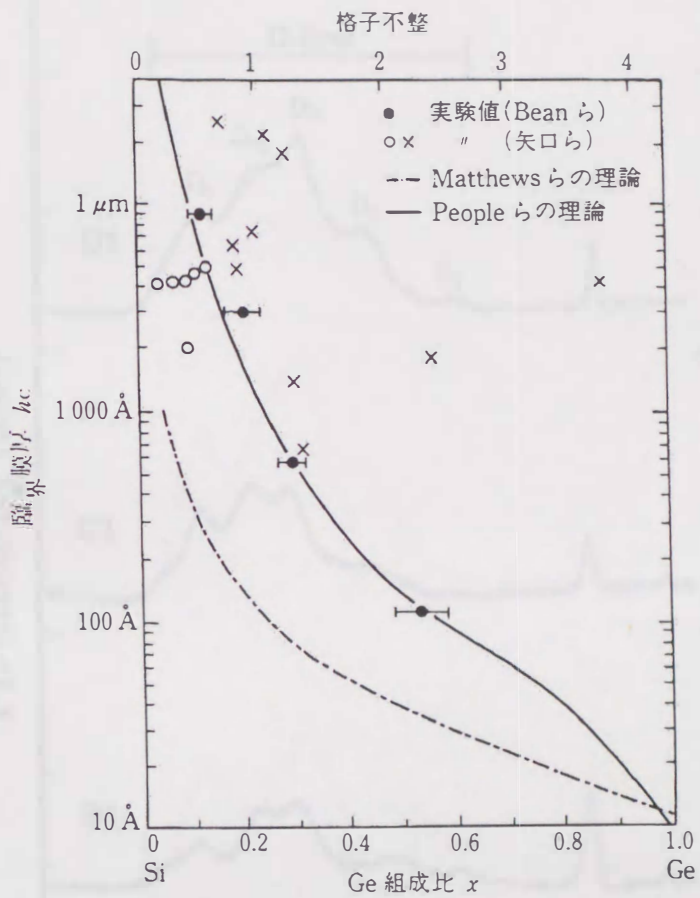


図5-3  $\text{Si}_{1-x}\text{Ge}_x$  の臨界膜厚<sup>[3]</sup>



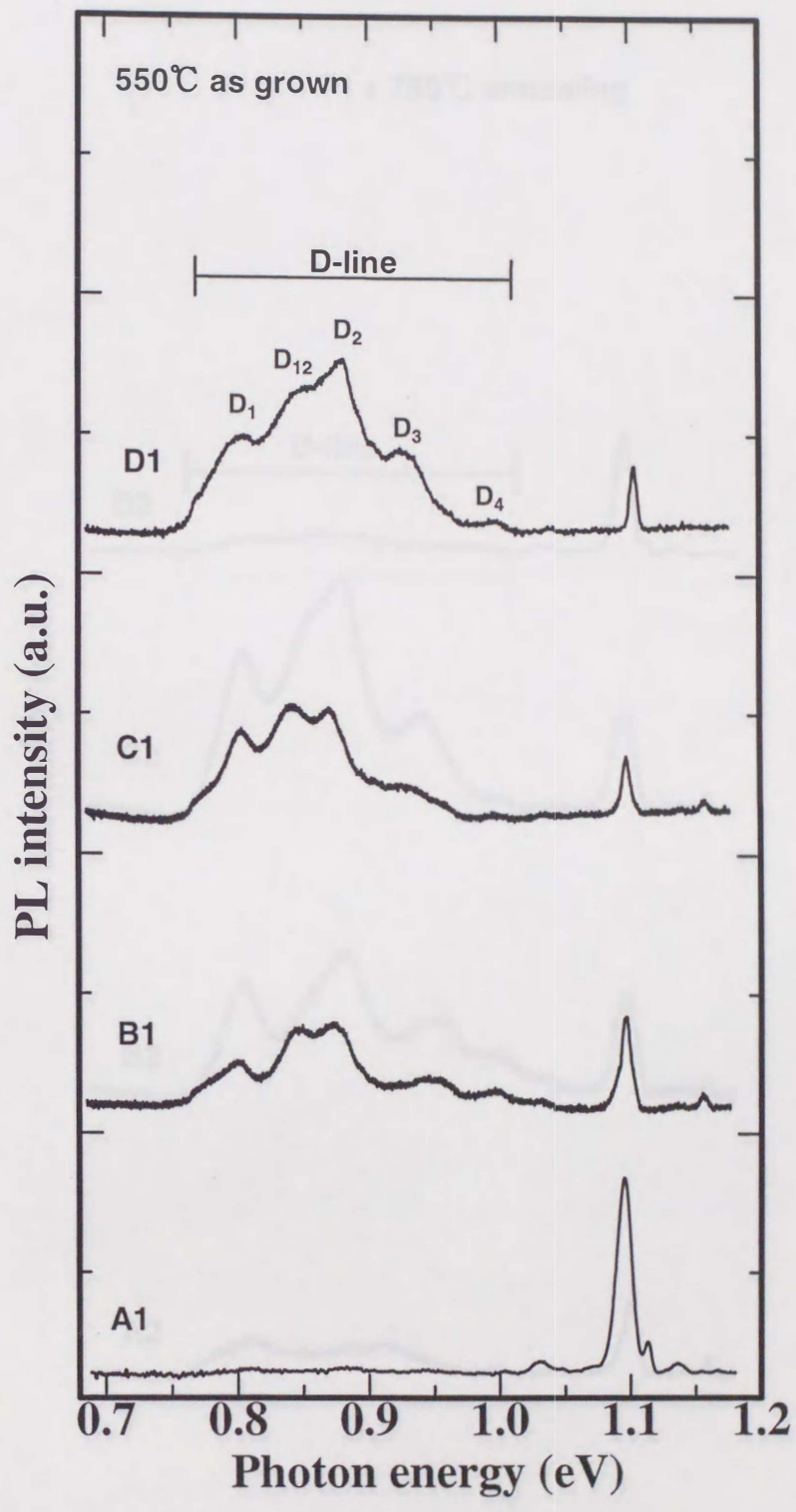


図5-4(a) 基板温度 550°C 成長の  
 フォトルミネッセンススペクトル

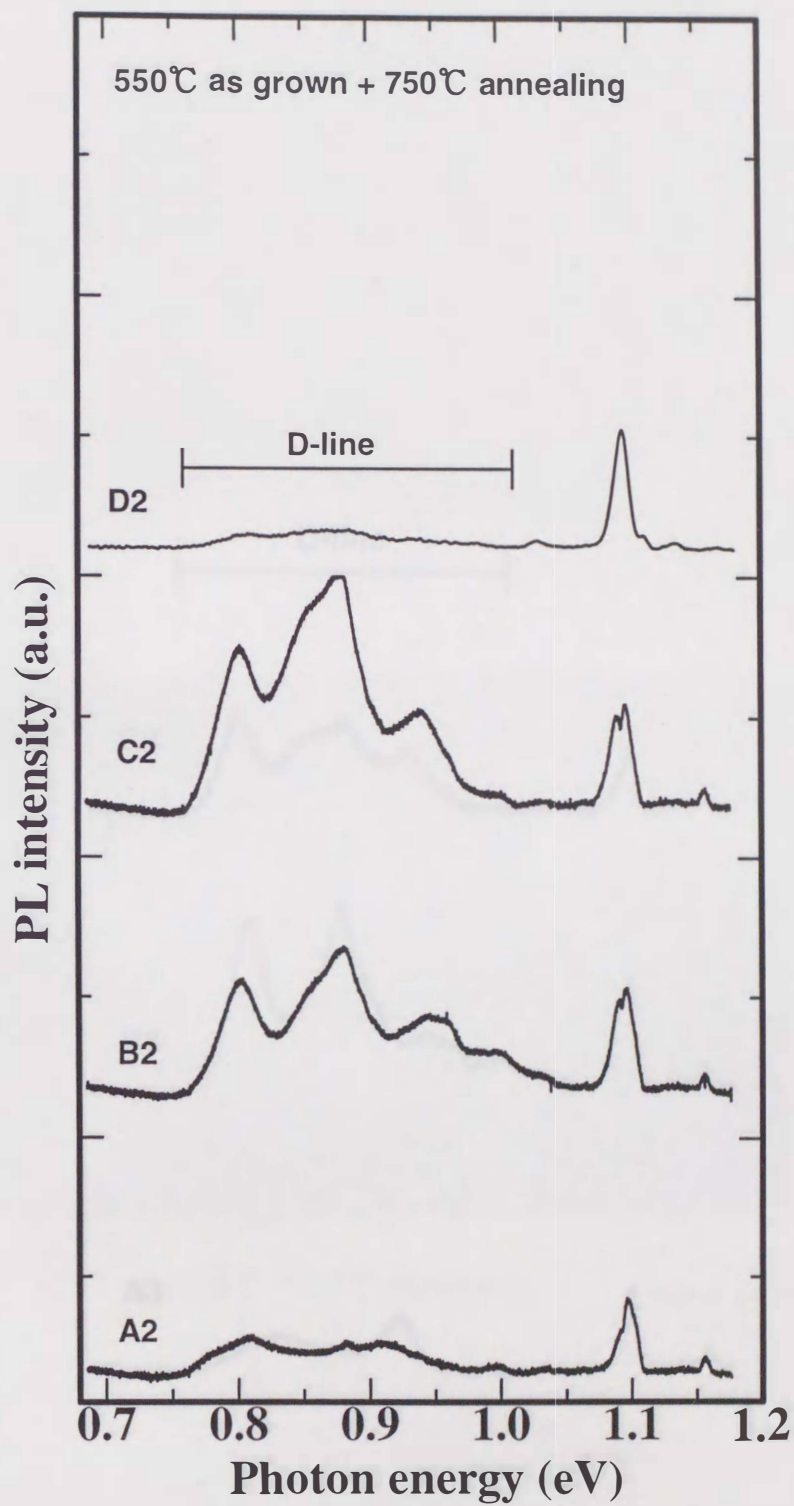


図5-4(b) 基板温度550°C成長+750°Cアニールの  
 フォトルミネッセンススペクトル

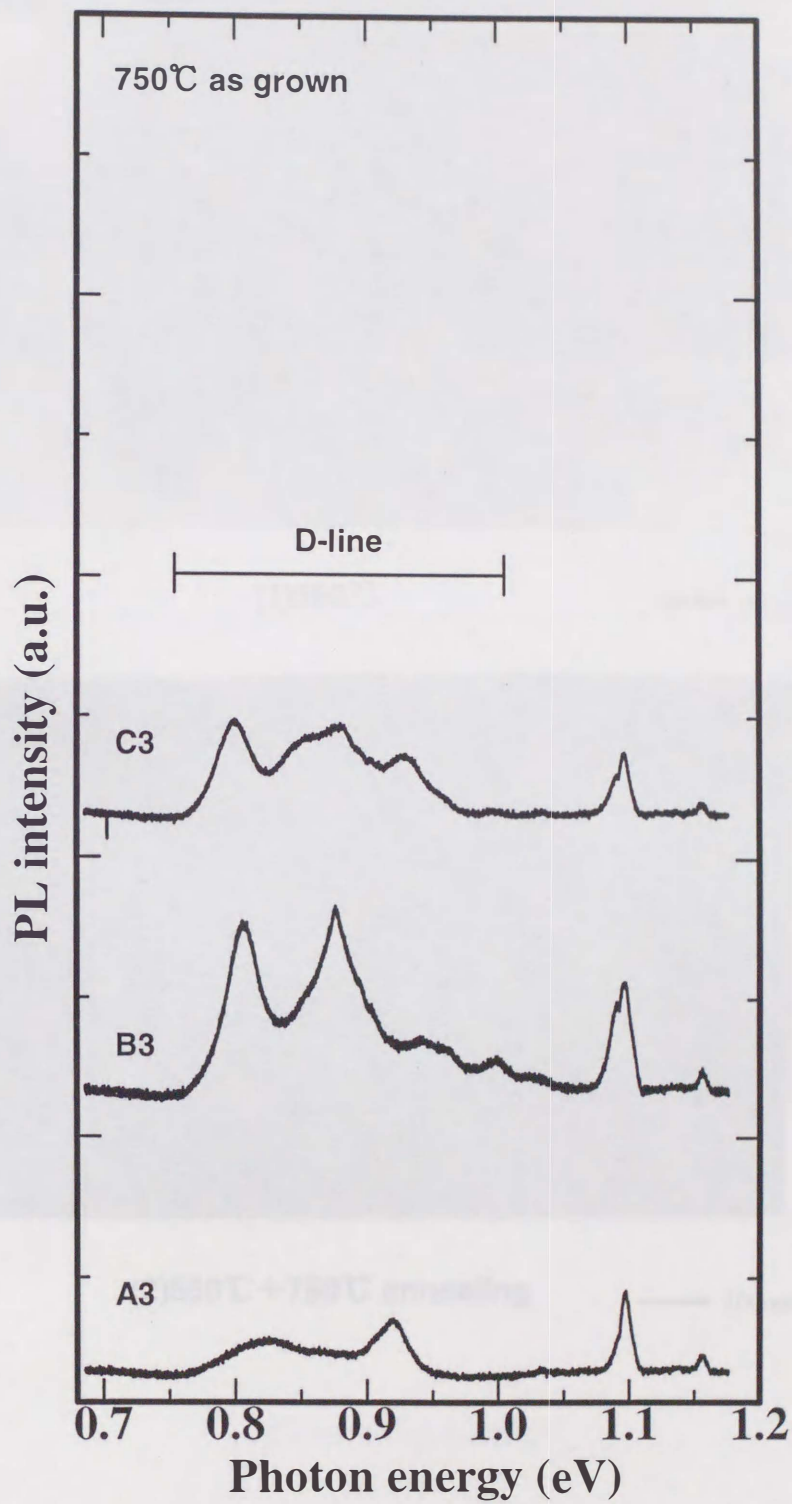
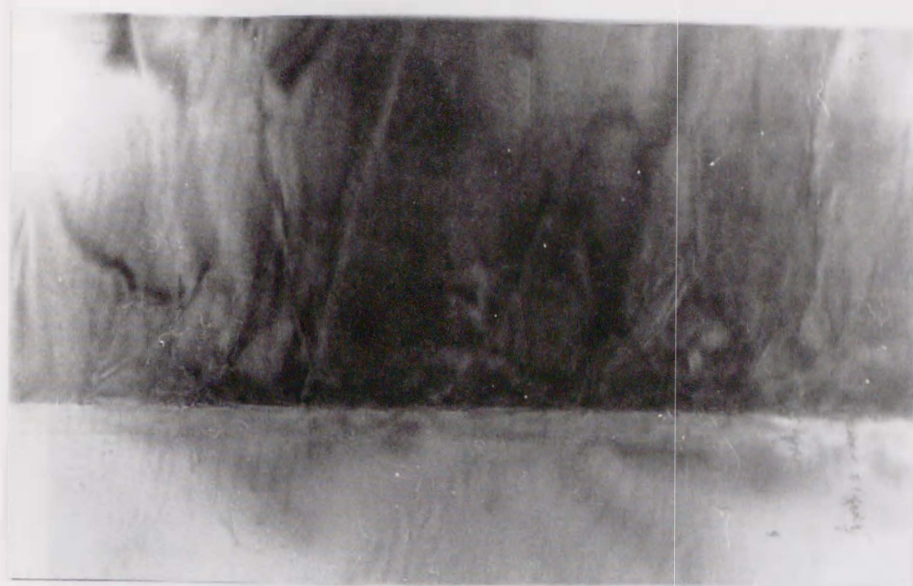


図5-4(c) 基板温度750°C成長の  
 フォトルミネッセンススペクトル



(1)550°C

— 100nm

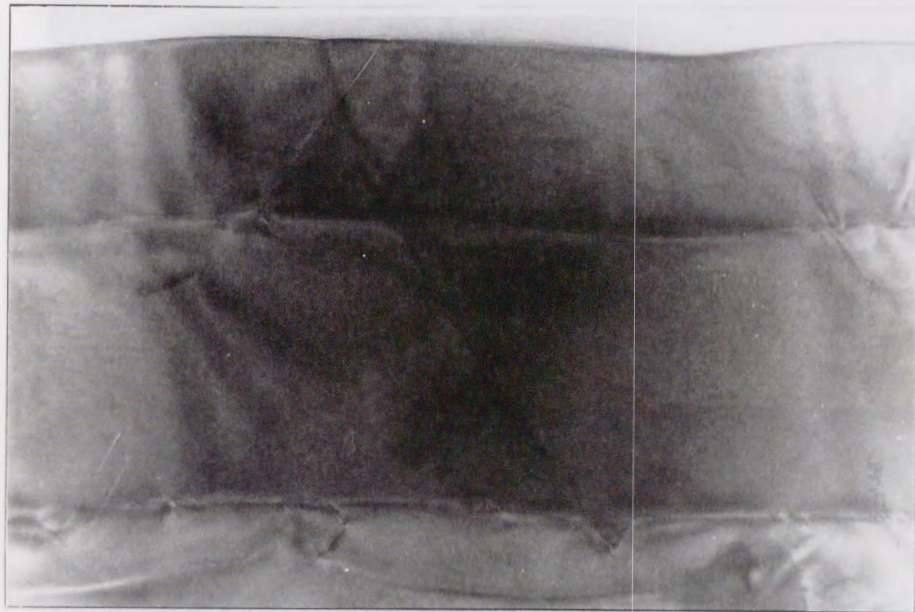


(2)550°C + 750°C annealing

— 100nm

(a)Without buffer

図5-5 各バッファ層のTEM写真

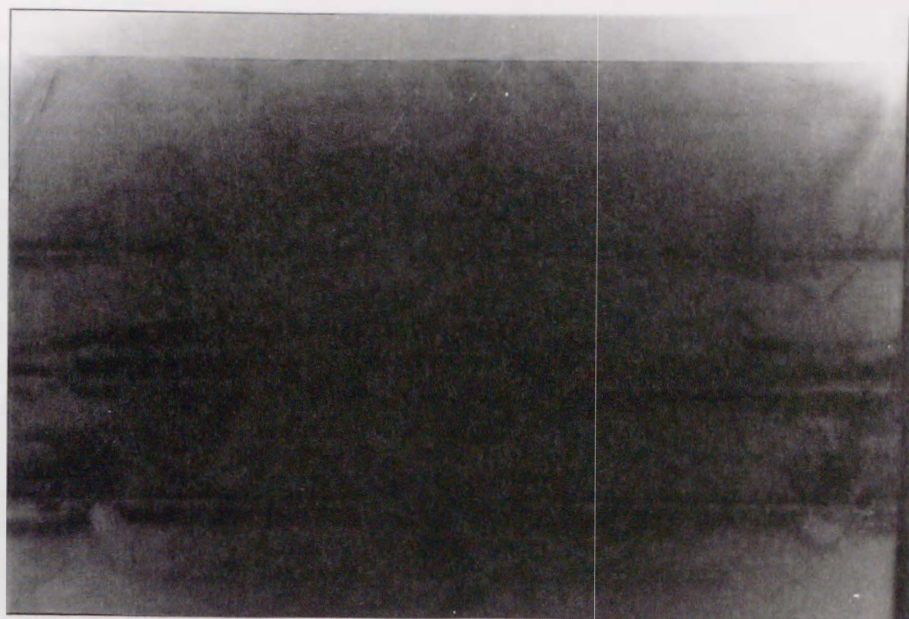


(1)550°C

— 100nm

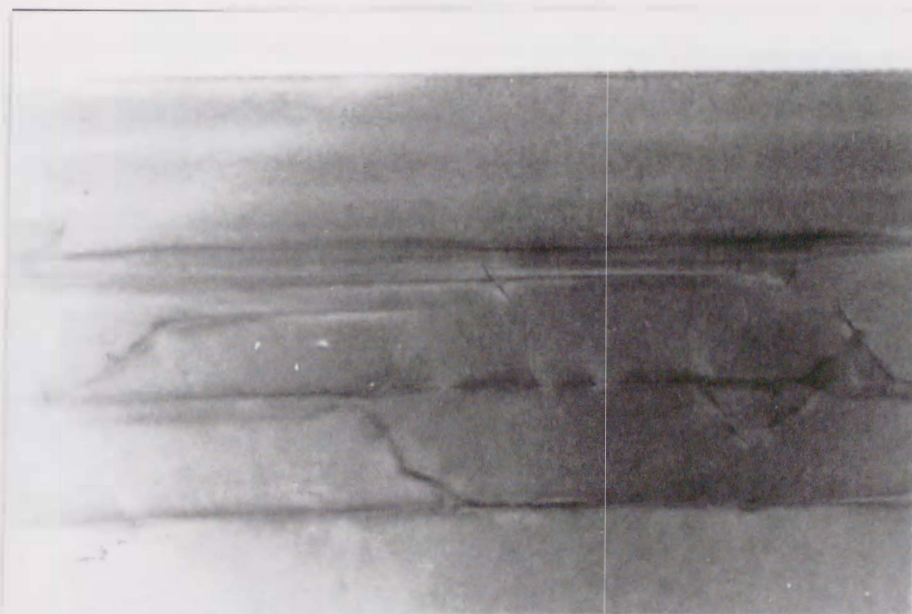
(b)One step buffer

図5-5 各バッファ層のTEM写真



(1)550°C

— 100nm



(2)550°C + 750°C annealing

— 100nm

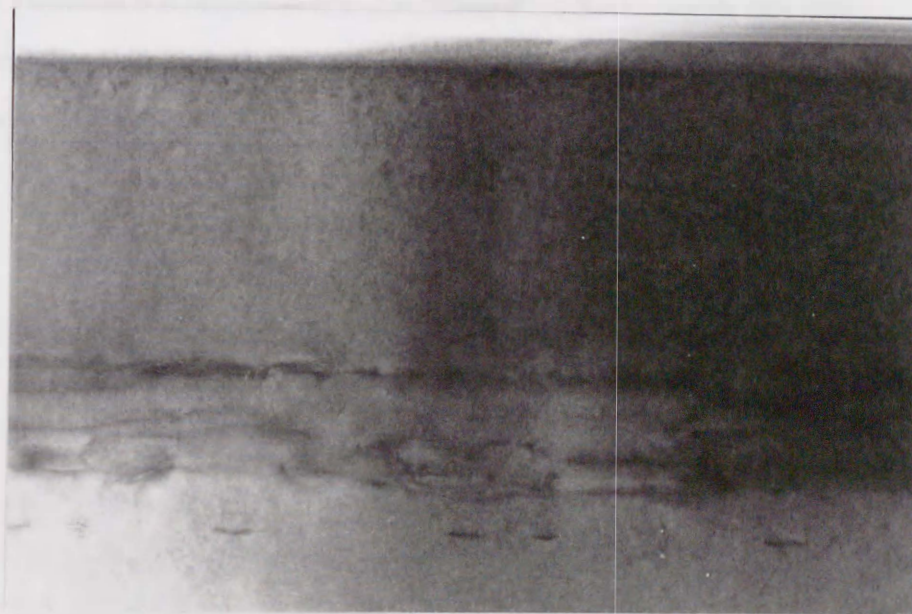
(c)Two step buffer

図5-5 各バッファ層のTEM写真



(1)550°C

— 100nm



(2)550°C + 750°C annealing

— 100nm

(d)Superlattice buffer

図5-5 各バッファ層のTEM写真

## [参考文献]

- [1] T. Obata, K. Komeda, T. Nakao, H. Ueba and C. Tatsuyama: J. Appl. Phys. 81(1), 1 Jan (1997) 199
- [2] T. Obata, K. Komeda, T. Nakao, H. Ueba and C. Tatsuyama: Appl. Surf. Sci., 117/118 (1997) 507
- [3] R. People and J. C. Bean: appl. Phys. Lett., 47(1985) 322
- [4] J. Waber and M. I. Alonso: Phys. Rev. B 40, No. 8, (1989) 5683
- [5] N. A. Drozdov, A. A. Partrin and V. D. Tkachv: JETP Lett., Vol. 23, No. 11, (1976) 597
- [6] R. Sauer, J. Waber and J. Stolz: Appl. Phys. A 36, (1985) 1
- [7] E. A. Fitzgerald, Y. H. Xie, M. L. Green, D. Brasen, A. R. Kortan, J. Michael, Y. J. Mil and B. E. Weir: Appl. Phys. Lett., 59(1991) 811
- [8] F. K. LeGoues, B. S. Meyerson and J. F. Morar: Phys. Rev. Lett., 66(1991) 2903
- [9] F. Schaffler, D. Tobben, H.-J. Herzog, G. Abstreiter and B. Hollander: Semicond. Sci. Technol., 7(1992) 260



## 第6章

# Si-Ge系量子井戸構造

21世紀の高度情報化社会において、情報処理の高速化、多様化がすすみ、またその情報量も膨大になると考えられる。現在の半導体素子の発展において代表的なものにダイナミックアクセスメモリー（DRAM）がある。これを構成しているMOSトランジスタは、素子寸法の比例縮小の法則に則って微細化がすすみ、3年ごとに約4倍ベースの集積化が行われてきた。このペースで進展が進めば、21世紀初等には約1 Gbitの集積化が可能との見通しが得られつつある。

しかし、素子寸法が $0.1\mu\text{m}$ 以下のオーダーになると様々な問題が現れることがわかってきた。この原因をいくつか挙げると、

- 物理量の統計的変動によって必要な均一性を持った素子構造が作製困難。
- 微細化によりサイズが小さくなると、不純物のばらつきが特性に見えてくる。
- トンネル効果などの量子効果によって素子間のアイソレーションがとれなくなる。

等である。

よって、現在の素子構造には自ずから限界があり、新技術によるブレイクスルーが求めら

れている。そこでその候補に挙げたのが量子効果素子である。現状の素子では阻害要因であった量子効果を逆に利用しようという考えである。設計寸法が $0.1\mu\text{m}$ 以下になると電子は単なる粒子としてではなく、波として考える必要がある。このとき、電子の分散関係やエネルギーの連続性が失われ、量子効果が現れるのである。

本研究はこの量子効果の代表的な構造である量子井戸構造をSi-Ge系について研究を行った。量子井戸はサイズ量子効果が表れる代表的な例で、電子の波長（ドブロイ波長）と同程度のポテンシャル井戸を作製することによって量子化が起こる。電子のドブロイ波長 $\lambda$ は、

$$\begin{aligned}\lambda &= h/p = h/mv \\ p &= \frac{1}{2}mv^2 = eE\end{aligned}\quad (6.1)$$

で与えられ、たとえばその波長は $m=0.1m_0$ 、 $E=0.1\text{eV}$ の時、 $\lambda=123\text{\AA}$ となる。ここで $m_0$ は自由電子の質量、 $m^*$ は電子の有効質量、 $E$ は電子のエネルギーである。このサイズに近づくと量子効果が表れる。

本章ではこの量子効果の代表的な構造である量子井戸構造をSi-Ge系について数値解析した結果を記す。

## 6.1 SiGe系ヘテロ接合におけるバンド不連続

Peopleらが示したSi(001)上及び、 $\text{Si}_{1-y}\text{Ge}_y$ (001)上にシュードモロフィックに成長した $\text{Si}_{1-x}\text{Ge}_x$ 薄膜のエネルギーギャップ[1] (図6-1)からもわかる様に、SiGe系においてヘテロ界面でのバンドアライメントは歪みが大きなパラメーターとなっている。その特徴はIII-V族化合物半導体の場合よりも際だっている。たとえばSi基板上に臨界膜厚以内でSiGe層を成長させるとSiGe層はSi基板にマッチングしようとするため、弾性的に面内に圧縮、法線方向に伸びる。このことによってSiGeのエネルギーギャップは小さくなり、そのバンド不連続はほとんど価電子帯側に現れる。また、逆にbulk-SiGe基板上にSiを薄く成長させるとSiはSiGeにマッチングするために面内に伸張し、法線方向に収縮する。この場合、SiGeの価電子帯の頂上は、Siよりも上に位置するようになり、価電子帯側と伝導帯側の両方にバンド不連続が現れる。前者をタイプI構造、後者をタイプII構造と呼んでいる。それぞれのバンドの様子は、図6-2に図示してある。このようにSi、SiGe共に一軸性の応力を受けるとバンドの縮退が解けて、バンド構造に大きく影響する。それぞれの特長を簡単にまとめてみる。

- タイプI構造

タイプI構造は一方の半導体のエネルギーギャップが接触する他方のギャップ内に位置する構造である。SiGe系では、無歪みのSi(001)上に歪んだSiGe成長させた場合この構造になる。この場合、SiGeは面内圧縮歪みによってエネルギーギャップが狭くなると共に、図6-2(a)のように、 $\Delta$ 点に6重縮退した伝導帯の底は、面内方向に4重に縮退した伝導帯と垂直方向に2重縮退した伝導帯に縮退が解け、4重縮退のほうがエネルギー的に低く価電子帯の底になる。しかし理論計算[2]によるとこの4重に縮退したバンドとSiの6重に縮退したバンドのエネルギー差が小さいため、SiとSiGeのエネルギー差はほとんど価電子帯側に現れる。伝導帯側にもわずかのバンド不連続が現れるが、閉じこめ効果にあまり寄与しない。また価電子帯側では歪みによって軽い正孔と重い正孔とが分離し、価電子帯は、主に重い正孔によって形成される。

- タイプII構造

タイプII構造は、図6-2(b)のように伝導帯、価電子帯の不連続がエネルギー的に同じ方向に生じる配列である。Siを無歪みのSiGe(001)上に成長させた場合、Siの伝導帯は面内圧縮歪みによって6重に縮退していたものが4重と2重に分裂し、2重に縮退した伝導帯の底は6重に縮退したSiGeの伝導帯の底よりも下に位置するようになる。また、歪みによって軽い正孔と重い正孔が分裂し、重い正孔が価電子帯の頂上を形成する。電子はSi中に、そして正孔はSiGe中で閉じこめられるという空間的に分離されるスタガード構造が特徴である。

## 6.2 Si-Ge系における量子井戸構造

2次元キャリアガス構造においてはキャリアは縦方向にのみ閉じこめられ、面内方向には自由に動くことができる。これが2次元ガスといわれる所以である。この井戸型ポテンシャル内での電子状態を考えてみる。

- 井戸の高さが無限の場合

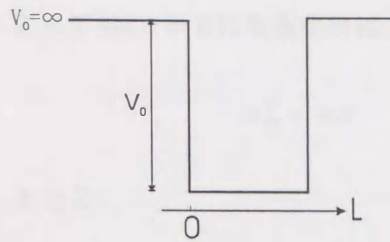


図 6-3 無限の高さの量子井戸

井戸内の電子のシュレーディンガー方程式は (図 6-3)

$$\frac{\hbar^2}{2m} \frac{d^2\phi(x)}{dx^2} \quad (0 \leq x \leq L) \quad (6.2)$$

この式の一般解は

$$\begin{aligned} \psi(x) &= C_1 \exp(j\alpha x) + C_2 \exp(-j\alpha x) \\ \alpha^2 &= \frac{2mE}{\hbar^2} \end{aligned} \quad (6.3)$$

電子をド・ブロイ波として考えると、右辺第 1 項は +x 方向への波の伝搬を表し、第 2 項は -x 方向へ伝搬する波の振幅を与える。また、 $\alpha$  はド・ブロイ波の波数を表している。

このとき境界条件として電子は井戸に束縛され障壁で反射をするので次の条件を満たさねばならない。

$$\psi(0) = \psi(L) = 0 \quad (6.4)$$

$\psi(0)=0$  より

$$\begin{aligned} \psi(0) &= C_1 \exp(j\alpha x) + C_2 \exp(-j\alpha x) = 0 \\ C_1 &= -C_2 \end{aligned} \quad (6.5)$$

$\sinh x = \frac{\exp^x - \exp^{-x}}{2}$  より

$$\psi(x) = 2c_1 \sinh \alpha x \quad (6.6)$$

$\sinh jx = j \sin x$  より

$$\begin{aligned} \psi(x) &= 2jC_1 \sin \alpha x \\ &= C_3 \sin \alpha x \\ &= 0 \quad (c_3 = 2jC_1) \end{aligned} \quad (6.7)$$

$\psi(L) = 0$  から

$$\psi(L) = C_3 \sin \alpha L = 0 \quad \therefore \sin \alpha L = 0 \quad (6.8)$$

よって  $\sin x = 0$  になる条件は、 $x = n\pi$  であるから

$$\alpha L = n\pi \quad \therefore \alpha = \frac{n\pi}{L} \quad (n = 1, 2, 3, \dots) \quad (6.9)$$

となる。

よって、固有関数は

$$\psi_n = C_n \sin \alpha x = C_n \sin \left( \frac{n\pi}{L} \right) x \quad (6.10)$$

この式は  $X=0$ 、 $X=L$  を節に持つ定在波を意味する。ここで全区間で規格化を行うと、

$$\int_0^L |\psi(x)|^2 dx = C_n C_n^* \int_0^L \left\{ \sin \left( \frac{n\pi}{L} \right) \right\} dx = 1 \quad (6.11)$$

これを解いて積分定数を求めてやれば

$$\begin{aligned} \psi(x) &= \sqrt{\frac{2}{L}} \sin \left( \frac{n\pi}{L} \right) x \\ n^2 E &= \frac{\hbar^2}{2m} \alpha^2 = \frac{\hbar^2 \pi^2}{2m L^2} n^2 \end{aligned} \quad (6.12)$$

となり電子の波動関数と固有値が求められる。ここで、Siの有効質量  $m=0.92m_0$  として量子井戸幅  $L=10\text{nm}$  とすれば量子準位は図6-4の様になる。

ここで2次元電子のエネルギーは  $x, y$  方向には自由電子と見なせるので

$$E = \frac{\hbar^2}{2m} (k_x^2 + k_y^2) + \frac{\hbar^2 \pi^2}{2m L^2} n^2 \quad (6.13)$$

と表せる。ここで  $k_x$ 、 $k_y$  は  $x$ 、 $y$  方向の波数である。

● 井戸の高さが有限の場合

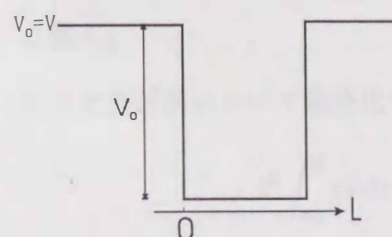


図6-5 有限の高さの量子井戸

電子が有限な井戸に閉じこめられている場合を考えてみる (図6-5)。すなわち、

$$V(x) = \begin{cases} 0 & (0 \leq x \leq L) \\ V_0 & (x < 0, L < x) \end{cases} \quad (6.14)$$

の中に閉じこめられている形となる。

ここで各領域のシュレーディンガー方程式は

$$\begin{cases} \frac{d^2\psi}{dx^2} = -\frac{2mE}{\hbar^2}\psi & (0 \leq x \leq L) \\ \frac{d^2\psi}{dx^2} = \frac{2m(V_0 - E)}{\hbar^2}\psi & (x < 0, L < x) \end{cases} \quad (6.15)$$

で表される。ここで

$$\begin{cases} \alpha = \frac{\sqrt{2mE}}{\hbar} \\ \beta = \frac{2m(V_0 - E)}{\hbar} \end{cases} \quad (6.16)$$

とおくと量子井戸内とその外での電子の波動関数は、

$$\begin{aligned} \psi(x) &= A \exp(j\alpha x) + B \exp(-j\alpha x) \\ \psi(x) &= C \exp(\alpha x) + D \exp(-\alpha x) \end{aligned} \quad (6.17)$$

で表される。

ここで  $x=0, L$  点で波動関数はなめらかに連続につながるから、その各々の点でその微分値が等しくなるように計算すると各領域での波動関数は

$$\begin{aligned} \psi_{\text{I}} &= t \exp \beta x & x < 0 \\ \psi_{\text{II}} &= A \left\{ \cos \alpha x + \frac{\beta}{\alpha} \sin \alpha x \right\} & 0 \leq x \leq L \\ \psi_{\text{III}} &= t \exp \beta(L - x) & x > L \end{aligned} \quad (6.18)$$

と表される。このとき領域 I と III における  $t$  は透過係数で

$$t = \{ \alpha \cos \alpha L + \beta \sin \alpha L \} / \alpha \quad (6.19)$$

と置く。

ここで全区間において規格化すると、

$$t^2 \int_{-\infty}^0 \psi_{\text{I}}^2 dx + A^2 \int_0^L \psi_{\text{II}}^2 dx + t^2 \int_L^{\infty} \psi_{\text{III}}^2 dx = 1 \quad (6.20)$$

となり、 $\text{Si}_{0.7}\text{Ge}_{0.3}$ 上にSiを成長させた場合、Siの井戸幅を10nm、井戸の深さは  $V_0=0.182\text{eV}$  ( $X=0.3$ )と仮定して計算すると、波動関数は図6-6の様になり、固有値のエネルギーがおおきくなると井戸からの波動関数のしみ出し量は大きくなる。しかしその量は、障壁より10nm以上程度の領域ではほぼ0近くに減衰している。また、図からわかるように、 $n$ が偶数の時は偶関数であり、奇数の時は奇関数となる奇偶性

を示してしている。この量子井戸では $n=7$ までの固有関数が存在しているので4つの奇関数と3つの偶関数の波動関数が存在している。 $n$ が大きくなるに従い、障壁層へのしみ出しが大きくなっている。また、 $n=1$ の時にもわずかにしみ出しがみられることから、有限の高さの量子井戸では完全な閉じこめ効果は得られていないと考えられる。

量子井戸幅はどれぐらいが理想的であるのかを考えてみる。前述の通り閉じこめ効果が起こっている時は、あまり薄くしすぎると量子準位が高くなってしまふことと、障壁層へのしみ出しが原因で閉じこめ効果が弱くなってしまふ。また、量子井戸における2次元性は量子準位の離散性=電子のエネルギー分布の局在性が大切である。電子を3次的に閉じこめた場合のエネルギー $E$ は

$$E = \frac{\hbar^2 \pi^2}{2m L^2} (n_x^2 + n_y^2 + n_z^2) \quad (6.21)$$

と表されるので、電子を1方向、2方向と閉じこめるに従って、電子のエネルギー分布は離散的となる。実際の電子の分布はこれにフェルミ・ディラック関数

$$f(E, T) = \frac{1}{\exp\left(\frac{E - E_F}{kT}\right) + 1} \quad (6.22)$$

を掛けたものになっている。2次元量子井戸の様な構造をとる場合、バルクに比べ電子は隙間なくその準位と占有すると、金属的な振る舞いを示すようになる。このような状態では、電子の散乱の確率が非常に低くなり高い平均速度で動くことができるので、2次元電子ガス構造では大きな移動度が観察される。しかし、各量子準位が完全に離散的に分布するには、かなりの低温にならないと実現は困難である。それは、量子準位間のエネルギー差と電子の熱エネルギーに制限される。量子準位間の間隔は、井戸の深いところほど、また井戸幅が厚いほど狭くなる。よって熱エネルギーがこれよりも大きいと電子に対して、隣合った準位間散乱を生じるようになる。このことから、このようなときはある程度の閉じこめ効果は起こるものの準3次的な効果が現れて、移動度が低くなってしまふ可能性がある。ここで実際の井戸幅を使って、閉じこめの効果を考えてみる。ただし、井戸幅が十分厚いとき(10nm以上ぐらい)は、井戸の高さが有限でも無限でも量子準位の値にあまり差が表れないのでここでは簡単に無限の場合で計算を行う。

電子の固有状態のエネルギーは

$$E = \frac{\hbar^2 \pi^2}{2mL^2} n^2 \quad (6.23)$$

とおける。この式からわかるように  $\frac{\hbar^2 \pi^2}{2mL^2}$  が小さくなって井戸幅による変化がみられなくなったとき、 $n$  を変えても値に大きな変化はみられず (図 6-7)、準連続に近い状態に近くなる。つまり、エネルギーに対する状態密度がバルクのものに近づいていくため。電子の局在性が薄れてしまう。また、閉じこめ効果を高温において確認したい場合、この量子準位の間隔が重要になるが、具体的な例でその値を計算する。熱エネルギー  $E=kT$  より

$$T(K) = \frac{1.60219 \times 10^{-12}}{1.38012 \times 10^{-6}} E(eV) \quad (6.24)$$

と変形できる。ここで  $E$  に量子準位の間隔を入れて計算した結果が表 6-1 である。

表 6-1 各井戸幅における離散性の確保できる温度

井戸幅	N=1	N=2	準位間隔	温度
10nm	0.00413eV	0.0165eV	0.0123eV	143K
20nm	0.00103eV	0.00413eV	0.0031eV	36K

この表からわかるように 20nm ぐらいになると 40K 以下でないと各準位の離散性は確保できない。しかし、これがそのまま閉じこめ効果の起こる温度というわけではない。実際は、これより高い温度でも、井戸内への電子の閉じこめは起こっているので、量子井戸は形成されている。ただし、擬 3 次元的な要素による準位間散乱が含まれてくるため、移動度への若干の影響があると思われる。

以上の結果から、熱エネルギーの点でも電子の局在性の点においても、あまり井戸幅を大きくすると電子の移動度が大きくとれないことがわかる。

実際の量子井戸を作製する場合、井戸の深さが 0.182eV ( $X=0.3$ ) 程度の時は量子井戸幅が 1.5nm ぐらいになると  $n=1$  でも井戸の外に量子準位が飛び出してしまうので最低でも 2nm ぐらいの  $L$  が必要と思われる。しかしこれぐらいの量子準位になると単一量子井戸の場合、波動関数のしみだしも大きくなるのでさらに厚い膜厚が必要である。また、その膜厚の上限は前述の計算結果から、5~10nm ぐらいが適当と考えられる。



我々が今回用いた変調ドーピング法においては、電子や正孔がヘテロ界面に供給されると変調ドーピング層とチャンネル層内のキャリアとの間でクーロン力が生じ、互いに引き合うようなポテンシャルが生じる為、実際の井戸の量子準位は複雑である。現実の井戸の構造は、このようなポテンシャルによって電子が井戸の界面側に局在するようになるため、井戸の形はくさび形になる。このようなときは単純にこれまでの計算が成り立たなくなり、最適な井戸幅はさらに厚い方へシフトすると考えられる。また、クーロンポテンシャルは距離の2乗に反比例するから、スペーサー層が薄い場合、この効果によって供給された電子や正孔は界面側へ引き寄せられ、逆に厚くすると理論的計算の結果に近くなっていくと思われる。

以上の点を考慮して最適化を行われた量子井戸構造は、低温においてバルク Si や Ge よりも高移動度を示すようになる。しかしながら実際の構造においては電子の走るチャンネル層の結晶性等が大きな要因を閉める。電子は Si の手から手へ移動するため、結晶欠陥や不純物によってトラップされたり散乱を受けると移動度は小さくなる。また、電子はドーパント側の界面に沿って走行することから、界面性が量子井戸の特性の良否を大きく左右するパラメーターとなる。たとえば、界面に格子不整合に起因する欠陥が存在するとそれが再結合中心として働き、電子がそこにトラップされてしまう。また、界面がでこぼこしていた場合、それが散乱要因となってしまう電子の寿命が短くなってしまう。この点は  $\text{SiO}_2/\text{Si}$  界面にチャンネルを形成する MOS 構造にも同じ事がいえ、界面性は量子井戸構造の特性に大きな影響を与えるものと考えられる。これらの問題を解決する為に、チャンネル層をできるだけ高温で成長させ結晶性をよくすること、再結合中心を形成しないように転位がチャンネルに及ばないようにすること等を作製プロセスで考慮することが必要である。

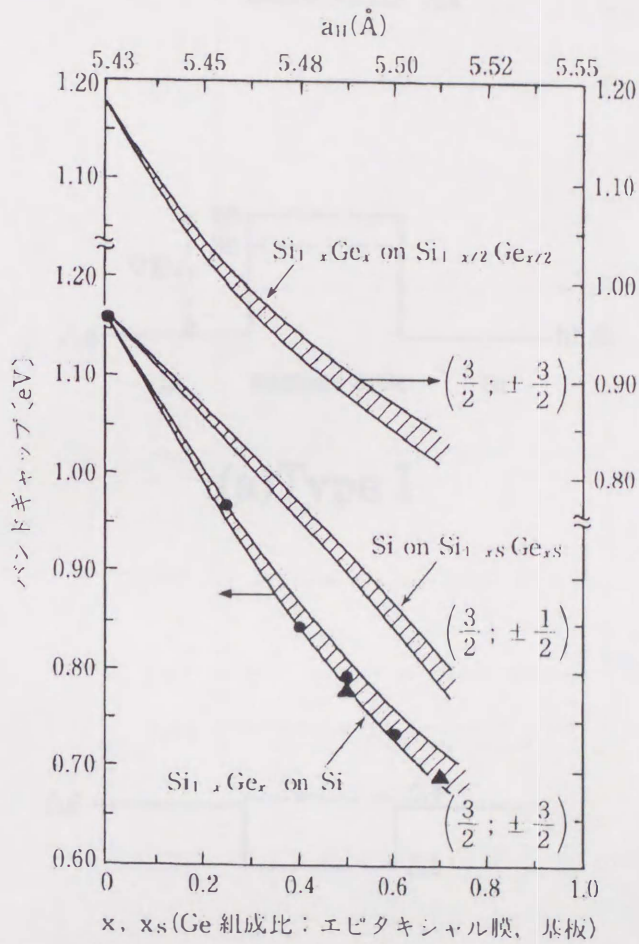
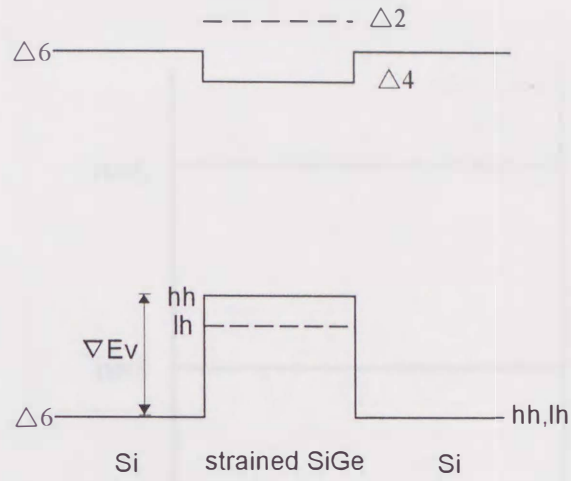


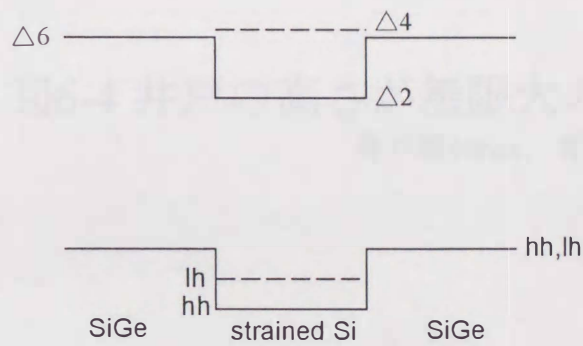
図6-1 Si及びSiGe基板上での  
 バンドギャップ $E_g^{[1]}$

(b) Type II

図5-2 SiGeヘテロ構造におけるバンド不連続  
 $\Delta 3, \Delta 4$ はそれぞれ面に垂直方向、面内方向に於ける  
 伝導帯のエネルギー差を示す。



(a) Type I



(b) Type II

図6-2 SiGeへテロ構造におけるバンド不連続  
 $\Delta 2$ ,  $\Delta 4$ はそれぞれ面に垂直方向、面内方向における伝導帯端の縮退状態を表す。

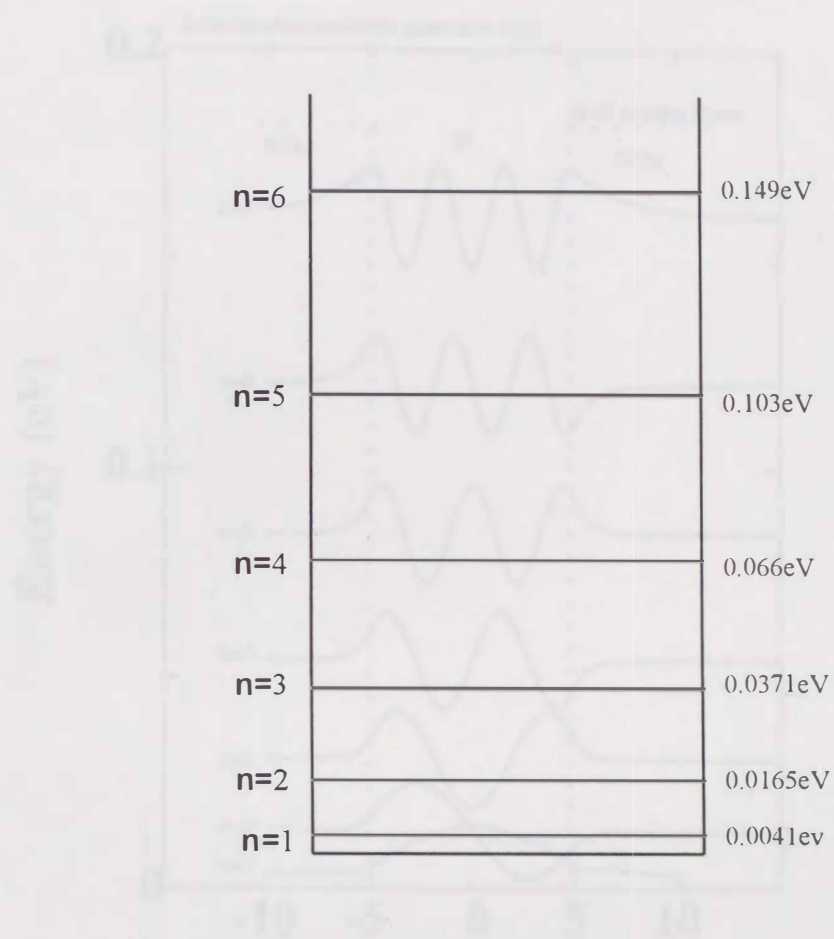


図6-4 井戸の高さが無限大の時の固有値  
井戸幅10nm、有効質量 $0.92m_0$

図6-6 井戸幅10nmの時の量子井戸中の波関数

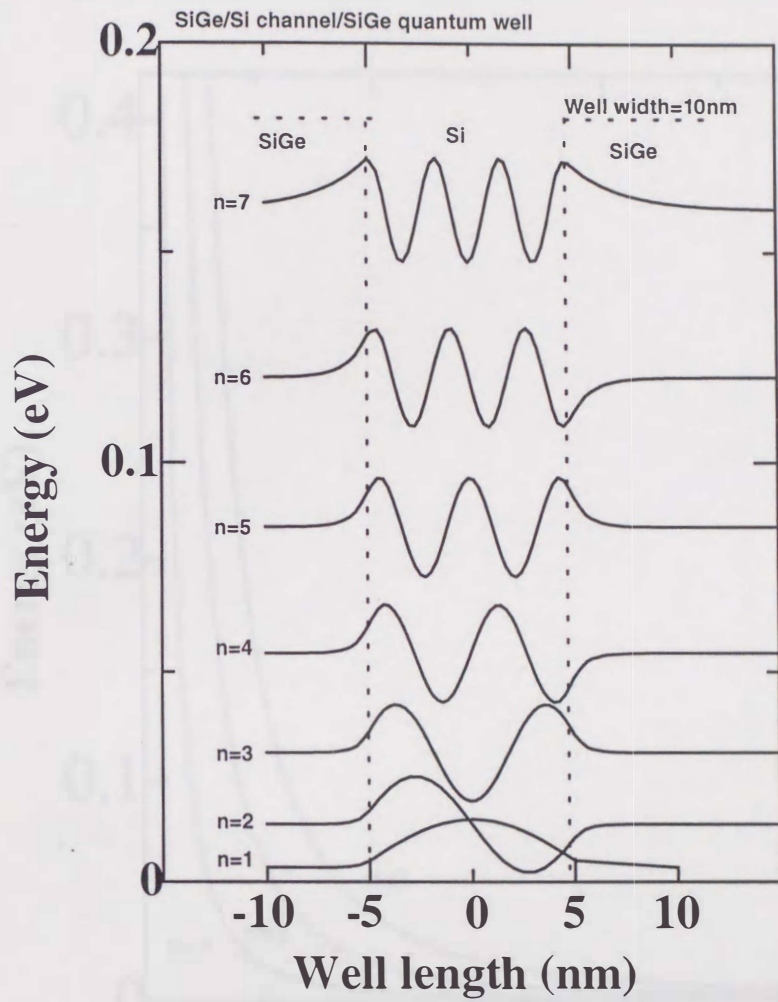


図6-6 井戸幅10nmの時の量子井戸中の波動関数の様子

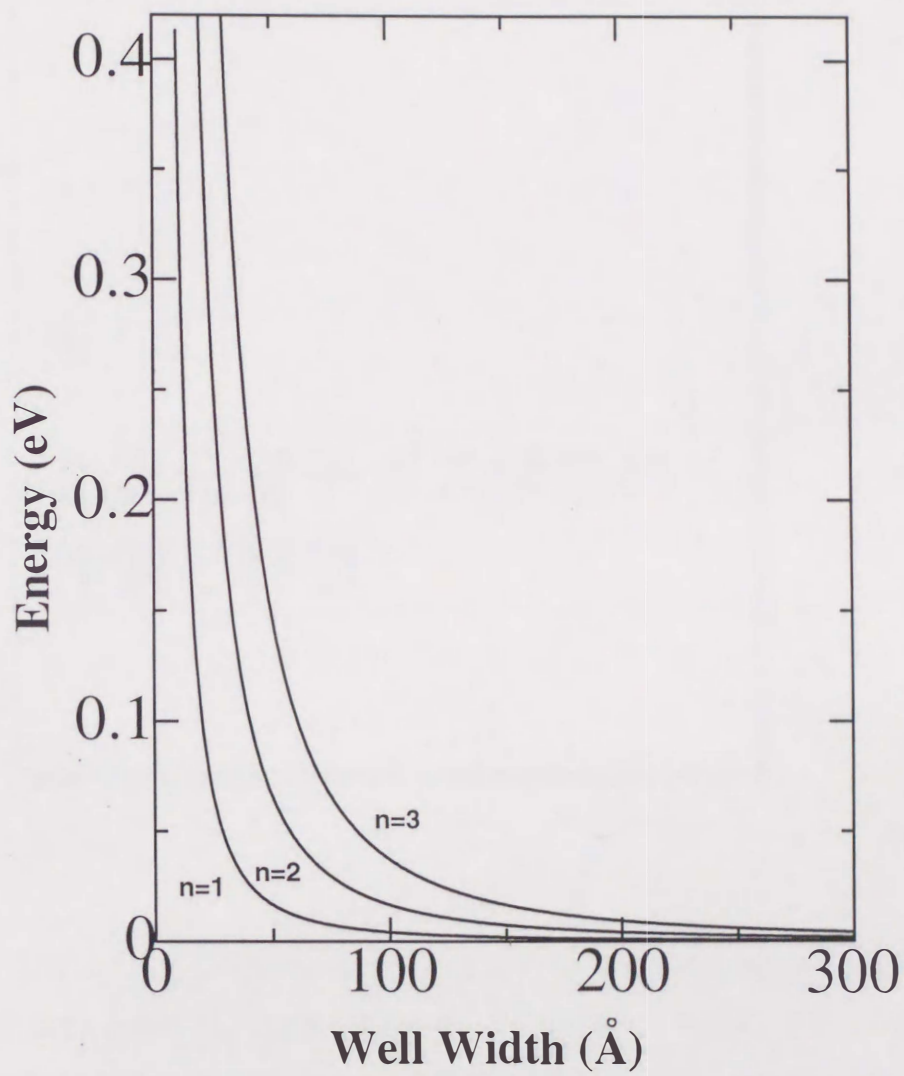


図6-7 無限高さの量子井戸中の量子準位

井戸幅 $L=10\text{nm}$ 、 $0.92m_0$

[参考文献]

[1]R.People et al.:Appl.Phys.Lett.,45(1984)1231

[2]C.G.Van de Walle and R.M.Martin:Phys.Rev.B34(1986)5621

第7章

2次元電子ガス構造の  
作製と評価

本章はこれまでの実験において2次元電子ガス構造に必要となる材料、構造上の注意、評価方法について説明してきたが、ここでは実際のデバイス構造への応用として量子井戸構造の作製と評価について、作製された構造は、図7.1に示す。図7.1に示す量子井戸構造のデバイス構造である。

1. 量子井戸層としての低次元材料の選択と作製方法

2. 量子井戸層の成長と評価方法

3. 量子井戸層の構造と評価方法

4. 量子井戸層のデバイス構造と評価方法

## 第7章

# 2次元電子ガス構造の 作製と評価

我々はこれまでの実験において2次元電子ガス構造に必要なSi(001)基板上の $\text{Si}_{1-x}\text{Ge}_x$ 仮想基板の作製について論議してきたが、ここでは現実のデバイス応用への道としてSiチャネル層を持つ試料の作製を行った。作製された構造は、図7-1に示す。作製した試料のプロファイルは以下の通りである。

1. バッファ層としての転位抑制層に傾斜型超格子層を用いる。
2.  $\text{Si}_{1-x}\text{Ge}_x$ 層のGe組成 $x$ はだいたい0.2~0.3ぐらいとする。
3. キャリアの供給源はSbの $\delta$ ドーピング層を用いる。
4. Siチャネル層とドーピング層の間にはスペーサー層を挿入する。



## 7.1 試料の作製方法

実験は第3章で詳しく述べた富山大学地域共同研究センター内の ANELVA MBE-620S (図3-1) を用いて行った。超格子バッファ層成長までのプロセスは3章に従う。

### ● 超格子バッファ層の成長

清浄面を得た後は、Siの抜けによる表面の荒れと欠陥による影響を防ぐために、約200nmのSiバッファ層を基板温度750°Cで作製している。その後、基板温度は550°Cまで降下させ、約200nmのSi/Ge超格子バッファ層を成長させる。超格子内のSiとGeの組み合わせは第5章の表5-1に示すとおりである。成長初期の組み合わせは $x = m/(m+n)$ の $x$ をSiにマッチングさせるため小さくし、成長後半にいくに従って、目的の $\text{Si}_{1-x}\text{Ge}_x$ 層の $x$ になるようにプログラミングする。また成長中は蒸着レートが安定になるように注意する。特にシャッターの開閉による膜厚計の誤作動があるので、INFICONによるオートレートコントロールを行う際は注意が必要である。超格子成長途中に万一、アイランド化、あるいは表面構造が変わるなどの変化があった場合は成長を中止し、その後のプロセスは中止する。図7-2は超格子成長後のRHEED写真である。このようにストリークが観察され、パターンがはっきりとしている場合は、次の行程に作業を進める。

### ● 均一な組成の $\text{Si}_{1-x}\text{Ge}_x$ 層の成長

基板温度を550°Cとして約400~500nm程度の膜厚で成長させる。膜厚はSi基板に対して臨界膜厚以上とし、目的の組成にあわせてそれを増減させる。成長中はコンピューターでレートをコントロールし、なるべく最小限の組成ずれになるように気を配る。成長中にアイランド化しなければ、基板とSiGe層間の格子不整合による転位はほぼ超格子層内に閉じこめられていると判断して、さらに残留歪みの除去と結晶性の向上の為に750°Cで5分間のアニール処理を行っている。

### ● Siチャネルの成長

アニール処理後、直ちに基板温度を550~650°Cまで降下させ、Siチャネルを成長させる。この時、Siは歪みを受けて成長するので、アイランド化等に注意する。このときのRHEED像はSiによって表面性がよくなるために、非常にシャープなストリークを示す。なお、Si層の膜厚は薄すぎると量子準位が高くなって閉じこめが悪くなっ

てしまい、波動関数の離散性がなくなってきて広がりが出てくる為と、格子不整合における転位の発生も起こりうるので、10~20nm程度の膜厚を選ぶことにする。SiGe層からのGeの偏析現象もあるので15nm程度が妥当な選択と考える。

● SiGe スペーサー層

本構造は変調ドープ構造を採用しているので電子の供給層はSiチャンネル層の上に作製する。イオン化した不純物のクーロン力をなるべくさけるために、ドープ層とチャンネル層の間に不純物のない空乏層を作製する。スペーサーの厚さは、あまりに薄いと井戸からの波動関数のしみ出しによる不純物散乱の影響を受けてしまう。また、厚いものに関しては、空間分離が徹底される為、電子移動度はあがるがキャリアの供給が悪くなる。スペーサーの厚みとチャンネル内での電子密度の関係は以下の式[1]で表される。

$$n_e = n_D((L_s^2 + 2\epsilon\epsilon_0\Delta E_c/e^2n_D)^{1/2} - L_s) \quad (7.1)$$

ここで、 $n_D$ はドナー濃度、 $\epsilon, \epsilon_0$ は誘電率、 $e$ は電荷量、 $L_s$ がスペーサー幅である。この式からスペーサー層幅が増加すると、井戸へ注入されるキャリアの数は単調に減少することがわかる。このスペーサーを介してドープ層から電子が供給される。そのとき、ドープ層から電子が抜けるため、電気的にはドープ層が+に帯電するためにチャンネルに供給された電子との間にクーロン力が働くと考えられる。ドープ層側の電荷を $q_h$ 、チャンネル側の電荷を $q_e$ とすればその両者の間には

$$F \propto \frac{q_h q_e}{r^2} \quad (7.2)$$

の力が働く。ここで $r$ は電荷間の距離である。これらの電荷はお互いに吸引しあうので電子はSiGe/Si界面側へ電荷間の距離に反比例してクーロン力を受ける。これから考えるとあまりスペーサー層が薄く、ドープ層が量子井戸に近いとクーロン力によって電子の軌道が影響を受けるので電子移動度が低下する事が考えられる。また、スペーサー中には電荷による電界が形成されるので、その影響も考えねばならない。ここでSiにおける電子のボーア半径 $a$ と束縛エネルギー $E_e$ は、

$$\begin{aligned} a &= \frac{\epsilon\hbar^2}{m_e e^2} = \left( \frac{0.53\epsilon}{m_e/m} \right) \text{\AA} \\ E_e &= \frac{e^4 m_e}{2\epsilon^2 \hbar^2} = \left( \frac{13.6 m_e}{\epsilon^2 m} \right) \text{eV} \end{aligned} \quad (7.3)$$

とおける。ここで $\text{Si}_{0.7}\text{Ge}_{0.3}$ の時のボーア半径とその束縛エネルギーを求める。 $\text{SiGe}$ の物性値を線形補間で得られる値 ( $m_e=0.17m$ ,  $\epsilon=12.9$ ) を用れば、ボーア半径は約 $40\text{\AA}$ 、イオン化エネルギーは $13.9\text{meV}$ である。よってスペーサー層の厚さは $40\text{\AA}$ 以上が最低必要であろうと考えられる。

- $\delta$ -doping層

我々はキャリアの供給層をチャンネルから空間的に分離するために、変調ドーピング層法を採用している。特にこのキャリアの局在効果を際立たせ、急峻なドーピングプロファイルを得るために、 $\text{Si}$ チャンネル上の $\text{SiGe}$ 層内に1原子層以下の $\text{Sb}$ 層を挿入するという $\delta$ -doping法を用いることにした。この層によって成長方向に $\delta$ 関数的なドーピングプロファイルを形成することによってより効果を上げようとしている。

$\text{Sb}$ 層は $\text{SiGe}$ スペーサー層上に作製する。1原子層にするためのコントロールは基板温度によって行う。これは $\text{Sb-Sb}$ ボンド( $1\text{eV}$ )よりも $\text{Sb-Si}$ ボンド( $2.6\text{eV}$ )[2]の方が結合エネルギーが大きいことを利用した方法で、 $650^\circ\text{C}$ 程度の基板温度で $\text{Sb}$ フラックスを $\text{Si}$ に照射しても1原子以上の $\text{Sb}$ が成長しないことを利用している。1原子層成長後の、 $\text{Si}$ 表面上の $\text{Sb}$ のシート濃度は $6.8 \times 10^{14}\text{cm}^{-2}$ となってほとんど金属的となるのでさらに高温で熱処理を加えることにより、 $\text{Sb-Si}$ ボンドの結合を切ってやる。我々は基板温度 $750^\circ\text{C}$ でこの処理を行い、 $\text{Sb}$ の脱離を行っている。 $\text{Sb}$ 濃度のコントロールはこの脱離時間でコントロールし、目的の濃度を達成している。

- cap層の成長

これまでのプロセスで量子井戸構造は完成しているが、試料の保護、安定性の確保のためにcap層を作製する。cap層は $\text{Si/SiGe}$ 構造で構成され、最上の $\text{Si}$ 層はパッシベーション膜として利用する。このプロセスで注意する事は、 $\text{Sb}$ の偏析である。 $\text{Sb}$ は $\text{Si/Ge}$ 構造におけるサーファクタントとして働くため高い基板温度でcap層を作製すると $\text{Sb}$ が表面側へ拡散してしまい、目的のドーパ濃度にコントロールできなくしてしまう。そこで通常は $\sim 100^\circ\text{C}$ 程度で低温成長を行い、偏析現象を最小限に押さえる措置がとられる。しかし、低温成長を行うと膜はアモルファス化してしまうため、成長後、適当な温度で熱処理を行い、結晶化させる。これを固相成長と呼び、 $550^\circ\text{C}$ ぐらいの温度で行われる。またその際、ドーパントである $\text{Sb}$ は格子間サイトから格子サイトにはいり、活性化する。我々は $\text{SiGe}$ 層を数原子層蒸着後、蒸着とともに基

板温度を上昇させ、550°Cで固相成長を行い、さらに650°Cでキャリアの活性化を施している。ここまでのプロセスでのSbの分布の幅は、約4Å以下のプロファイルといわれている。

- 電極の作製

電極はAu-SbまたはAu/Sbを用いている。蒸着はWボートに材料を乗せて100Aぐらいの電流を印可して蒸着している。蒸着中の真空度は $10^{-5}$ Torrぐらいで、膜厚は200~300nmとした。室温で蒸着している為、密着強度が弱くはがれやすいことに注意する。電極を作製した試料は窒素雰囲気中で約1分間熱処理を行い、密着性の向上とオーミックコンタクトを得る。電極の位置は、試料4端に蒸着して試料形状等の影響を少なくしている。

以上の処理を施した試料はガラスエポキシの基板ホルダーに取り付け、引き出し用の銅線をAgペーストで固定している。銅線は、常に新しいものを使用し、酸化による特性への悪影響を極力排除するようにする。取り付けを終えた試料はAgペーストの溶剤をとばすため、数十度でベークする。最後にコンタクト及び、短絡等のチェックのために、テスターで抵抗値を確認しておく。

- 評価装置への取り付け

評価装置はフォトルミネッセンス用のクライオスタットを改造したものを使用している。評価用ヘッドにホルダーと取り付け、半田で配線をおこなう。取り付け終了後、真空シュラウドを取り付けて真空ポンプで十分に真空度を良くした後、冷却を開始する。

- 評価した試料

評価に使用した試料は以下の通りである。

- ① n型基板：抵抗率 8~12Ωcm
- ② p型基板：抵抗率 1000Ωcm以上
- ③ 量子井戸構造 (Sbドーピング) × 3

作製した試料は、ダイヤモンドカッターで5mm□の大きさに切り出し使用している。

5mm□に切り出した試料は、ホール効果と磁気抵抗測定によって評価した。ホール効果、磁気抵抗効果は第3章の試料の評価法に従う。

## 7.2 電気的特性の評価

### 7.2.1 ホール効果

- 基板の選択と測定印加電圧

まず最初に、ベースとなる基板の評価について述べる。図 7-3(a)~(b) にその移動度と濃度、抵抗率、そしてホール係数を示す。

① n型基板：抵抗率 8~12Ωcm

低温で非常に高い移動度を示す(図 7-3(a))。その値は約  $30000\text{cm}^2/\text{Vs}$  にも及び、不純物散乱による影響が少ないことを物語っている。シート濃度(ここでは試料全体に不純物が存在するから正確にはこの表記は正しくない。むしろ、表面濃度という表現がふさわしいだろう。)は  $10^{13}\text{cm}^{-2}$  台で 100K よりも下になるとフリーズアウトが始まる。測定系の問題で  $10^{10}\text{cm}^{-2}$  で飽和している様に見えるが、実際はこの飽和したところからのデータは正確な値を示していないと思われる。ホール係数、抵抗率も低温で上昇していくという典型的な半導体特性を示している。以上の結果からこの基板はチャネルと同じキャリアタイプを持つことによる問題と共に、この非常に高い移動度によりチャネルがマスクされてしまうことが考えられる。また、電極が Au-Sb と基板にも良好にコンタクトする事からキャリアのパスが複数存在してしまうため、本研究の基板材料には使用できない。

② p型基板：抵抗率 1000Ω以上

キャリアのタイプは正孔を示した(図 7-3(b))。基板のみだと 100K ぐらいまで試料温度が下がるとコンタクトがとれなくなる。また、それ以上の温度でも非常に測定が不安定なことから、電極との間に PN 接合ができて、基板自体の特性をあまり拾っていないようである。この結果からも n 型チャネルを持つこの構造においては、この基板が適していることがわかった。

以上の結果から p 型基板上に量子井戸構造を作製した。まず、ドーピングの効果を確認するために、Sb をドーピングしたものとドーピングを行わない試料を作製、比較した。

Sb ドーピングを行うとそのドーピング層付近が n 型伝導を示すので、室温でキャリアは電子である。ここで、その例を図 7-4 に示す。移動度は、100K ぐらいまで上昇し

続け、その後ほぼ一定の値をとる。これは100K付近から電子の量子閉じこめ効果が現れていることを示しており、Sbドープ層から電子が供給されている様子がわかる。反対にSbドープがされていない試料(図7-5)では、キャリアタイプは正孔であることを示し、低温になると電極のコンタクトがとれなくなってしまい測定不可能となった。この特性は、本研究には都合のよいもので、閉じこめ効果の現れる低温で基板の効果が現れないことを示している。ここまでの実験データで問題なのが、図7-4をみてわかるように100Kあたりに、ピークが存在することである。これは、第5章でも述べたようにキャリアのパス(通り道)が、複数あることを示している。パスとして考えられるのは

1. 基板
2. SiGe 仮想基板
3. Sbドープ層

等が考えられる。1については電極がSbを含むことから、PN接合が形成されることや、基板の不純物濃度が極端に低いことから、アイソレーションが十分にとれていると考えられる為、原因とは考えにくい。2に関しては、この電子ガス構造が転位を多く導入する構造であるので、チャンネル近傍まで転位が導入されている場合、そこからキャリアがリークする可能性がある。また、構造全体をPiN構造と見なせば、i層である超格子構造からSiGeスペーサーまでに転位があれば、空乏層がなくなってしまうのでキャリアの基板へのリークも考えられる。さらに、転位自身、再結合中心として働いてしまうことから、特性の劣化が起こることも考えられる。3に関してはSb層の抵抗値がチャンネル層に対して低い値を取ったなら、電流は抵抗の低いところを流れようとするので測定出力はその影響を受ける。しかし、電極がSb層に対してショットキー接触となっていれば電流のSb層へのリークはないが、Sb層のSbドープ量が $10^{19}\text{cm}^{-3}$ 程度になったときある電流値を超えると、トンネル現象が起こる為Sb層への電流のリークが起こる。以上のことから、測定時の素子への印可電圧を低くしてやり、端子間の電界強度を小さくしてやることによって、完璧ではないものの問題の解決が可能と考えられる。図7-6に印可電圧を可変して、図7-4の試料を測定した結果を示す。印可電圧が大きいと、特性はリークの影響を強く受けているが、電圧を小さくするにつれその特性は、2次元電子ガス構造のものに近づいていく。図

7-7は印可電圧と移動度を試料温度を変えて評価したものである。どの温度においても印可電圧を下げることによって、移動度が上昇している。また温度を上げると移動度が高くなっていくことから、Sb層と電極間の障壁に関する問題があると考えられる。以上の結果から印可電圧は0.1~0.5Vの間をとり、不純物濃度は障壁の厚さがショットキー接触を形成するのに十分な厚さをとるように $10^{18}\text{cm}^3$ ぐらいが望ましいと考えられる。

測定においていかに安定に、しかも正確な値を得るかは重要であるけれども、非常に難しい問題である。我々は、これまでAC供給源からのDC定電圧源を使用していたが、ノイズが原因の不安定要素があったので電源を自作した。電源は乾電池を用い、それをレギュレーターによって目的の電圧まで降下させている。今後の評価にはこれを用い、約0.2V程度の印可電圧を加えることとする。また、ホール電圧の測定には、試料の抵抗値変化によって測定系が影響を受けないように内部インピーダンスの大きな電圧計を用いた。

- 2次元電子ガス構造の評価

試料は前項の試料を含め、3つ作製した。Sbドーピングは、セル温度 $300^\circ\text{C}$ 、基板温度 $650^\circ\text{C}$ 、そして脱離温度が $750^\circ\text{C}$ で行っている。Sbドーピング量を変化させる為、脱離時間をパラメーターとした。作製した試料の脱離時間は以下の通りである。組成比の値はX線回折の $\text{Si}_{0.7}\text{Ge}_{0.3}$ に相当するピーク位置から求めた。

- ① 脱離時間 20分
- ② 脱離時間 30分
- ③ 脱離時間 40分

脱離時間を変えると残留するSbの量もその長さに従って、少なくなる。日立のA.A.van Gorkumら[3]はSi基板上にSbを1原子層作製し、その後基板温度 $750^\circ\text{C}$ でSbのドーピング量を調整している。図7-8にその脱離時間とSbの残留量の関係を示す。

- ① 脱離時間-20分

この試料の $\text{Si}_{1-x}\text{Ge}_x$ 障壁層の $x$ の値は0.27であった。そのときの移動度、シート濃度、シート抵抗、ホール係数を図7-9に示す。いずれも100K付近より低温

で値が一定になっており、電子の閉じこめ効果がみられる。シート濃度に関してはまだ別のパスの影響が見えており、印可電圧の低下が必要である（この試料は、我々の最適化した定電圧源は使用されていない）。また、この試料はSbの量が多いため、抵抗率は低めになっている。また、ドーブ層の影響が若干みられ、シート抵抗の変化はあまり大きくない。

⑥ 脱離時間-30分

この試料の $\text{Si}_{1-x}\text{Ge}_x$ 障壁層の $x$ の値は0.26であった。特性は、図7-10に示す。やはり180Kぐらいから低温で、閉じこめ効果がみられる。移動度の最高値は $1000\text{cm}^2/\text{Vs}$ 以下と小さく、その他のパラメーターもなめらかに変化している。20分の試料同様にSbドーブ層の影響があるが、ドーブ層の濃度と井戸内の濃度が近いためにあまり差が見えにくいのかもしれない。

⑦ 脱離時間-40分

この試料の $\text{Si}_{1-x}\text{Ge}_x$ 障壁層の $x$ の値は0.30であった。特性は図7-11に示す。閉じこめ効果は200K強の温度から低温で始まっている。移動度は低温領域まで上昇し続け、最高値は $1850\text{cm}^2/\text{Vs}$ (5.5K)である。その他シート濃度（図7-11(a)）、シート抵抗、ホール係数（図7-11(b)）のいずれも完璧な閉じこめ効果の傾向を示した。シート抵抗においては、閉じこめの起こる温度まで、半導体的な振る舞いをしており、ドーブ層の影響もない。ドーピング条件としてはもっともよい結果であった。

### 7.2.2 磁気抵抗効果

図7-12はn型Si基板の磁気抵抗効果を測定したものである。磁気抵抗のピークは[001]方向にあり、Si(001)基板の等エネルギー面の分布に一致している。Siにおける縦方向と横方向の有効質量比から考えると横方向の抵抗変化が大きく出ているが、これは抵抗変化量があまりに小さいことによる測定系の誤差によるものであると思われる。また、p型の基板でも同様なデータが出るのが予想される。この上に2次元電子ガス構造ができて、基板自身のピーク位置と2次元ガス面に垂直な方向（磁気抵抗がピーク）が同じなので2次元電子による磁気抵抗の観測は困難と考えられる。図7-13が脱離時間40分の試料の磁気抵抗効果を測定した結果である。これをみると、2次元電子ガス構造の場合、負の磁気抵抗が観察されている。しかもそのピーク位置は、[001]方向とは一致していない。点線は最小



自乗法でデータをフィッティングさせた結果である。フィッティングの結果をみると、磁気抵抗がほぼ0の2つのピークと、マイナス方向に2つのピークが確認された。負の磁気抵抗が表れた原因と、ピークが面内方向に対して垂直な方向からずれた原因は、現状ではわからない。

### 7.3 考察

ここで、各測定結果（移動度、シート濃度、シート抵抗、ホール係数）についてドーピング量（Sbの脱離時間）と閉じこめ効果の観点から考察してみる。これらの物理量について各試料の結果をそれぞれまとめてプロットしたのが、図7-14(a)~(d)である。

実験では、Sbのドーピング量を定めるのに、日立のA.A.van Gorkum[3]らが求めたSi上のSb-脱離のデータを使用した。ここで評価によって求められたシート濃度（室温）を図7-8の文献上にプロットしてみる（図7-15）。すると、ほとんど同じラインにのってしまうことから、濃度の制御はほぼうまくいっており、このグラフの傾向はSi上だけでなく、SiGe上でも成り立つことがわかる。

移動度の値は、脱離時間20分のもものがドーピング層に強く影響を受けていることがわかる。ドーピング層の濃度が高く、しかも2次元電子ガス領域になっても、 $10^{12}\text{cm}^{-3}$ 以上と大きくなっている。ここでシート抵抗に注目してみると、この試料が最も抵抗値が低い。これはドーピング層の伝導が影響していると思われ、ドーピング濃度が高すぎるものが考えられる。同様に脱離時間30分のももの濃度が高く、ドーピング層の影響がみられるものの、比較的閉じこめ領域ではフラットな特性になっている。これは、シート抵抗に注目してみると、20分の試料に比べ抵抗が高い＝ドーピング層の伝導の影響が少なくことが原因と考えられる。これら試料においても200Kあたりの変曲点が観測されるので、閉じ込め効果は起こっていると考えられる。しかし、依然として移動度は3桁のオーダーと低いので、ドーピング量が多すぎると考えられる。この試料とは全く違う傾向を示したのが40分の脱離を行った試料である。この試料の場合、閉じこめ効果の起こる200K付近までは、通常のn型半導体特性である。つまり、試料全体の特性を反映しているものと推定される。データから室温時のキャリア濃度は、約 $1 \times 10^{18}\text{cm}^{-3}$ と求められる。この程度の不純物を含むn型半導体は、200K以下の温度でキャリアがフリーズアウトしてしまうが、この評価データとも一致している。また、シート抵抗をみても急激に抵抗値の上昇がみられることから、高温では不純物濃度 $10^{18}\text{cm}^{-3}$ 程度のbulk-n型Siの特性、200K以下ではn-Siチャンネル構造を走る電子

をみているといえる。しかし、2次元電子ガス構造ができているにも関わらず、移動度が低いのは作製条件が最適化されておらず、特に量子井戸幅が20nmと広いと、井戸中の波動関数の離散性や広がりの中で問題が出てきていると思われる。また、界面の急峻性、チャンネル層の結晶性も大きく影響していると思われる。最後にドーブ層と井戸層のクーロン力の影響によって井戸のポテンシャルがくさび型になっているとしてシミュレーションを行ってみる。ここでは量子準位がすべて離散しているものとして計算した。最も特性がよかった脱離時間40分のもので考えると、この試料は200Kで閉じこめがみられ始めるのでここから実際の井戸幅を求めてみる。200Kでの熱エネルギーは約0.017eVである。このエネルギーと同等の量子準位幅を持つ井戸幅は、計算すると約8.5nmとなる。よって実際のnチャンネル構造はSi層の厚さよりも薄く、界面近傍にくさび状に形成されていると推定される。これを考えるとSiGe/Si界面の重要性が大きいことがわかる。これらの試料の移動度は2つの要因で決定されていると思われる。1つはドーブ濃度であり、もう一つは界面性である。前者は不純物濃度 $10^{18}\text{cm}^{-3}$ 程度にコントロールすれば問題にならない。しかし後者はコントロールが難しく、界面での電子の散乱やトラップの影響を少なくするには、成長方法の工夫や電極間距離をなるべく小さくする（チャンネルを短くする）のがよいと思われる。

## 7.4 まとめ

以上の結果をまとめると

- Sbの脱離時間が30分以内（Sb量でいえば1/100原子層以上）の時は、ドーブ層の影響を強く受け、2次元電子ガス構造の特性とドーブ層自身の特性がオーバーラップしてしまう。
- ドーブ量はシート抵抗と依存性がみられ、ドーブ層のシート抵抗が適当に高いとn型Siの特性が強く現れ、低温ではフリーズアウトしてしまうことからドーブ層の影響が少なくなり、2次元電子ガス構造のみの評価がしやすい。
- シート濃度においては、Sb量と濃度に依存性がみられない。これは、脱離時間30分以内ではドーブ層の影響が大きく、キャリアがそのメタリック相に近いドーブ層へリークする為、正確な測定ができないのが原因と考えられる。

- 脱離時間が30分 (Sbドーパ量が1/100原子層以下) を越えると、特性は完全な2次元電子ガス特性を示す。
- ここであまり、スペックがふるわないのはチャネル幅、スペーサー幅等が最適化されていないことが原因と考えられる。また、SiGe/Siチャネル界面による散乱等の影響も考えられ、デバイス層の成長条件の最適化も必要と思われる。

最後に、我々の考案した2次元電子ガス構造を最も効率よく動作させる条件を探ってみる。

試料のGe組成は約  $X=0.3$  と仮定し、転位抑制層としてSi/Ge超格子を用いることとする。真空度は、 $10^{-10}$ Torr、蒸着材料もよくガス出しされ、水等の影響がないことを想定する。

1. 基板：高抵抗のp型基板
2. Siバッファー層：200~300nm。高温で成長を行う。
3. 超格子バッファー構造：200nm ぐらいの膜厚で、効率よく転位が緩和される設計になっていること。また、成長中にアイランド成長しないこと。成長温度は500℃あるいは350℃。
4. SiGe仮想基板：500nm。途中でアイランド化しないこと。成長中は、500~550℃ ぐらいの成長温度で、成長終了後、750℃で短時間のアニール処理を行う。
5. Siチャネル層：クーロンポテンシャルの影響を考えて、10~15nmの間の膜厚。成長温度は650℃とし、できるだけ高温で作製する。成長後からスペーサー層の成長まではSi原子がマイグレーションする時間を与え、表面の平坦化をほどこす (RHEED強度でモニターすることによって可能と制御可能と思われる)。
6. SiGeスペーサー層：20nm程度。成長温度は650℃。
7. Sbドーパ層：成長温度650℃。脱離時間は約40分で、基板温度は750℃、速やかに基板温度を上昇、下降させる。できれば、非常に制御されたSbセルを用いて、堆積レートを求め、蒸着時間によってSbドーパ量を制御する方が再現性があると考えられる。

8. SiGe キャップ層：低温（室温程度）で成長を行う。ある程度成長したところで、基板温度を徐々に固相成長温度（550℃）まで上昇させていく。膜厚は、やや厚めにして30nm程度とする。
9. Si キャップ層：Si キャップ層成長中は、成長温度を650℃まで昇温する。キャップ層の膜厚は、あまり厚くすると臨界膜厚の問題がでてくるのでパッシベーションに必要なだけの最小限の膜厚を選択する。10nm~20nmぐらいで問題ないであろう。また、この層の界面もSi/SiGeヘテロ構造が存在し、バンド不連続、及び、ギャップの縮小化が起こるので2次元電子構造ができてしまう。これを防ぐために、その直下のSiGe層は、連続的に組成を変化させたものにする必要がある。



図7-1 作成された2次元電子ガス構造

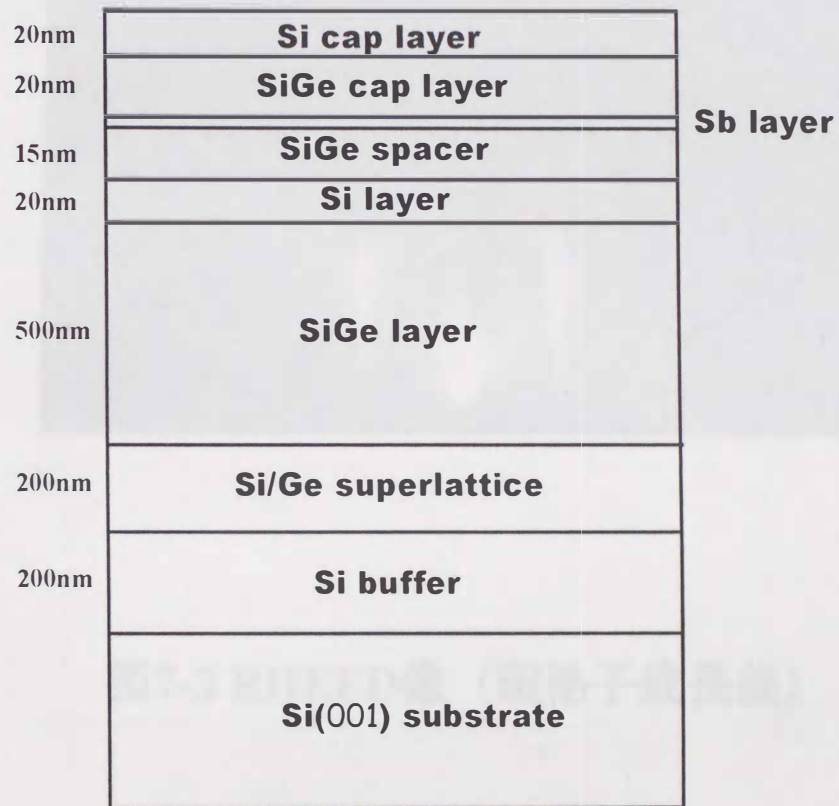


図7-1 作製された2次元電子ガス構造

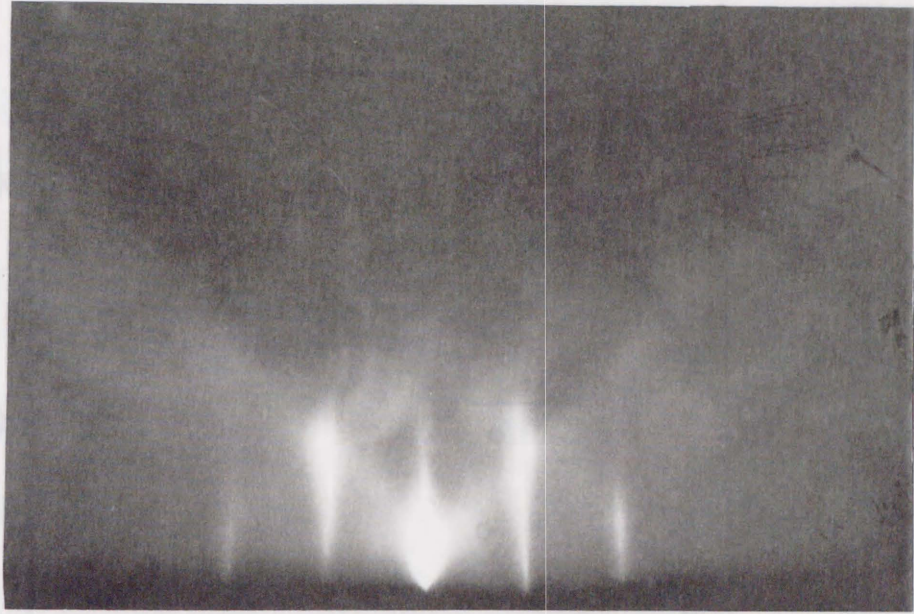
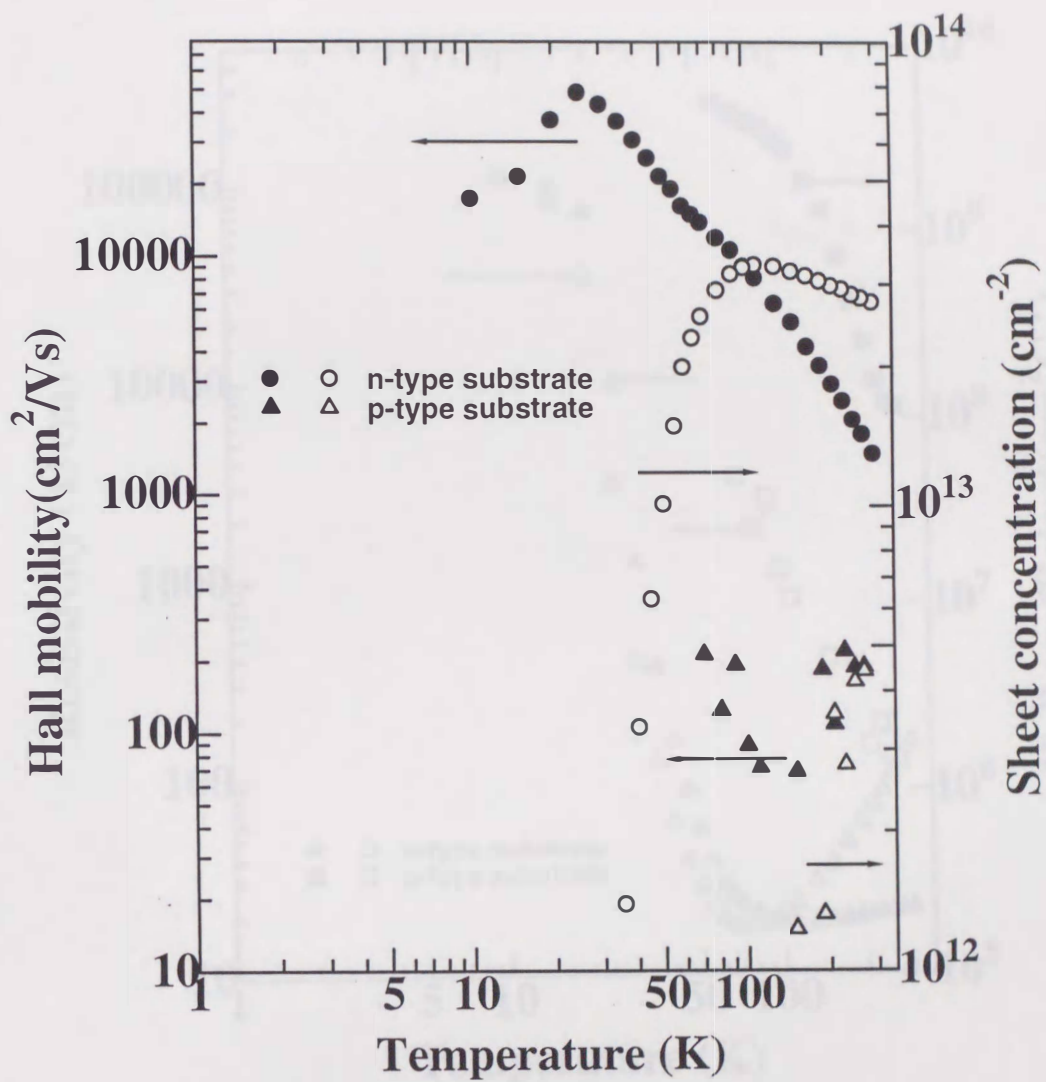
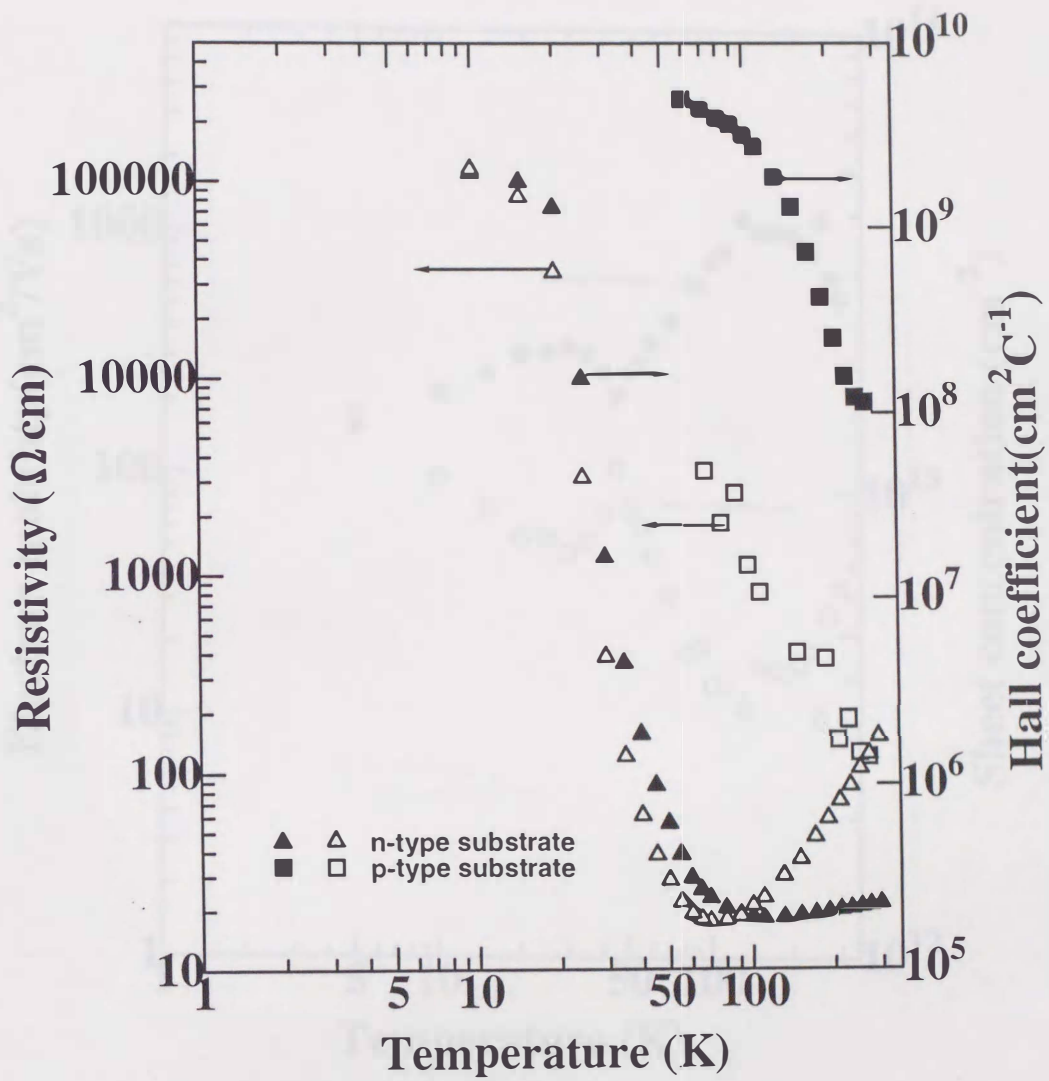


図7-2 RHEED像（超格子成長後）



(a) 移動度とキャリア濃度 (表面濃度)

図7-3 基板特性



(b) 抵抗率とホール係数



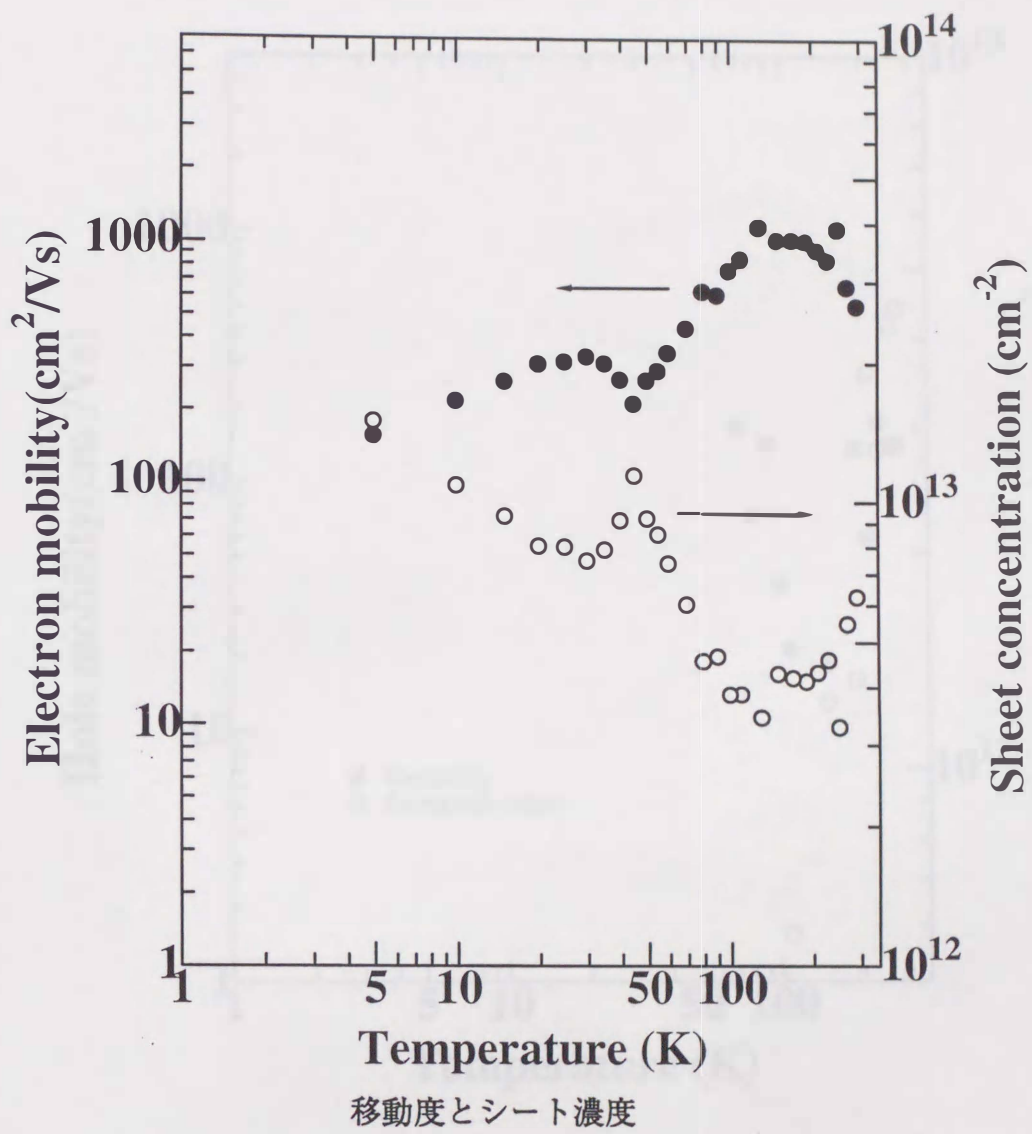


図7-4 n型量子井戸測定例(Sb脱離時間20分)

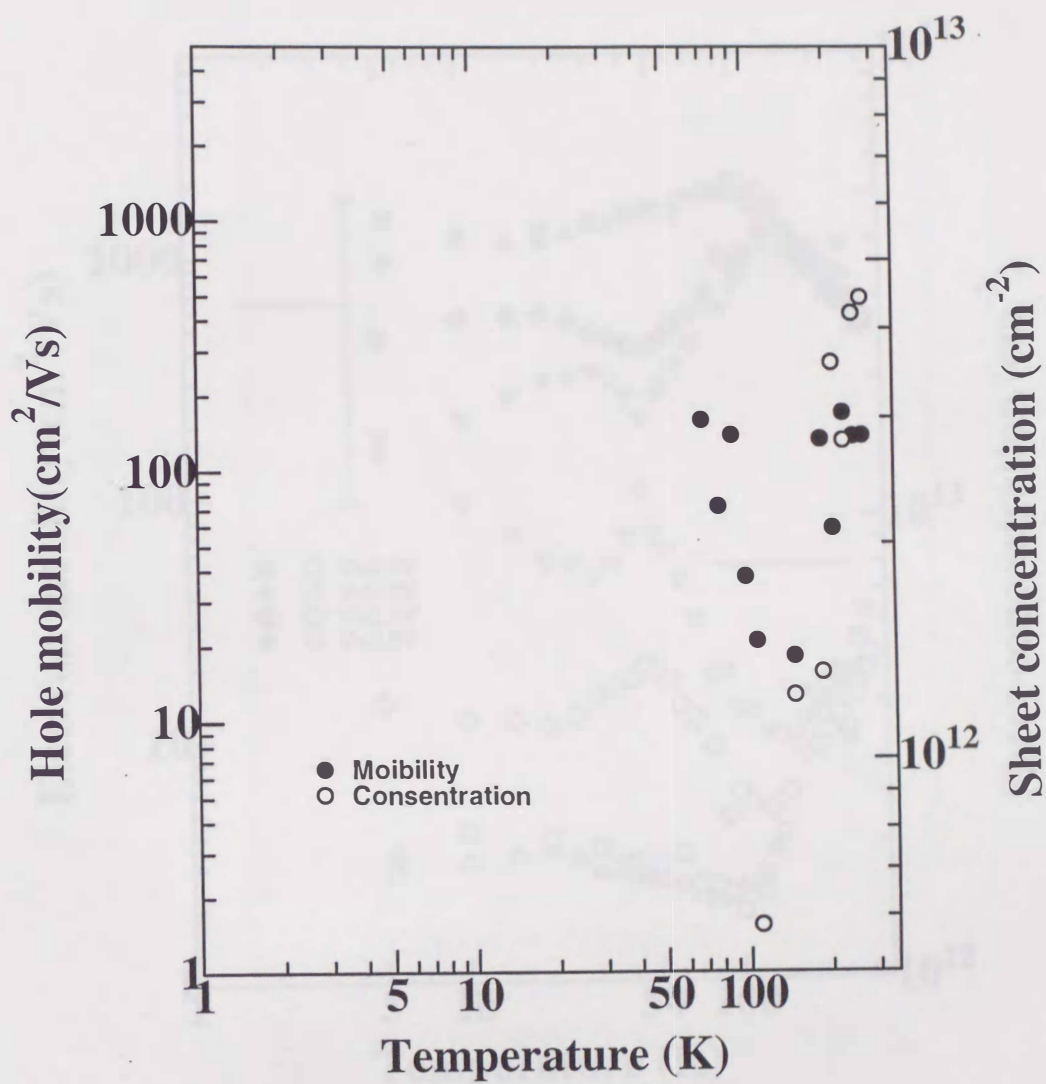


図7-5 Sbドーピングをしない試料例

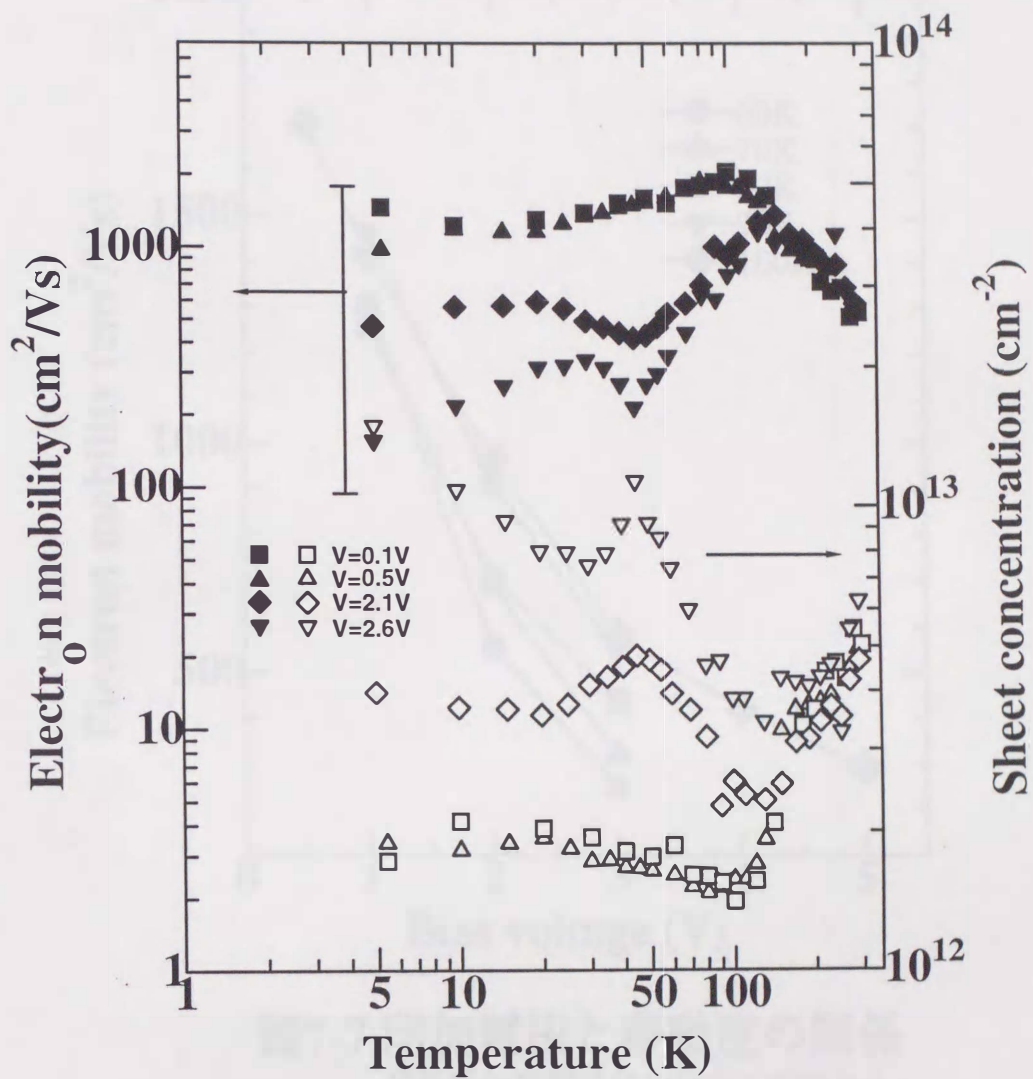


図7-6 印加電圧を変化させた時の特性への影響

試料はSb脱離時間20分のものである。

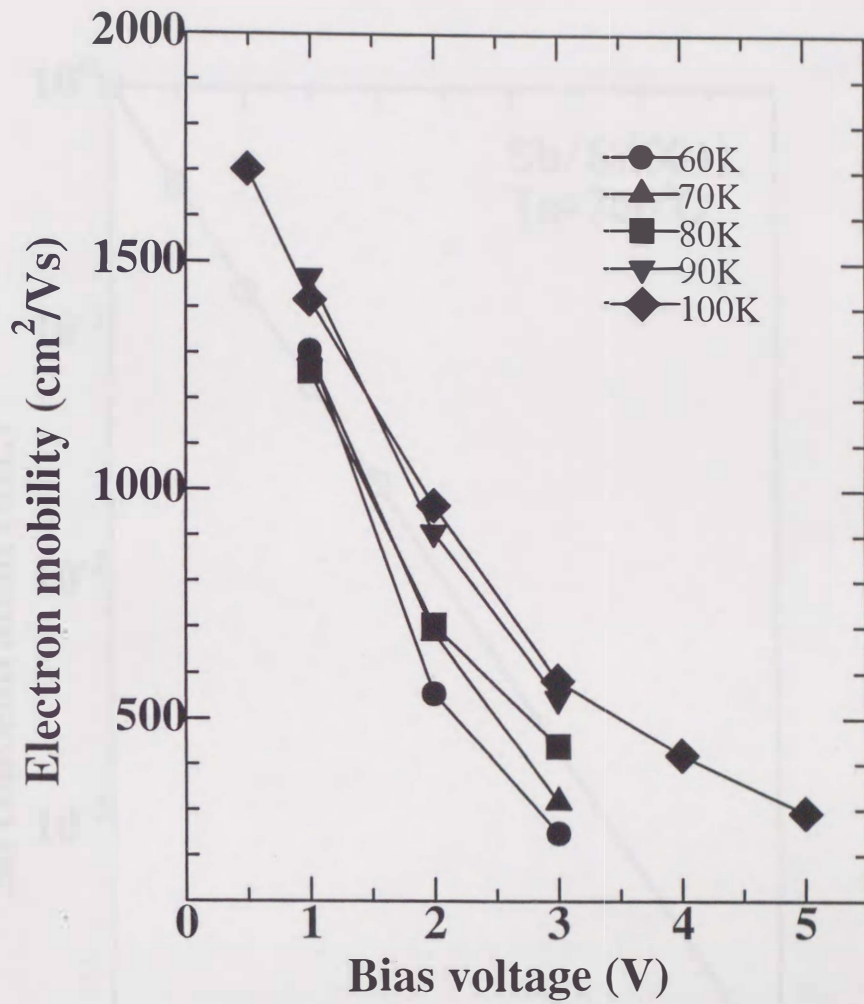


図7-7 印加電圧と移動度の関係

試料はSb脱離時間20分のものである。

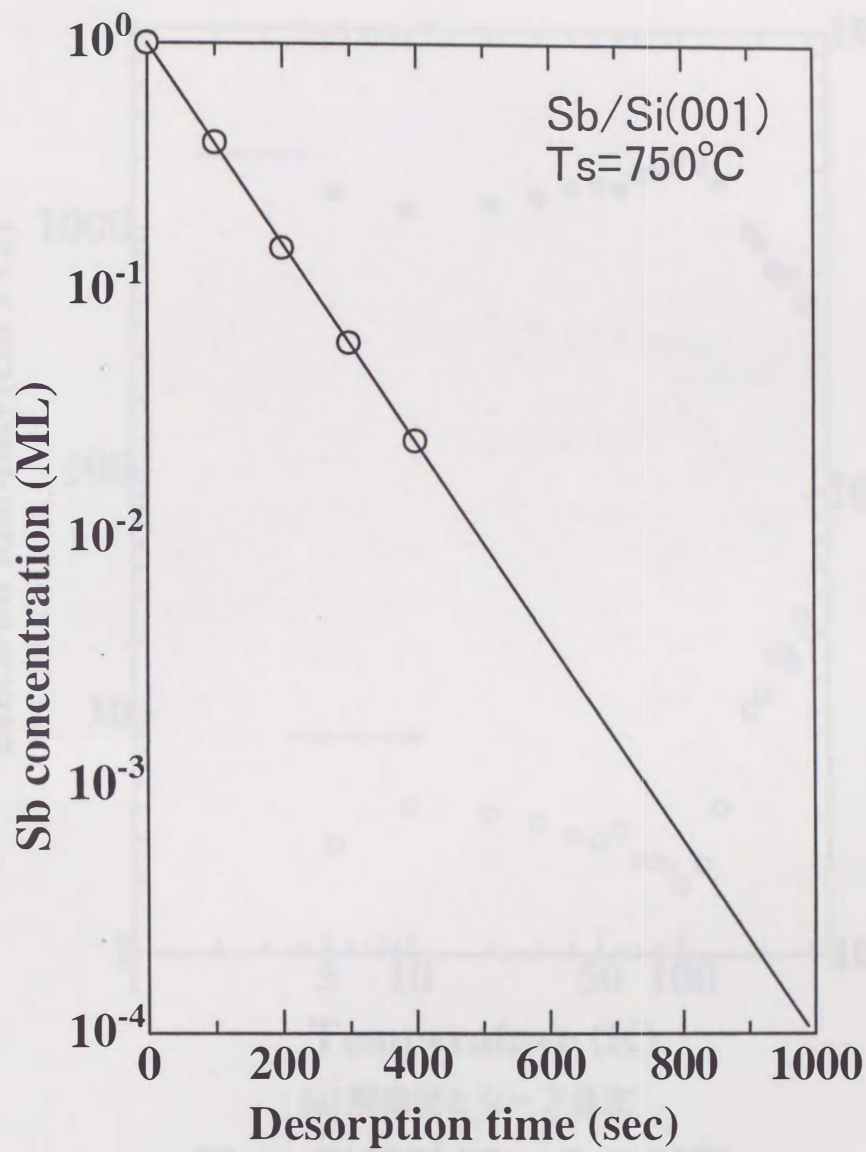
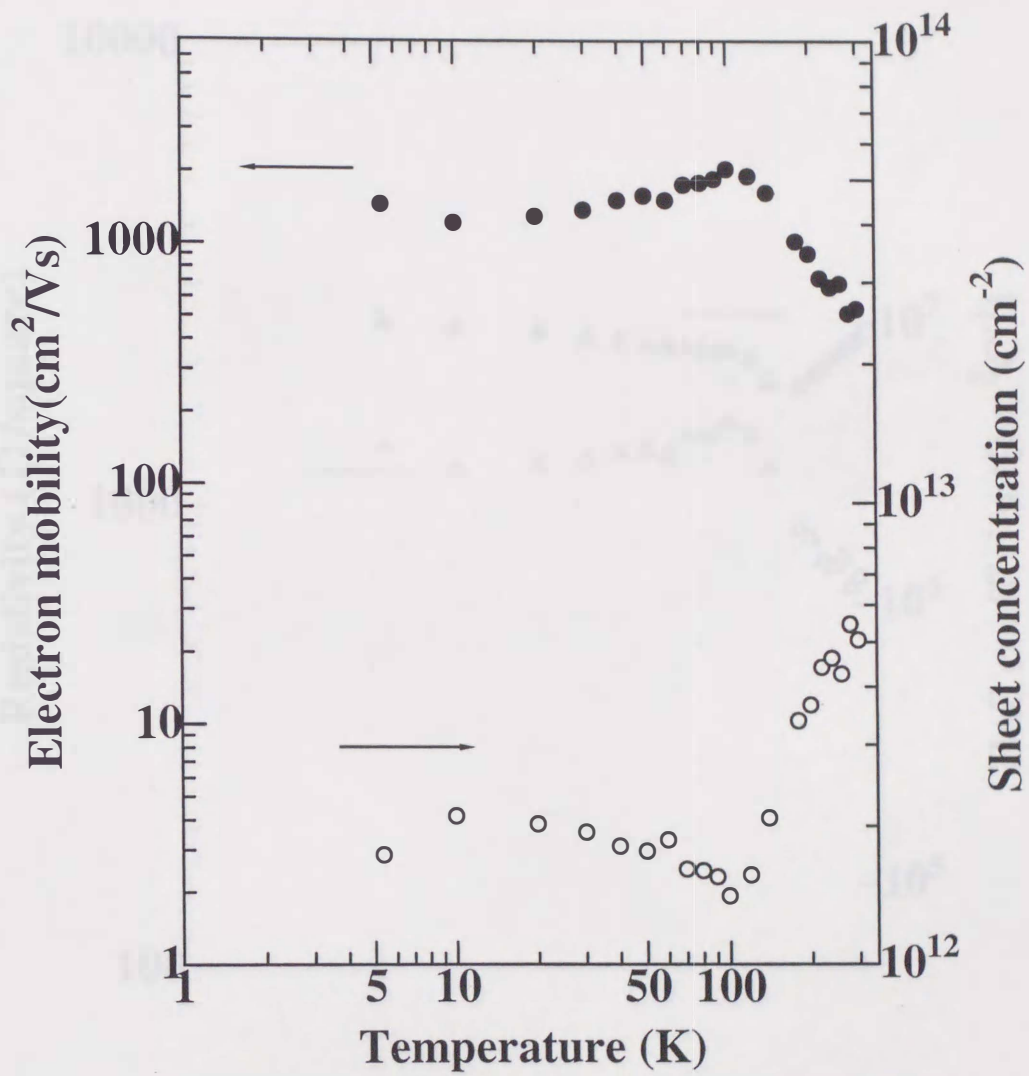
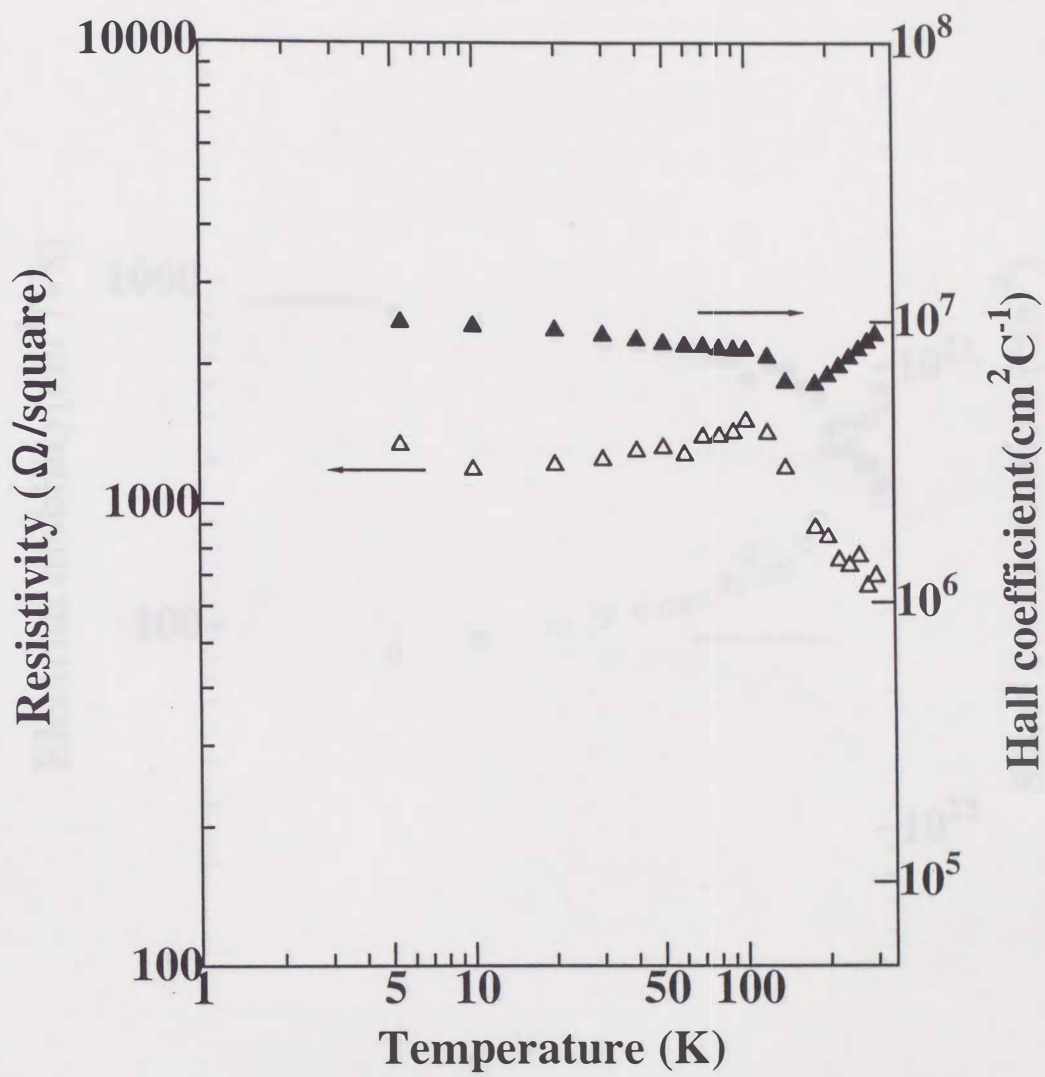


図7-8 Si(001)でのSbの残留量の脱離時間依存性<sup>[3]</sup>



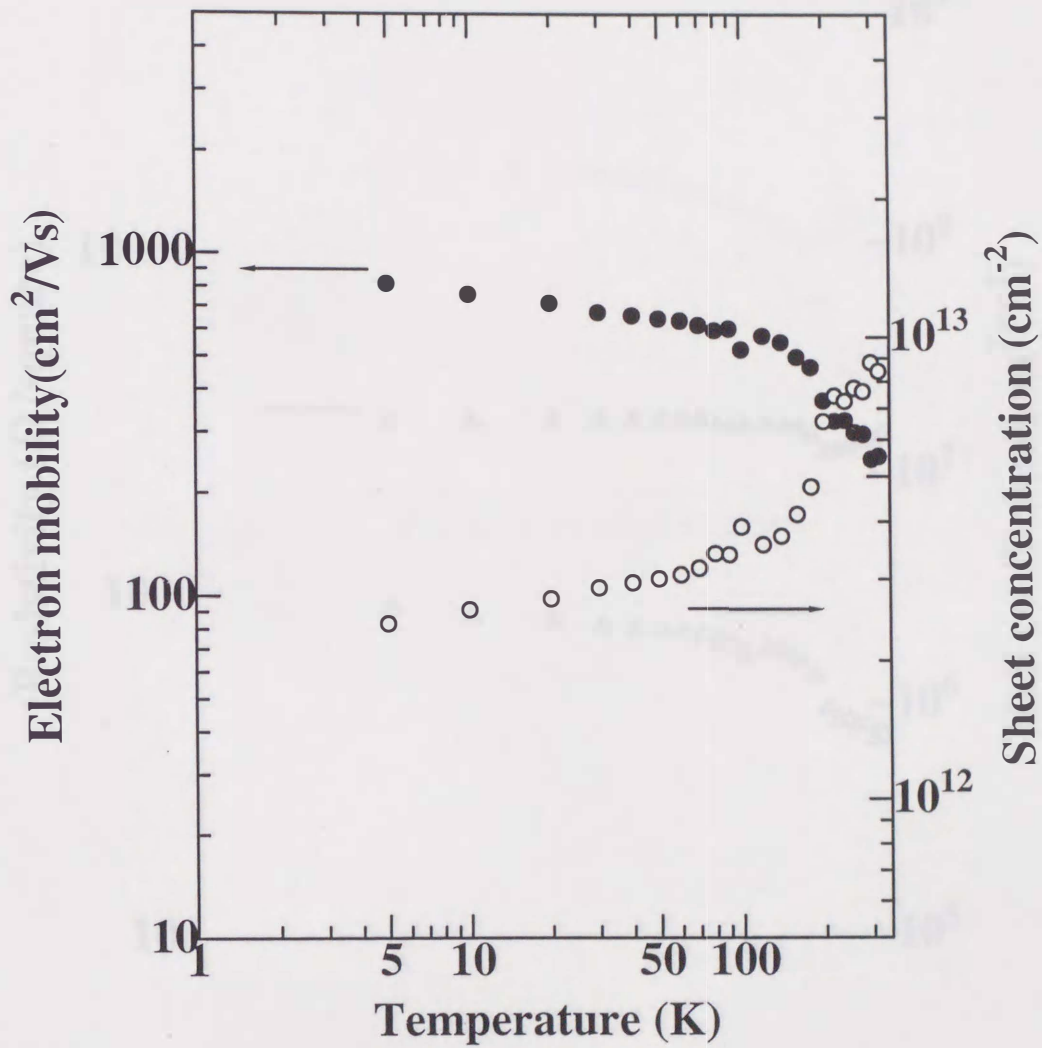
(a) 移動度とシート濃度

図7-9 脱離時間20分の試料



(b)ホール係数と抵抗率

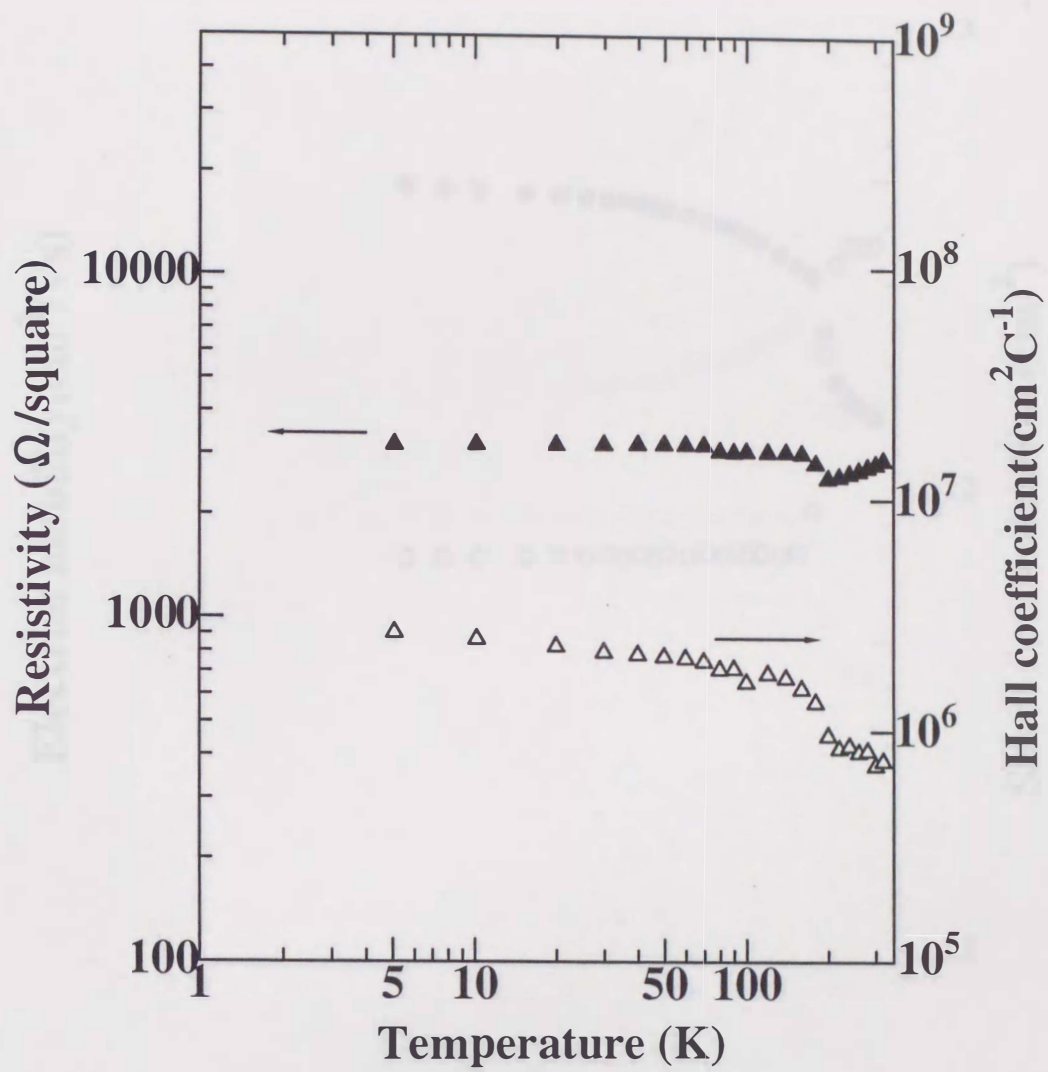
図7-9 脱離時間20分の試料



(a) 移動度とシート濃度

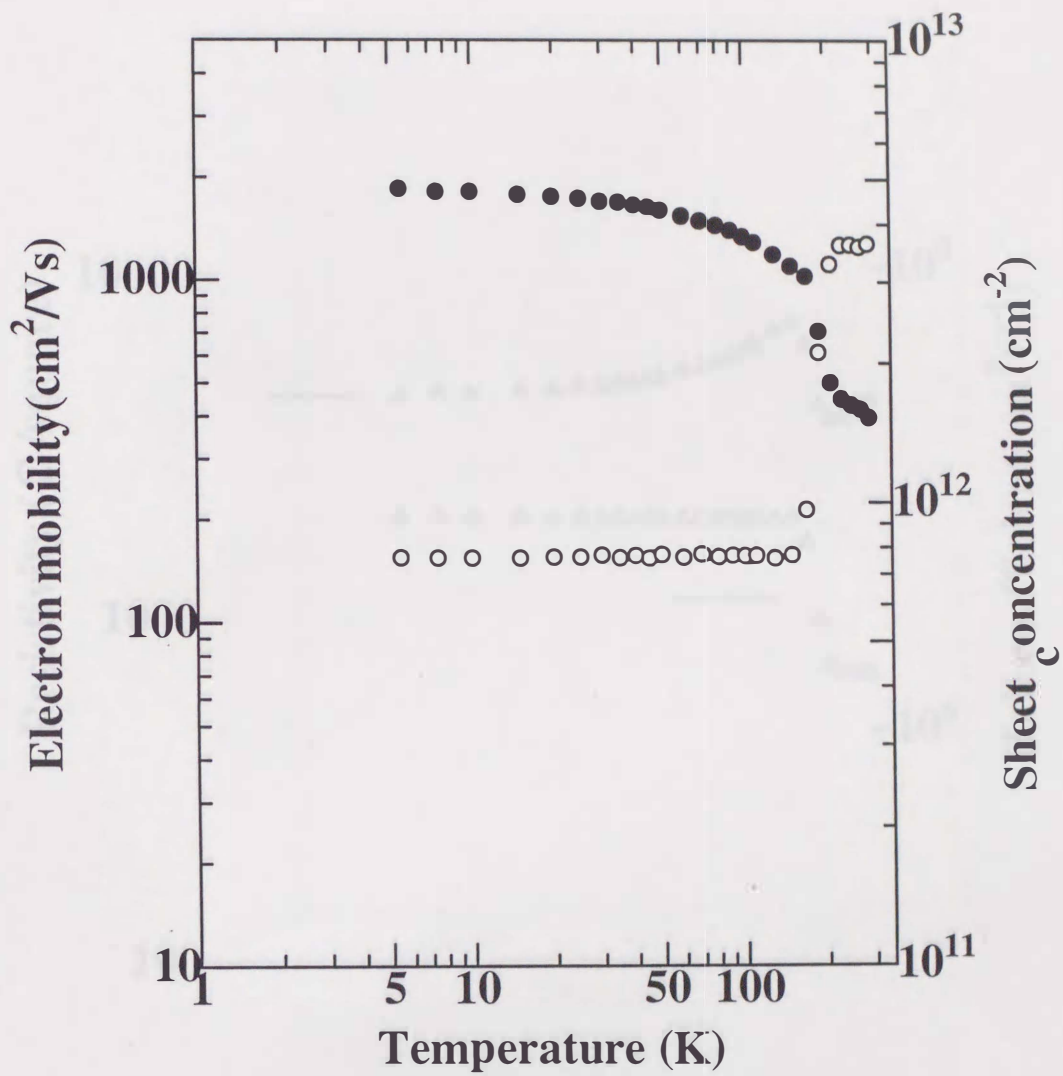
図7-10 脱離時間30分の試料





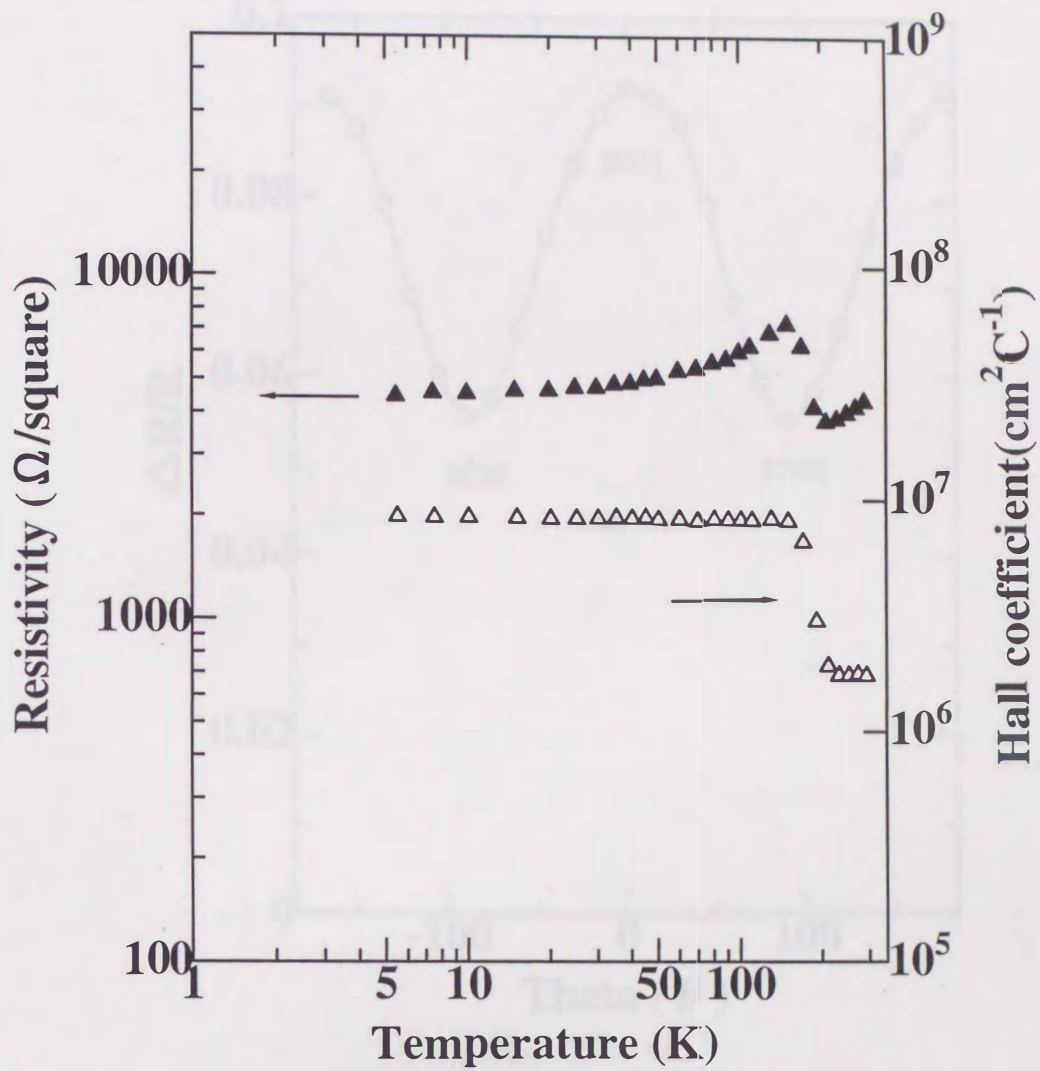
(b)抵抗率とホール係数

図7-10 脱離時間30分の試料



(a) 移動度とシート濃度

図7-11 脱離時間40分の試料



(b) 抵抗率とホール係数

図7-11 脱離時間40分の試料

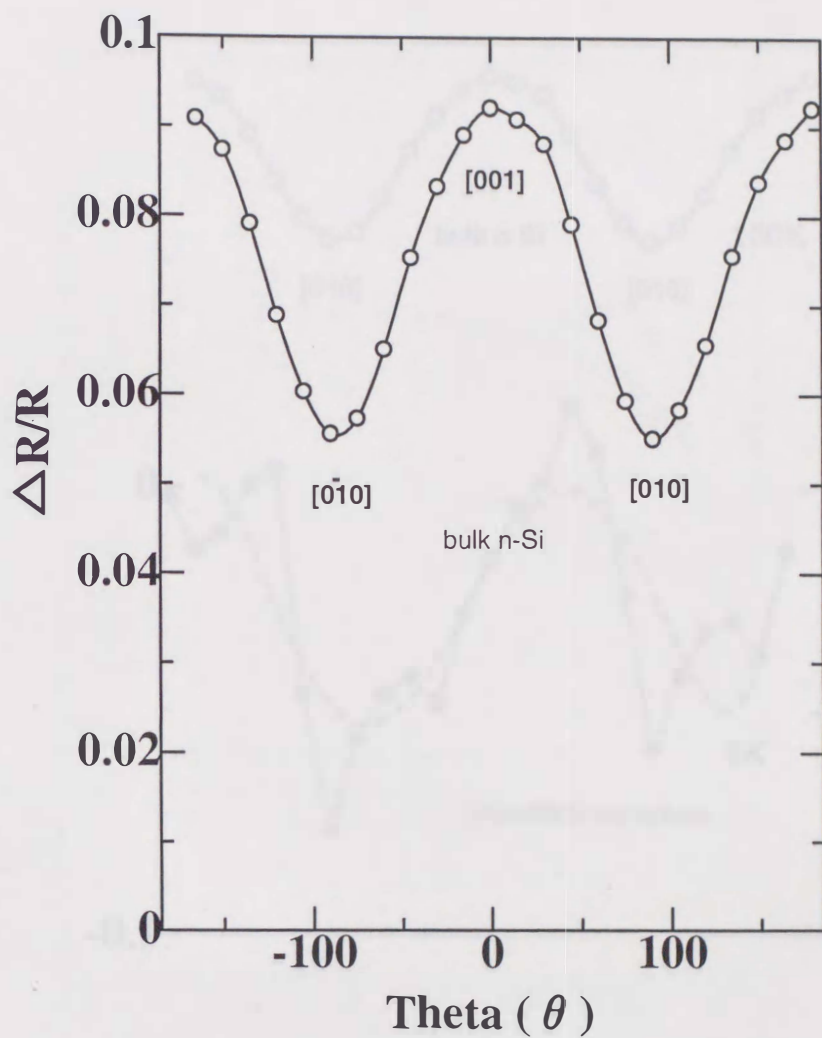


図7-12 n型Si基板の横磁気抵抗効果

0度するとき、(001)面と磁界の方向が垂直に交わる。

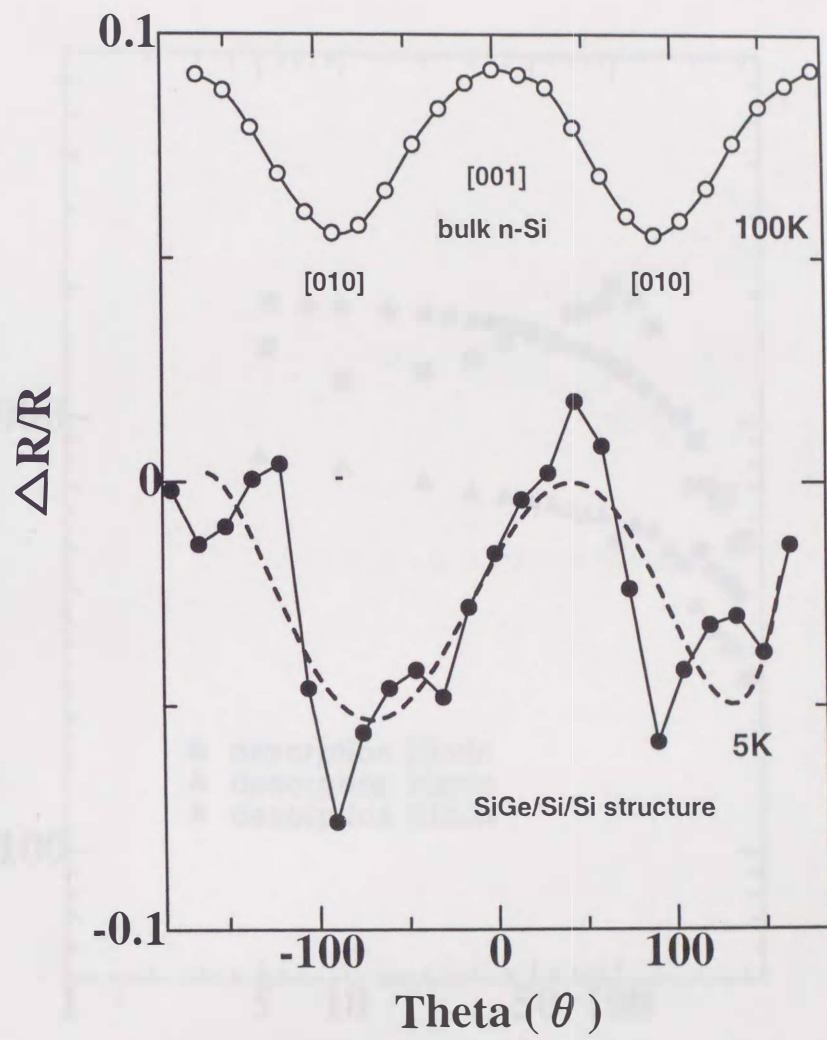
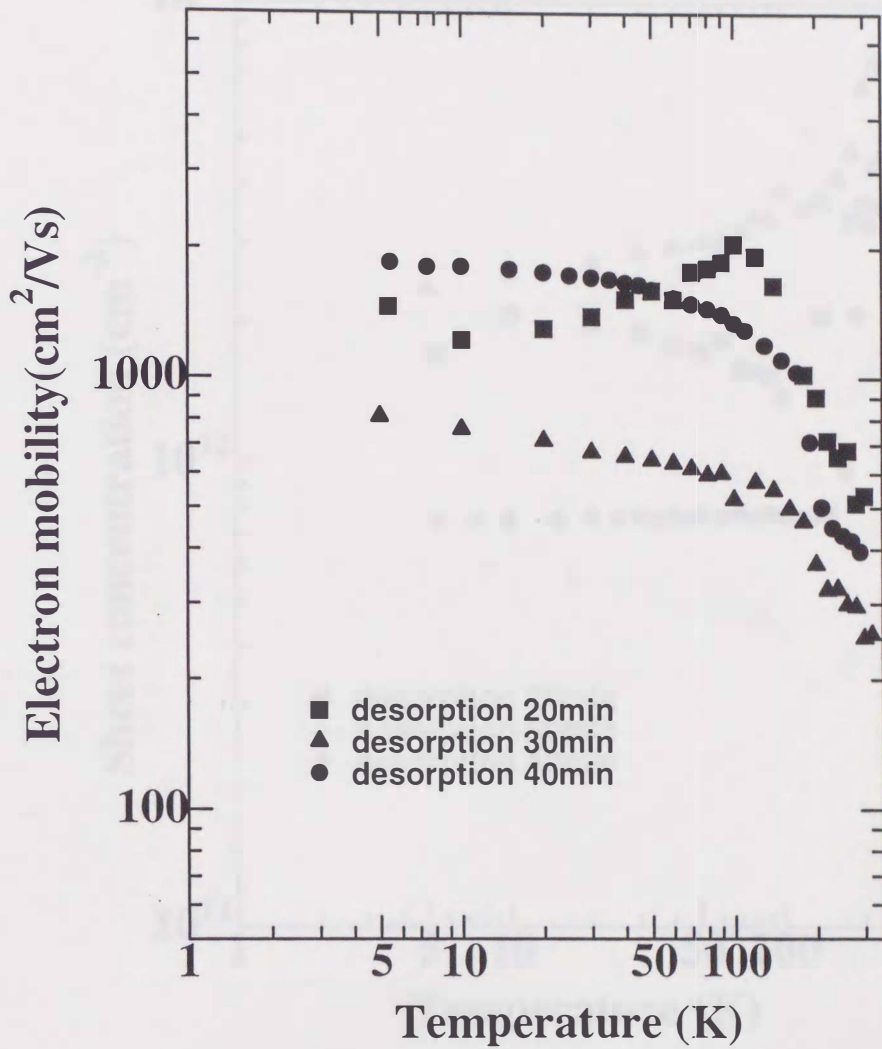
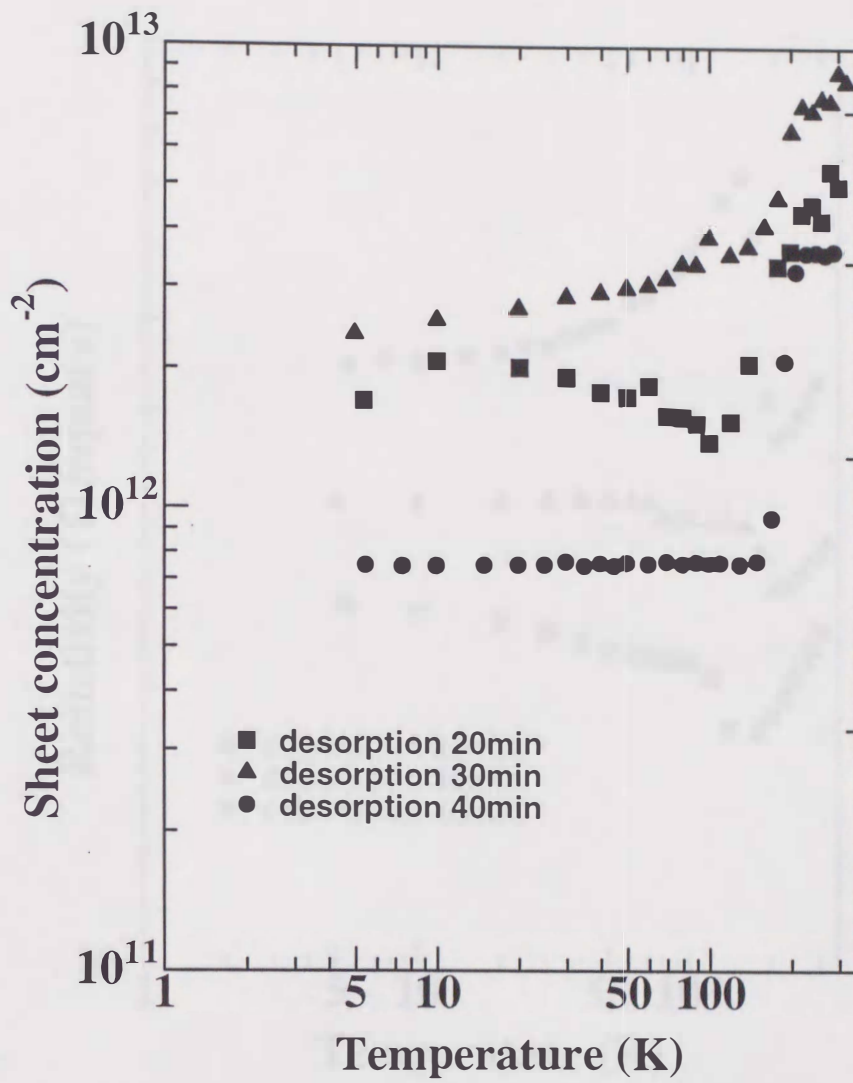


図7-13 脱離-40分の横磁気抵抗効果



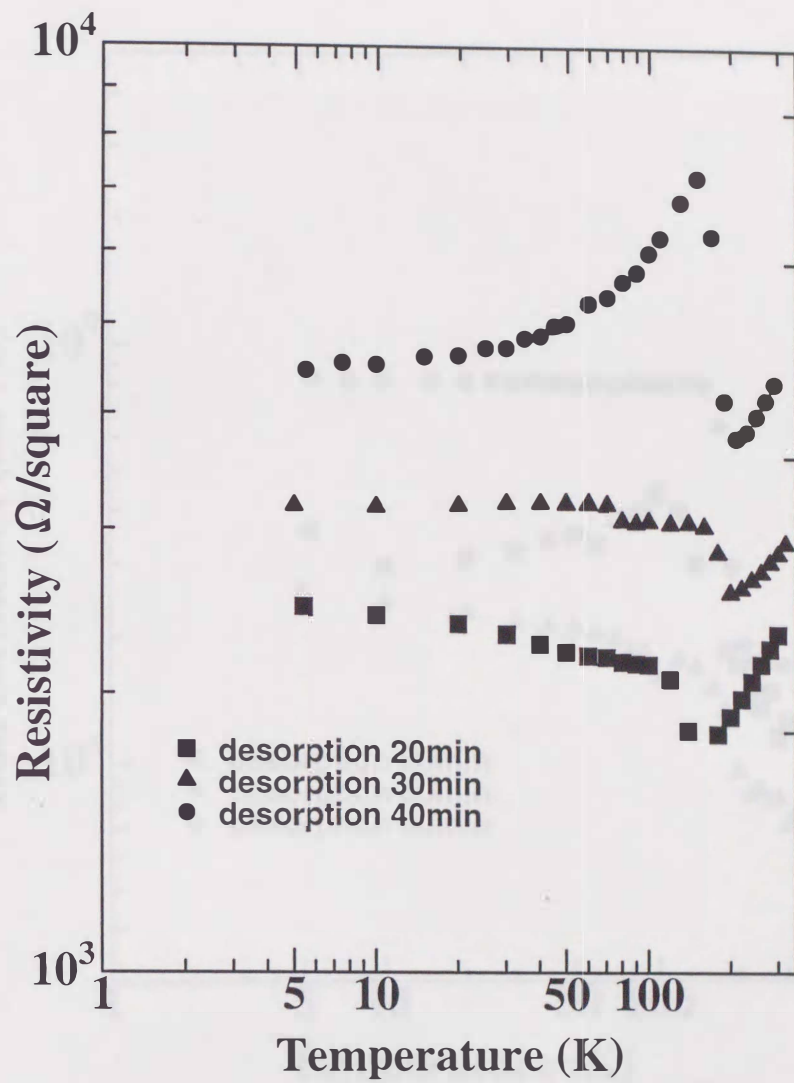
(a) 移動度

図7-14 各評価点ごとでの比較



(b) シート濃度

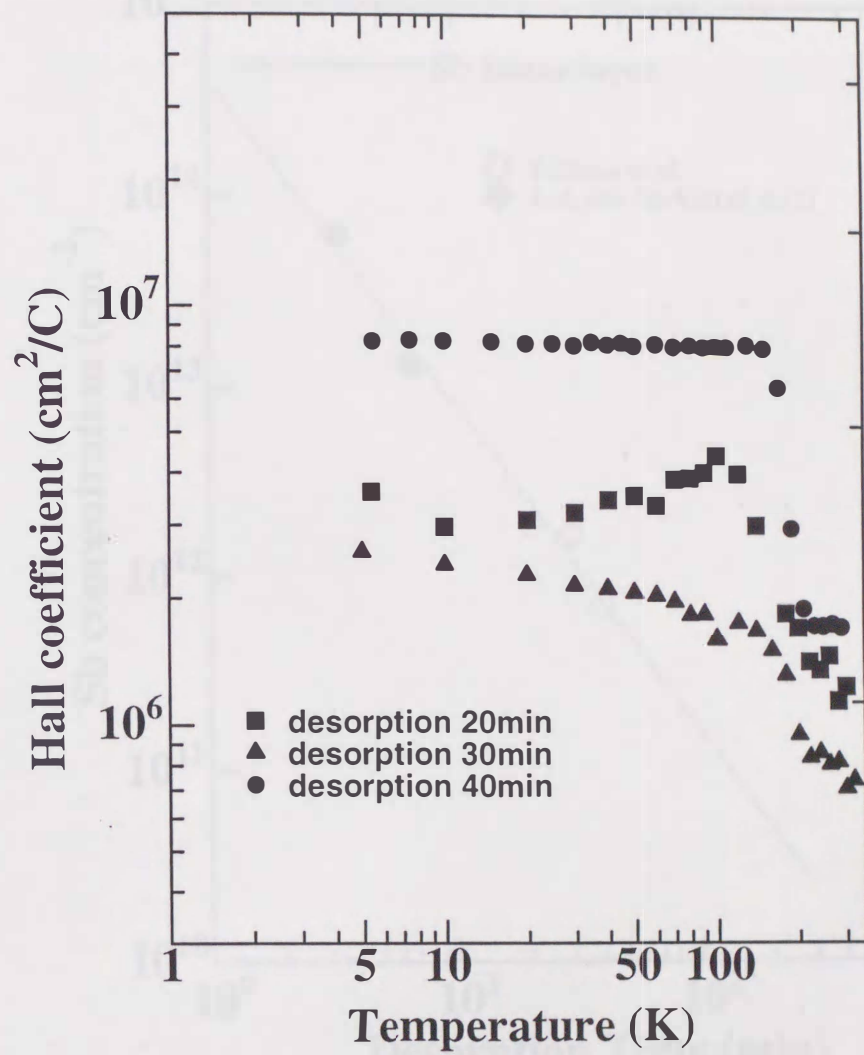
図7-14 各評価点ごとでの比較



(c) シート抵抗

図7-14 各評価点ごとでの比較





(d) ホール係数

図7-14 各評価点ごとでの比較

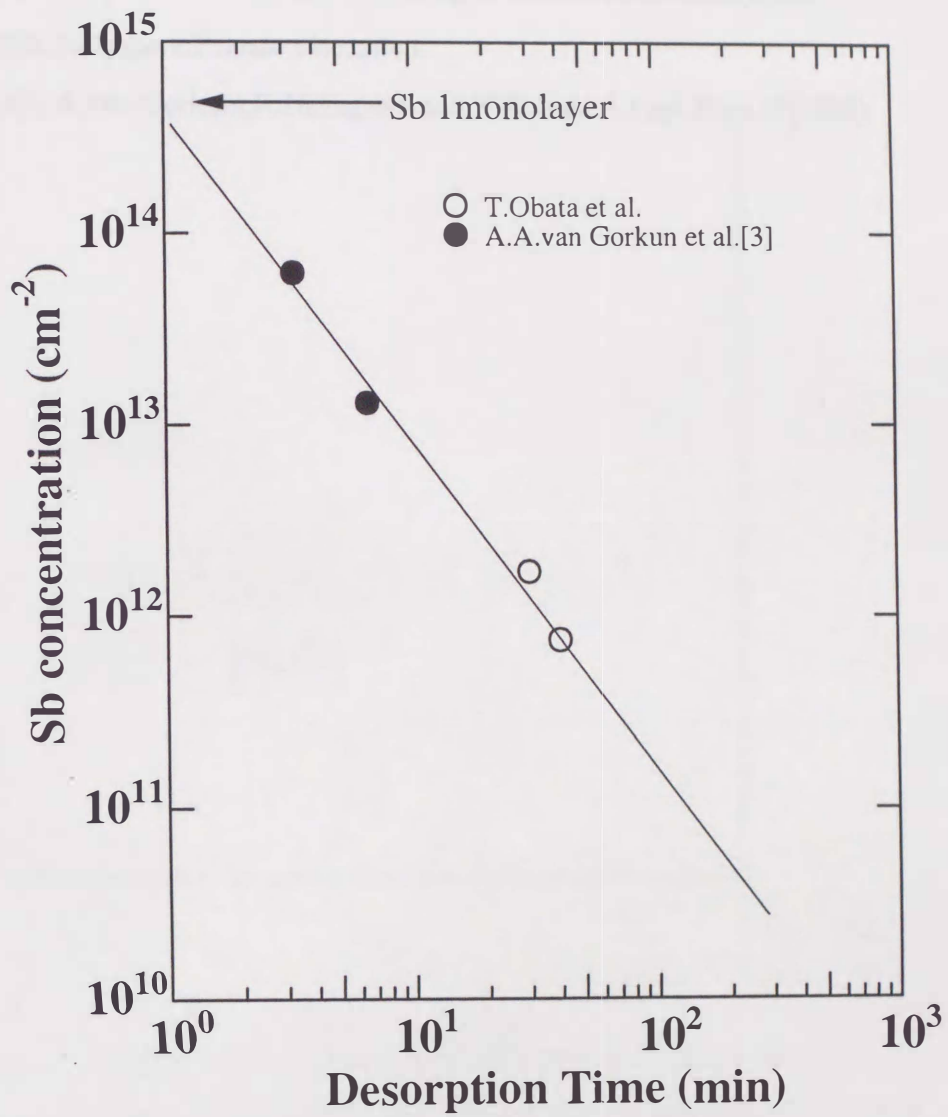


図7-15 Sb濃度とdesorption時間の関係

黒塗りはSi(001)上の場合[3]  
 白塗りは今回求めたSiGe上の場合

[参考文献]

[1]R.People, J.C.Bean, and D.V.Lang:J.Vac.Sci.Technol.A3(3)846

[2]K.Nakagawa:Private discussion

[3]A.A.van Gorkum,K.Nakagawa and Y.Shiraki:J.Appl.Phys.65(1989)

第8章

2次元正孔ガス構造の  
作製と評価

2次元正孔ガス構造の作製と評価について、まず、その構造と特性について述べる。2次元正孔ガス構造は、半導体材料中に形成された、正孔が自由に移動できる構造である。この構造は、半導体材料中の正孔を、特定の位置に固定させることで、正孔の移動を制御することができる。この構造は、半導体材料中の正孔を、特定の位置に固定させることで、正孔の移動を制御することができる。この構造は、半導体材料中の正孔を、特定の位置に固定させることで、正孔の移動を制御することができる。

8.1 材料の作製方法

2次元正孔ガス構造の作製方法は、半導体材料中に正孔を形成させることで実現される。この方法は、半導体材料中の正孔を、特定の位置に固定させることで、正孔の移動を制御することができる。この方法は、半導体材料中の正孔を、特定の位置に固定させることで、正孔の移動を制御することができる。この方法は、半導体材料中の正孔を、特定の位置に固定させることで、正孔の移動を制御することができる。

## 第8章

# 2次元正孔ガス構造の 作製と評価

SiGe 2次元正孔ガス構造はSiGeチャンネル層に正孔ガスを閉じこめて量子効果を得る構造である。この構造においてはスタガード構造である2次元電子ガス構造とは違って、電子と正孔の両方のキャリアの閉じ込めが可能であるが、実際には伝導体側にはバンド不連続がほとんど形成されないので正孔の閉じこめ効果のみが顕著に現れる。

我々はこの構造と、量産技術である熱拡散法を併用することによって2次元ホールガス構造を作製することを試みた。

### 8.1 試料の作製方法

基本構造は図8-1に示す。ベースとなる基板はn型基板にp型ドーパントであるボロンを熱拡散したものを使用している。その上にイントリンシックなSiスペーサー層を成長させ、さらに量子井戸となるSiGe層を成長させる。そして最後に障壁層の作製、素子構造の

安定化と保護のためにSiキャップ層を作製する。以上の各工程について詳しく述べる。

- 熱拡散

ベースとなる基板は抵抗率 $2\sim 4\Omega\text{cm}$ のn型Si基板を用いている。この基板をRCA洗浄し、その後熱拡散炉にてボロンを拡散している。ドーパント源はセラミックにボロンをしみこませたボロンディスクを用い、それにSi基板を対向させ表面にボロンをドーピングしている。この工程を詳しく箇条書きにする。

1. Si基板をRCA洗浄にて洗浄する。
2. 試料台にドーパントのボロンディスクと基板を対向させるように配置し、拡散炉内へ導入する。
3. 拡散炉の温度を徐々に上げて、 $750^\circ\text{C}$ 程度の温度でプレデポジションを行う。
4. この工程でSi基板表面にボロンシリケートガラスが形成され、表面の浅い領域にボロンが拡散される。
5. 拡散炉よりSi基板を取り出し、表面のガラスをDHFで取り除く。
6. 再びSi基板を拡散炉内に導入し、ドライブインを行う。このとき、炉内に酸素を導入して、表面に酸化膜を形成している。(酸化膜は形成の必要がないが、表面のボロンが酸化膜側にも拡散されるので濃度を下げやすくなる)
7.  $1000^\circ\text{C}$ 以上で数十分間拡散を行い、基板を取り出す。表面の酸化膜はバッファードHFにて取り除く。

これでベース基板が完成する。このときの基板にドーピングされるボロンの量は拡散温度と時間によってコントロールできる。我々が今回用いた基板は、北陸電気工業(株)のクリーンルーム内にて作製した基板を使用しているが、量産ラインの廃棄基板を流用している為、ドーピング濃度は理想的な条件を設定できなかった。ちなみにドーピング濃度は表面濃度で $10^{18}\text{cm}^{-3}$ 台で、拡散深さは約 $2\mu\text{m}$ である。この基板を指定の寸法にカットして洗浄を行い、MBE装置内に導入している。

- SiGe量子構造の作製

SiGe量子構造は上記の基板上に直接作製している。まず、ボロン層の不純物散乱の影響をなくすためにSiスペーサーを作製する。その後、量子井戸であるSiGe層を作製する。このときの膜厚はGeの含有量に左右されるがあまり厚く成長させると転位

が導入され、SiGe層への圧縮歪みが無くなるので膜厚と成長温度に気をつける。最後に、もう一つの障壁層であるSi層を蒸着する。この層は井戸層の保護もかねるのでやや厚めに作製する。(図8-1) 作製した試料は以下の通りである。

- ① SiGeチャネル層のGe組成を変化させる。
- ② ドープ層である基板とチャネル層の間のスペーサー層の厚さを変化させる。

また、ベースとなる基板は、上記の熱拡散をおこなった基板と不純物濃度の低い基板を用意し、それを使用した。

1. 約  $10^{18}\text{cm}^{-3}$  のボロンを熱拡散した基板
2. 約  $10^{15}\text{cm}^{-3}$  程度の不純物濃度を持つ基板を持つ基板

これらの基板上にSiスペーサー、SiGeチャネル層、そしてSiキャップ層を成長させてホール効果を用いて電気的な評価を行った。

## 8.2 電気的特性の評価

試料の評価はホール効果にて行った。

各々の基板は、10mm□程度の大きさにカットして試料にAl電極を作製し、それを500°Cでシンタリングして、試料にコンタクトをとっている。これを試料ホルダーに取り付けて、ヘリウム温度までの電気的特性を評価した。

まず、ベースとなる基板の特性を調査した。結果を図8-2(a)~(b)に示す。図8-2(a)の熱拡散基板はドープ濃度が高いためか、ほとんど温度特性を持たず、ほぼメタリック相を示している。抵抗率も非常に低く、30K以下まではほぼ一定の値をとっている。このことから熱拡散基板は表面濃度が高いため、ほぼ金属であるような振る舞いとなっている。やや半導体的な温度特性もみられるが、これはメタリック相と半導体相の2つのパスが存在するためであろう。この基板の場合、ドープ濃度が高すぎるため、現状での我々の実験条件にはあわないことがわかる。

もう一方の基板(図8-2(b))を用いた場合、一般的な半導体特性がみられる。キャリア濃度に着目すれば、ほぼ100Kあたりからフリーズアウトが始まって移動度は、低不純物濃度にもみられる上昇が確認できる。40Kあたりからのキャリア濃度の異常は、コンタクトの不良か、抵抗率が高いために測定系の限界が見えていると考えられる。移動度の上昇

によるチャンネル層特性のマスキングが気になるものの、100K以下ではフリーズアウトがみられるので、2次元正孔ガス構造ができていれば、観測は可能であろうと考えられる。

これらの基板を用いてSiGe量子井戸構造を作製し、SiGeチャンネルの組成とスペーサー層の膜厚を変化させて量子効果を評価した。

- SiGeチャンネル層の組成を変化させた試料

各々の基板の上にGe組成  $x=0.1, 0.2$  のSiGeチャンネル層を形成し、その組成依存性を評価した。結果を図8-3(a)~(b)に示す。

まず、熱拡散基板(図8-3(a))の場合、100Kから信用できる測定値の得られる30Kまでは、組成が大きい方がやや移動度が高くなっている。これは基板の特性と量子井戸にたまった正孔の両方が合わさった特性をみていると考え、組成を大きくして井戸の深さを深くすると閉じこめ効率がよくなることを示している。しかし、ここで量子効果が現れていないとすれば、パスの一つであるSiGe層のGe組成が増えて、トラフィックがよくなったとも考えられ、量子井戸が必ずしも形成されている確証はない。

もう一方のバルク基板(図8-3(b))上に作製したSiGeチャンネル構造では、移動度は組成があがるにつれて、大きくなっている。しかし、キャリア濃度は、全く一緒に基板ともあまり差がみられない。これに関しては、量子井戸構造が機能していない様に見える。移動度がやや大きくなったのは、Siに対して大きなバルク移動度を持つGeの含有率が変わったために、大きな値を示したものと考えられる。

以上から、量子井戸構造は両方の試料共に機能していない、あるいはバルクの特性にマスキングされて見えていないことが推測される。ここまでのデータにおいては、2次元正孔ガスの観測はできていない可能性がある。

- Siスペーサー層の膜厚を変化させた試料

量子井戸は、キャリアの供給源であるp型層、あるいはp型基板と距離を置いて空間的に分離した設計を行うと、キャリア濃度及び、移動度に依存性がみられる。そこでそれぞれの試料に対してスペーサー幅依存性を調査した。

熱拡散基板の結果は図8-4(a)である。これをみるとほとんど依存性が観測されなかった。30K以下の領域では依存性がみられるが、キャリア濃度がほとんど金属的にな

るほど高い濃度であるので、スペーサー幅が増えることによって散乱が少なくなり、キャリアの通り道が太くなることがこの結果に反映されていると考えられる。

通常の基板を用いた試料の場合を図8-4(b)に示す。スペーサー層幅が、0、10と40nmのものに関しては、100K以下の領域でフリーズアウトしてしまい、ほぼ基板特性になっている。つまり、SiGeチャンネルにキャリアは供給されていない。スペーサー幅が5nmの場合は、フリーズアウトが観測されず、チャンネルにキャリアの閉じこめ効果らしきものがあることが観測された。キャリア濃度はほぼ一定で、移動度は $7000\text{cm}^2/\text{Vs}$ 程度観測され、他の試料とは違う振る舞いが観測された。これが量子井戸によるものかは、現在検討中である。なぜなら、キャリア濃度が $10^{13}\text{cm}^{-2}$ 以上とかなり大きく、井戸全体にキャリアの分布があるとすればその中のキャリアの体積密度 $V$ は

$$V = 10^{13}\text{cm}^{-2}/20 \times 10^{-8}\text{cm} = 5.0 \times 10^{19}\text{cm}^{-3} \quad (8.1)$$

となり、ほとんど金属的振る舞いをしてしまうことがわかる。これを考慮すると、2次元正孔ガスの存在の確証は困難であるが、基板特性とは明らかに異なる結果を示していることから2次元正孔ガスの可能性はある。また、スペーサー幅が10nm以上になるとキャリアの供給が悪くなって、量子井戸中まで達していないと思われる。

### 8.3 まとめ

どの試料においても、量子効果がはっきりと確認できなかった。この原因として

- SiGeチャンネル層に転位が導入されて、効果的にバンド不連続が形成されていない。
- 熱拡散基板の場合、ボロンが高濃度にドーピングされているため、その高いコンダクティビティの層の影響のためか量子井戸が見えにくく、また、量子井戸のGeの組成を変えたり、スペーサーの幅を変えても抵抗値が変化するだけなのでその変化分として移動度のデータに表れている。
- 通常の基板を用いたものに関しては、ほとんどバルクの特性に、上のエピ層の情報がのっかっているものと考え、スペーサー幅を5nmにした時を除いて、チャンネルへのキャリアの供給が行われていない。

などが考えられる。



これらの対策として、ボロンのドーピング濃度をコントロールして、メタリックな伝導がなく、しかも低温では基板のキャリアがフリーズアウトしてしまう条件にし、そのドーピング層に電極からのキャリアの注入が起こらない構造にする必要がある。よってドーピング濃度は、 $10^{17}\text{cm}^{-3}$ 程度の不純物濃度のドーピング層をなるべく薄く作製し、電極位置に $n^+$ ドーピングを行い、PN接合を作製する事で基板とのアイソレーションをとることが有効と考えられる。

このプロセスを図8-5に示す。まず、 $n^-$ 基板表面にボロンを $10^{17}\text{cm}^{-3}$ 前半の濃度にドーピングする。その後、ドライブインを行い、同時に200nm程度の厚みの酸化膜を形成する。フォトリソグラフィで電極位置の酸化膜を取り除く。それからさらに、その電極窓に $n^-$ をドーピングするが、あまり高濃度にするとうーミック性が良くなってしまいうので濃度は、あまり濃くしない（この $n$ 型層が、基板までに突き抜けないのであれば、高濃度でも問題ないと思われる）。最後に、酸化膜と表面のシリケートガラスを取り除けば基板は完成である。電極付けの際は、 $n$ 型窓にアライメントしてAl電極、あるいは、 $p$ 型のみ contacts がよい合金材料を選択して蒸着、熱処理を行うことが必要と思われる。

本研究では、ドーピング層の条件や、電極構造の問題で2次元正孔ガスの確実な確認はできなかった。しかし、不純物濃度が低い基板を使用した場合は、スペーサー幅を薄くすることによって、2次元正孔ガスらしき特性が確認された。これは基板中のキャリアが、低温ではフリーズアウトしてしまうためその領域からは基板の影響を受けにくく、量子井戸層のみの情報を得られることが理由と思われる。ドーピング濃度や電極構造の改善を行い、チャンネル層以外のパスの影響を取り除くことによって量子効果の確認ができるものと考えられる。

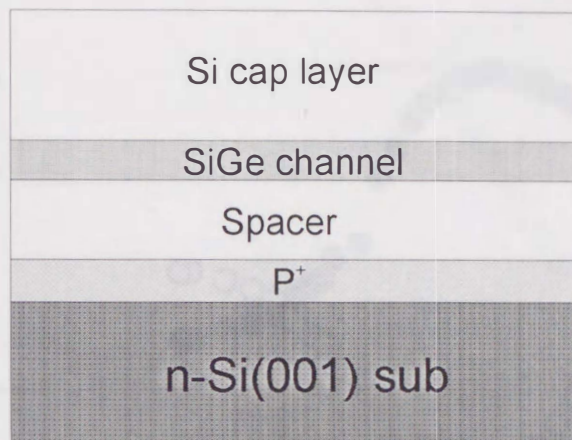
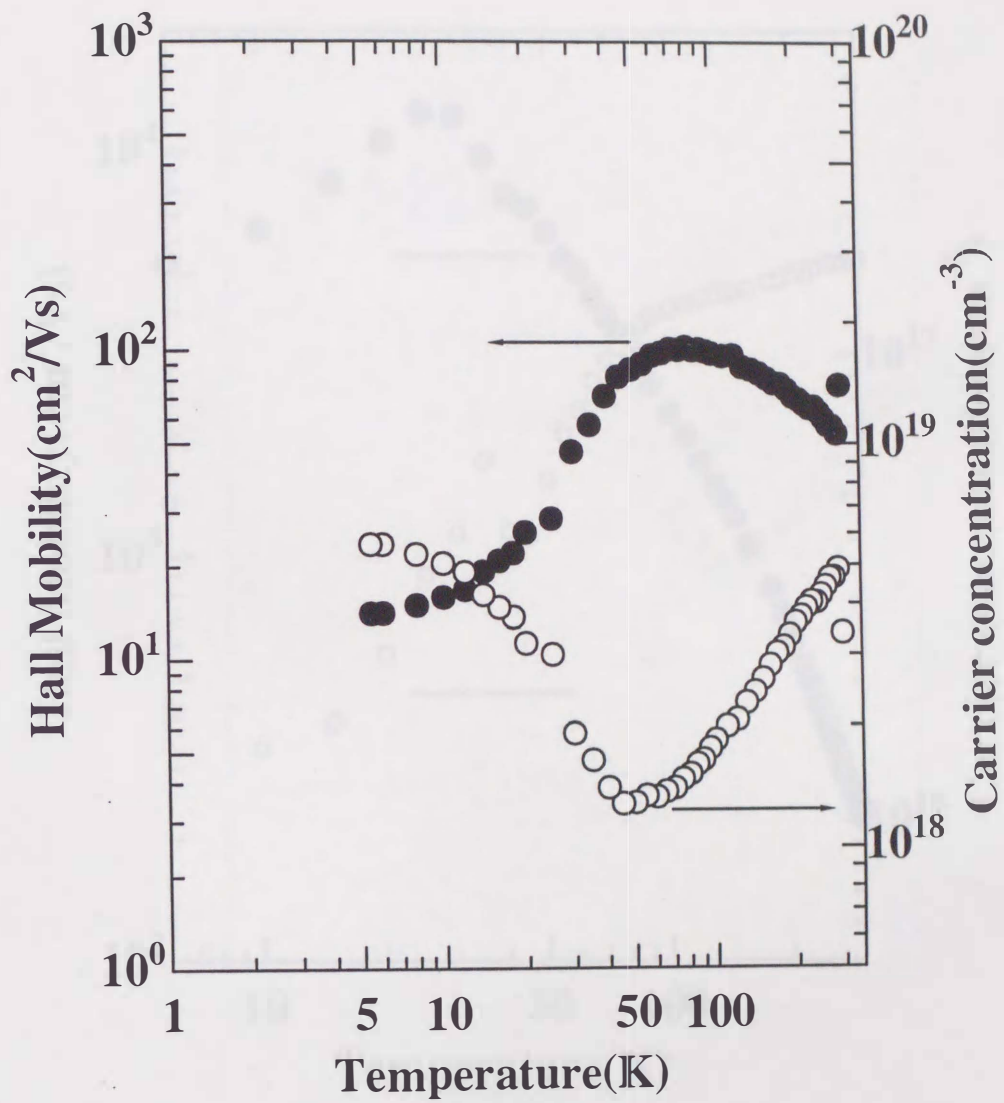
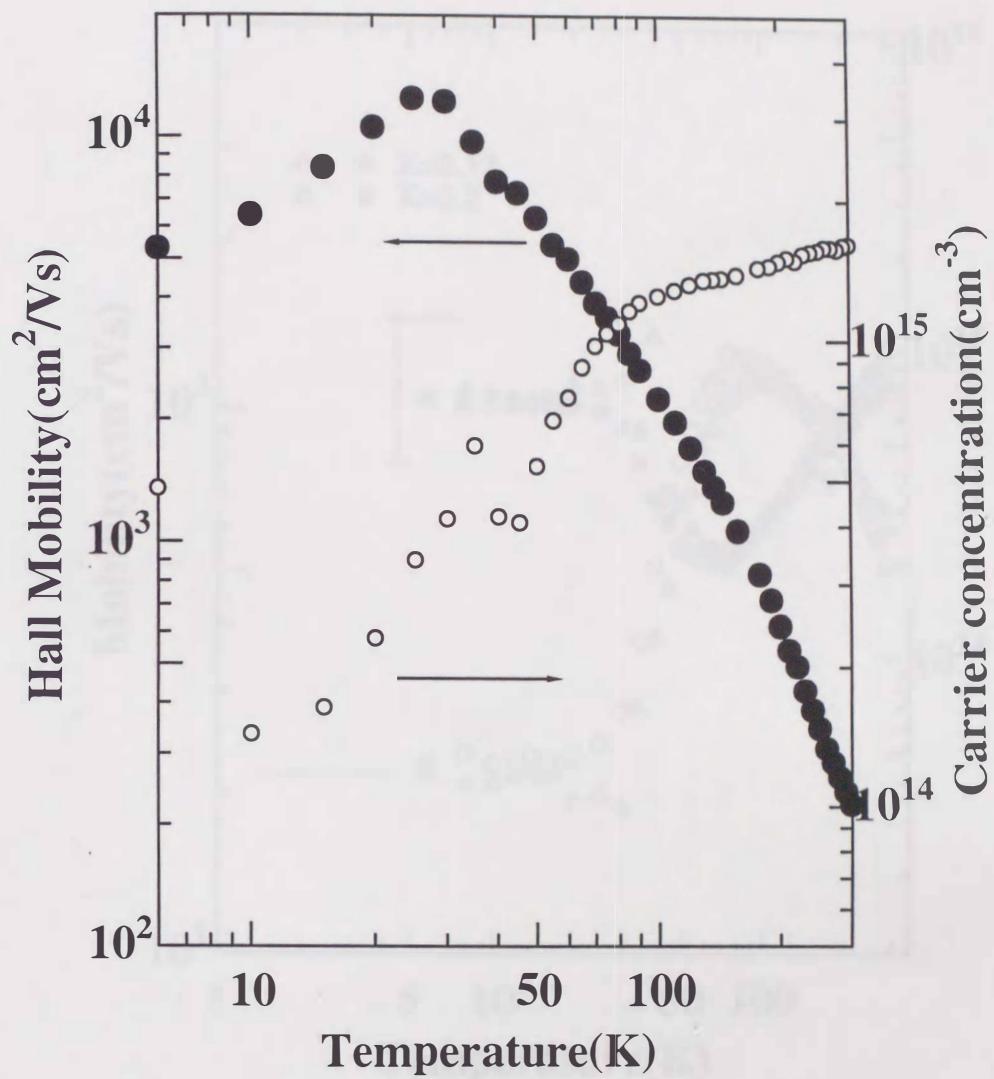


図8-1 p-channel構造



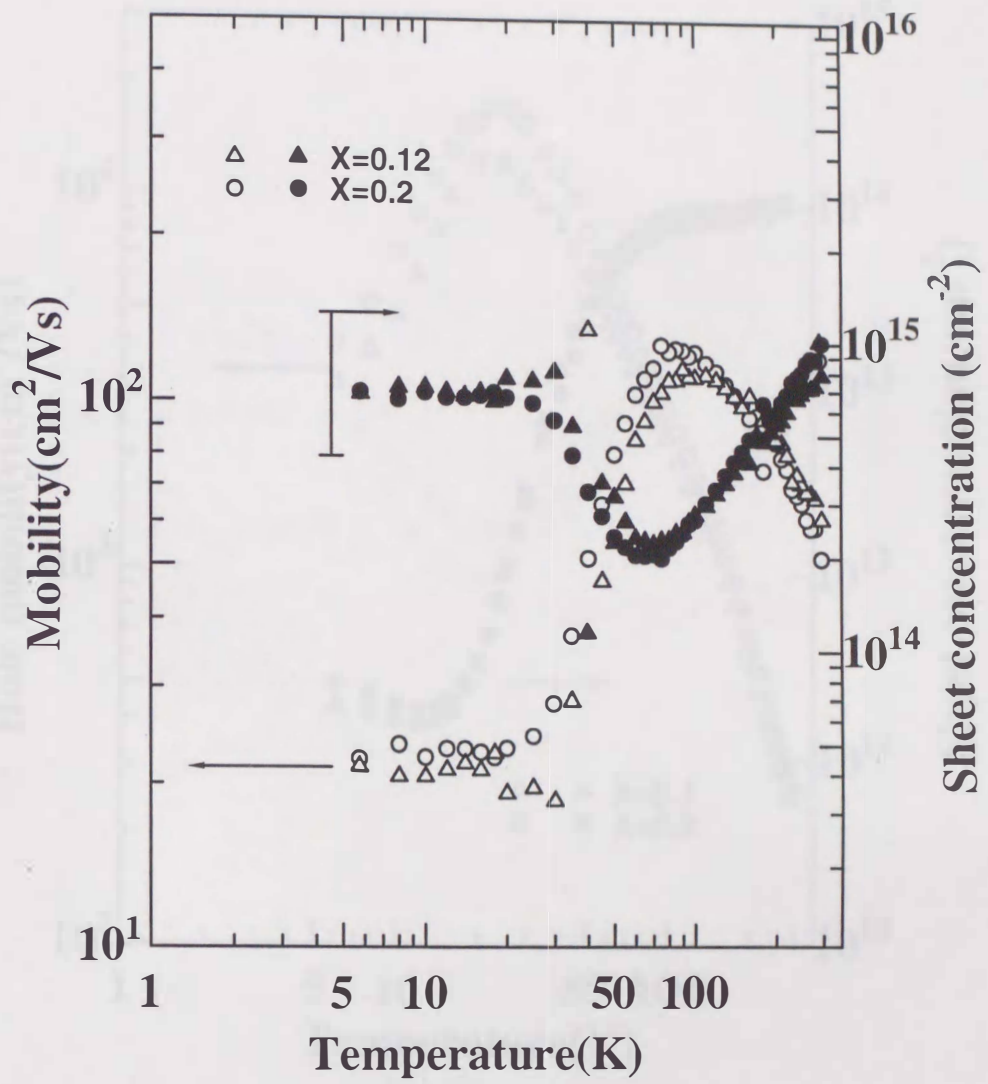
(a) 熱拡散基板

図8-2 ベース基板特性



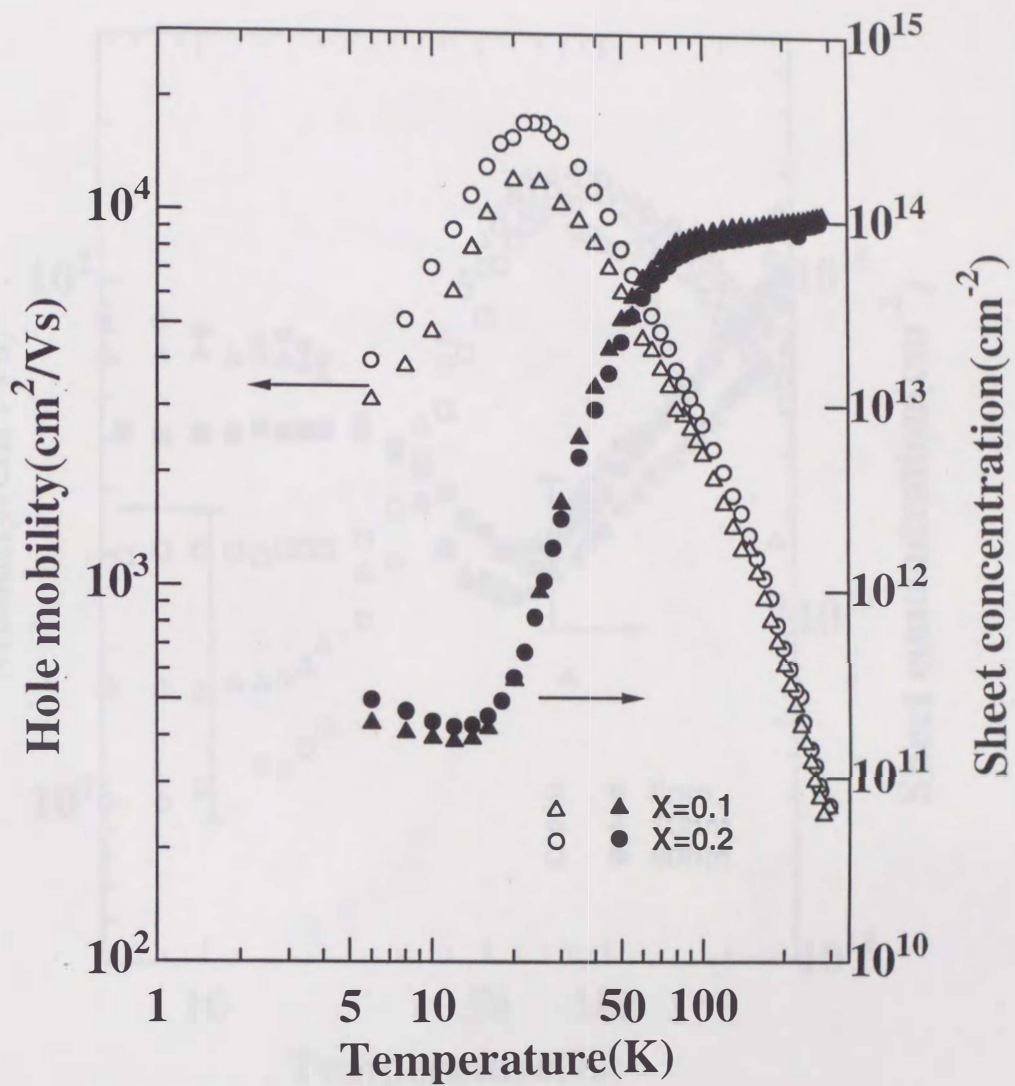
(b)  $10^{15} \text{ cm}^{-3}$  基板

図8-2 ベース基板特性



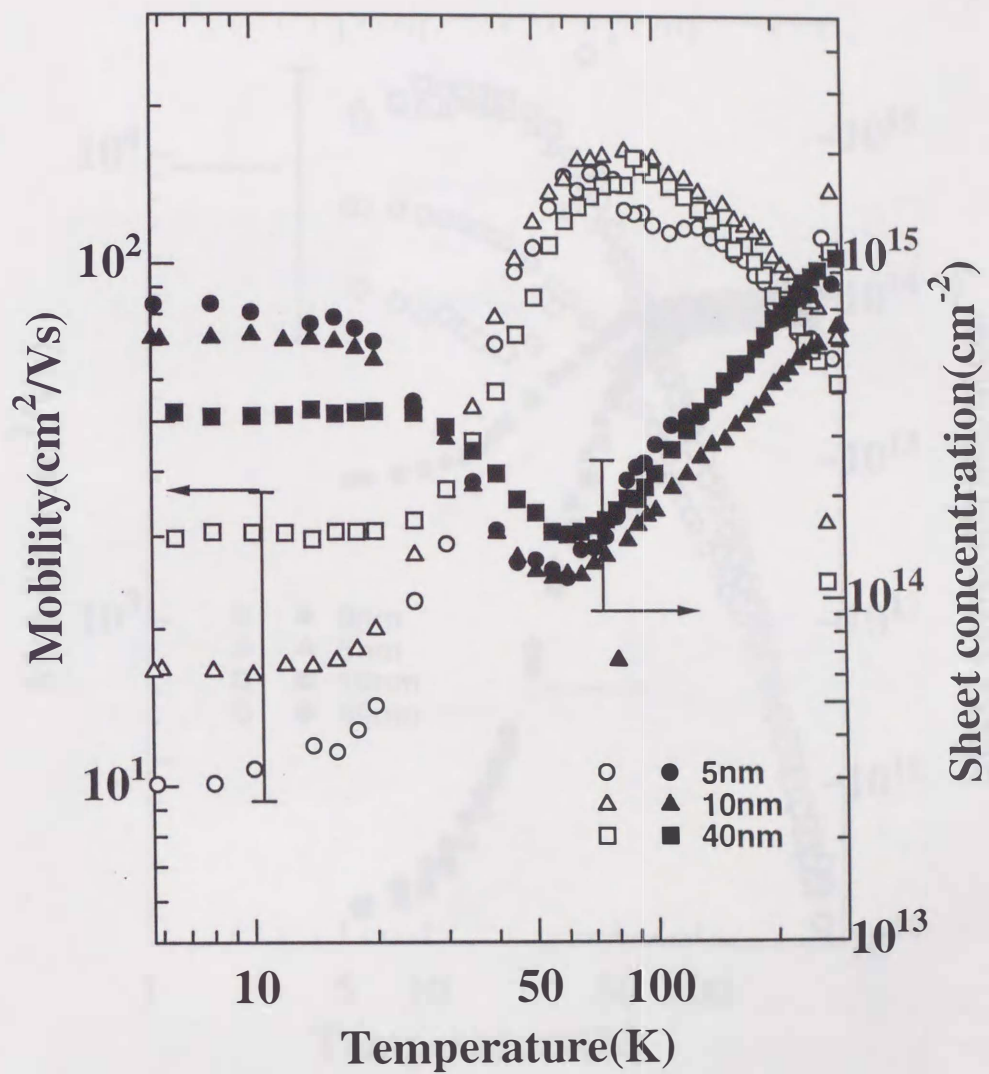
(a)熱拡散基板

図8-3 移動度、シート濃度のGe組成依存性



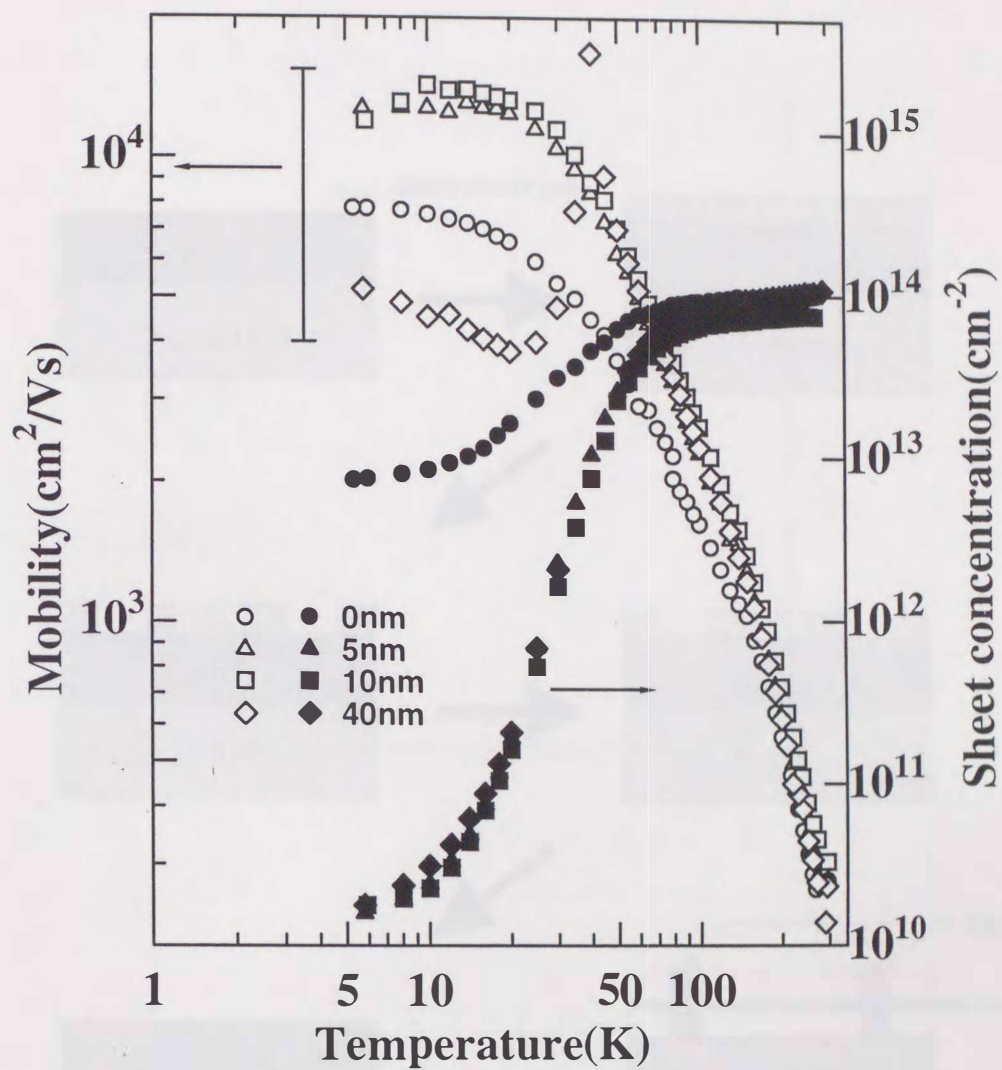
(b) 10<sup>15</sup>cm<sup>-3</sup>基板

図8-3 移動度、シート濃度のGe組成依存性



(a) 熱拡散基板

図8-4 Siスペーサー幅依存性



(b)  $10^{15}\text{cm}^{-3}$ 基板

図8-4 Siスペーサー幅依存性



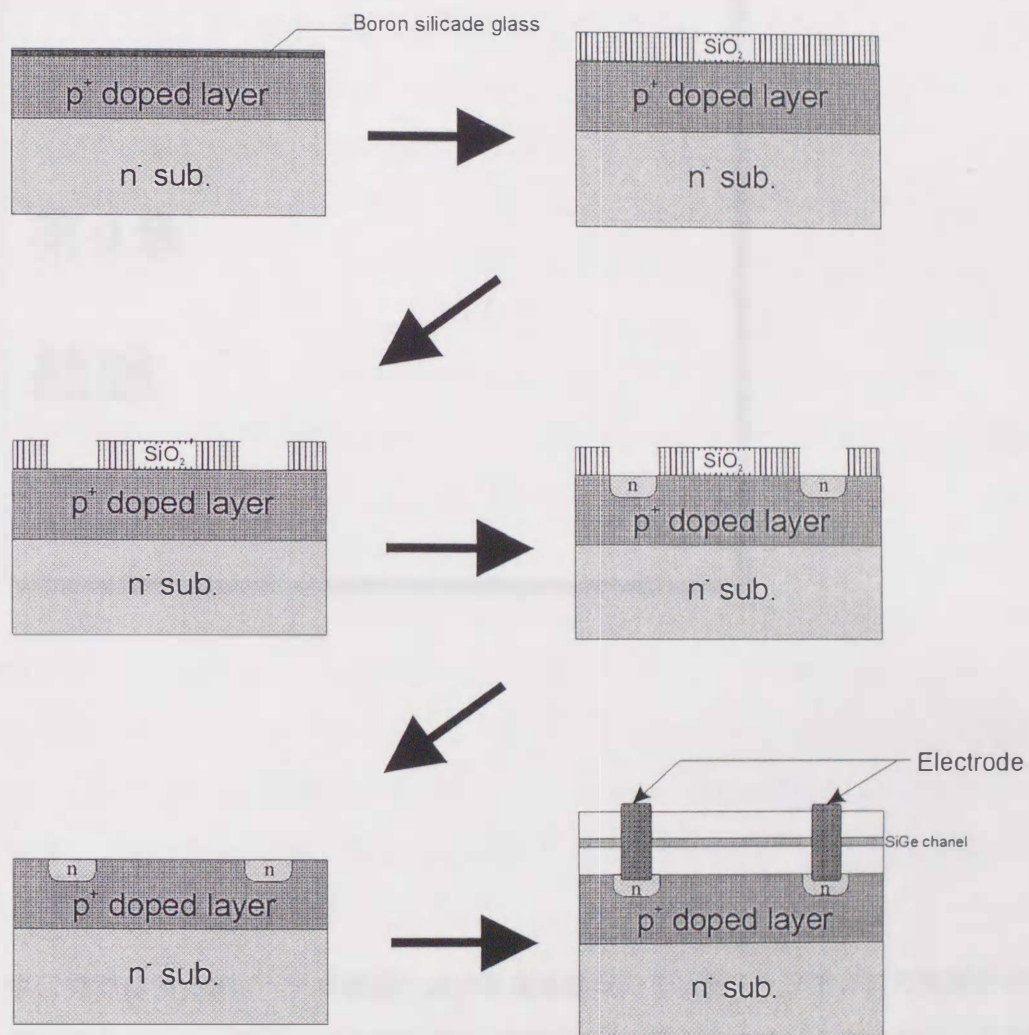


図8-5 基板とチャネル層のアイソレーション構造

## 第9章

### 結論

#### 9.1 結論

本研究ではSi/SiGeヘテロ構造における高移動度の2次元キャリアガスの実現を目的として研究を行った。得られた2次元電子の移動度は十分なものではなかったが、その作製過程において多くの成果が得られた。まず、このような構造では原子層オーダーでの成長制御が重要であり、第4章では(Si<sub>12</sub>Ge<sub>4</sub>)短周期超格子を例として原子層成長技術を確立し、Si/Ge超格子の界面急峻性を断面TEM、X線回折、ラマン分光法にて評価した。これらによって評価されたデータには相関性があり、傾向は一致した。低温成長した試料においては、ラマン散乱においてブリルアンゾーン折り返し効果による音響モードが確認された。またGe-Geモードのピークでは、閉じこめ効果によるシフトがみられ、弾性的にGeが歪んだ場合に予想される波数より低波数側にピークが現れた。界面の急峻性は低温成長ほど

よく基板温度 400°C 程度で最も悪化した。しかしながらさらに温度を上げて基板温度 500°C ぐらいにすると再び低温成長同様に析出が押さえられることがわかった。これより、Si/Ge 単原子超格子の成長には基板温度が 350°C 以下か、500°C ぐらいが界面の急峻性にとって好ましいことがわかった。

2次元電子ガスを実現するためには、Si 基板上で格子緩和した  $\text{Si}_{1-x}\text{Ge}_x$  層の成長が必要であることから、第5章では転位の少ない  $\text{Si}_{0.7}\text{Ge}_{0.3}$  層の成長条件について新しい傾斜型超格子バッファ層の挿入の効果を中心に研究した。SiGe/Si ヘテロ界面より発生する転位は、活性層の下地となる SiGe 層と基板間に効果的に転位を吸収、局在化させるバッファ層を挿入することによって、SiGe 層への転位の伝搬を防ぐことができることがわかった。また、組成を段階的に変化させたバッファ層と Ge の含有率を連続的に変化させた傾斜型超格子バッファ層を導入する事によって、その転位の抑制効果を比較した。1, 2段階に分けて組成を変化させたものは、それぞれの界面が転位発生の源となってしまうため、表面のデバイス層にまで転位が貫通してしまう傾向がみられた。しかしながら、傾斜型超格子バッファ層を導入した場合は転位が超格子内に収容されその上のデバイス層にまでは伝搬しなかった。また、550°C で成長を行うと、バッファ層があるものは残留歪みが観測された。これは、バッファ層が導入されると一般的な Si 上での SiGe 薄膜成長の弾性モデルが適用できないことを示しており、それによって臨界膜厚が大きくなり残留歪みが残っているものと思われる。しかしながら、これらの試料は、750°C のアニール処理によって歪みは緩和され、転位の  $\text{Si}_{0.7}\text{Ge}_{0.3}$  層への伝搬はみられなかった。傾斜型超格子バッファ層を用いた試料は、アニールによって結晶性、残留歪みの点でも品質の向上がみられ、将来のデバイス基板として有望であることを示した。

この  $\text{Si}_{0.7}\text{Ge}_{0.3}$ /傾斜型超格子バッファ層/Si 基板上に作製した2次元電子ガス構造を、第7章において研究し、電子移動度が小さいながらも量子効果を確認した。移動度の小さい原因としては、井戸幅が広いために量子準位が密になり、電子の散乱確率が増加したためや、SiGe/Si チャネル界面における散乱等が考えられる。また、キャリア源である Sb ドープ層は、あまり濃度が高いと金属的な振る舞いを示して、形成された井戸からの特性を劣化させてしまう。本研究では、百分の1原子層 ( $10^{12}\text{cm}^{-3}$ 以下) のドーピング濃度でないと、2次元電子ガス特性に Sb ドープ層 (金属相) の特性が付加されてしまうことがわかった。しかしながら、現在のドーピングのコントロール法は、ドーピング濃度が基板温度と Sb の脱離時間の関数として Sb のドーピング量を制御している。このため、ドーピング濃度の正確

な制御のために、Sbの脱離レートを正確に見積もる必要がある。また、新たなコントロール法として、Sbの蒸着レートを正確に見積もり、その蒸着時間によってSbのドーパ量を制御する方法が再現性の点で優れると思われる。或いは、電子線やレーザーアニールを使用すれば、任意のドーピングパターンを採用できるため、一つの試料で2次元電子ガスと正孔ガスを発生する構造や、LSI構造において応用範囲が広がると思われる。今後、この構造において量子井戸構造の最適化（結晶性、井戸幅、スペーサー幅、界面の急峻性、ドーピング濃度等の条件）を行えば、さらに高性能なデバイスの制作が可能となるであろう。

2次元正孔ガス構造（第8章）は、転位を導入しない構造である為、現在のSi-LSIプロセスとの融合性に優れている。また、アクセプタであるボロンも一般的に用いられているドーパント材料である。量産プロセスに融合するためには、作製プロセスがバッチ処理できることが望ましい。現在、様々な方法でこれに対応しているが、我々はアクセプタとして熱拡散法によってSi基板内に導入されたボロンを使うことを考えた。この方法を用いると比較的に、試料の大量生産が可能でしかも、再現性に優れるものである。我々は、この熱拡散した基板の上に、SiGeチャネル構造を作製してその特性を評価した。しかしながら、電極が基板自身にコンタクトしてしまうことから、基板の特性と井戸構造の特性を分離できず、量子効果の確証は得られなかった。しかし、電極の工夫やドーパ量、及び、チャネル幅等の条件を最適化することによって、2次元性の確認は可能と考えられる。

本研究で得られた成果は将来のデバイス開発の基礎として有用であると思われる。

## 謝辞

本論文の執筆にあたり、御指導、御鞭撻をいただきました富山大学、龍山智栄教授、上羽弘教授、丹保豊和助教授に深く感謝いたします。

審査員の女川博義教授、池野進教授には論文の内容、文章について有益なアドバイスをいただきました。厚く謝意を表します。

本研究の遂行にあたり、有益なアドバイスと議論をいただいた(株)日立製作所 中央研究所 中川清和氏に、深く感謝いたします。

透過型電子顕微鏡観察には、富山大学 金属加工学講座の松田氏に御協力頂き、深く感謝いたします。

本研究の遂行にあたり、富山大学 電子情報工学科 物性デバイスI講座の大塚栄太郎氏(現:メイテック)、大平 聡氏(現:デンソー)、伊藤禎朗氏(現:大日本スクリーン)、浅野 崇君、林 太代君、中西早人君、南 政克君、西川晃生君、河島 誠君、米田賢司氏(現:三菱電機)、西方孝之氏(現:沖電気)、神保暁子さんに多大なる御協力を頂き、ここに諸氏に対し厚く御礼申し上げます。

本研究を進めるにあたり、北陸電気工業(株)野村和雄技術本部長、若林技術管理部長、高安技術顧問、開発技術部一同、高周波事業部 安丸 裕氏、角田尚義氏に装置、材料等の多大なる支援を頂き、ここに、諸氏に対し深くお礼申し上げます。

「関連論文の印刷公表の方法及び時期」

1. Y. Hida, T. Tamagawa, H. Ueba, and C. Tatsuyama  
Strain relaxation of Ge films grown on a Si(001)- $2 \times 1$  surface by molecular beam epitaxy  
J. Appl. Phys. 67(12), 15 June 1990, p. 7274 (第4章)
2. T. Tamagawa, T. Shintani, H. Ueba, and C. Tatsuyama  
K. Nakagawa and M. Miyao  
Structural characterization of Si/Ge superlattice grown on a Si(001) surface by molecular beam epitaxy  
Thin Solid Films, 237(1994), p. 282 (第4章)
3. T. Obata, K. Komeda, T. Nakao, H. Ueba, and C. Tatsuyama  
Structural characterization of Si<sub>0.7</sub>Ge<sub>0.3</sub> layers grown on Si(001) substrates by molecular beam epitaxy  
J. Appl. Phys. 81(1), 1 January 1997, p. 199 (第5章)
4. T. Obata, K. Komeda, T. Nakao, H. Ueba, and C. Tatsuyama  
The effect of buffer layers on structural quality of Si<sub>0.7</sub>Ge<sub>0.3</sub> layers grown on Si(001) substrates by Molecular Beam Epitaxy  
Appl. Surf. Sci., 117/118(1997), p. 507 (第5章)

「参考論文の印刷の公表の方法及び時期」

1. K. Komeda, T. Obata, H. Ueba and C. Tatsuyama  
MBE Growth and Structural Characterization of Relaxed Si<sub>0.7</sub>Ge<sub>0.3</sub> Alloy Layers on Si(001)- $2 \times 1$  Surface  
Proceedings of the fourth CHINA-JAPAN symposium on thin films, p. 68 (held in Jiande Zhejiang, China, October, 1995) (第5章)

2. T.Obata,K.Komeda,H.Ueba, and C.Tatsuyama

Strain Relaxation in  $\text{Si}_{0.7}\text{Ge}_{0.3}$  Alloy Layers Grown by MBE on Si(001) Substrates  
Proceedings of the 2nd Japan-Russia seminar on Semiconductor Surface,p.32(held  
in Osaka, November,1995) (第 5 章)

3. T.Obata,K.Komeda,T.Nakao,H.Ueba,and C.Tatsuyama

The effect of buffer layers on structural quality of  $\text{Si}_{0.7}\text{Ge}_{0.3}$  layers grown on Si(001)  
substrates by Molecular Beam Epitaxy

Abstract of the second International Symposium on Control of Semiconductor  
Interface,p.86(held in Karuizawa, October,1996) (第 5 章)





Inches 1 2 3 4 5 6 7 8  
cm 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19

# Kodak Color Control Patches

© Kodak, 2007 TM: Kodak



# Kodak Gray Scale



© Kodak, 2007 TM: Kodak

**A** 1 2 3 4 5 6 **M** 8 9 10 11 12 13 14 15 **B** 17 18 19

