
表面再構成制御成長法を用いた Si 基板上 InSb 系超高速デバイスの作製と評価Ⅱ

研究代表者 理工学研究部(工学) 前澤 宏一

(1)プロジェクトの背景・目的

2005 年の IEEE International Electron Devices Meeting (IEDM)において、非常に高い電子高度と高い電子飽和速度を持った InSb をチャンネルに用いた超低電圧駆動 FET が発表された。これをきっかけに、化合物半導体、特に Sb 系材料を用いた高速トランジスタを実現しようとする動きが活発化した。Si のように安定な絶縁膜を持たない InSb をデバイスへ利用、さらには微細化する上で、リーク電流の抑制を如何に解決するかが現在の課題であり、2015 年の実用化を目指して研究開発が進められている。インテルによって報告された InSb を用いたトランジスタ(QW-FET)は GaAs 基板上に作製されたものであるが、ポスト Si-CMOS を考えれば、Si 基板上への InSb 系デバイスの作製技術の確立は極めて重要である。しかし、Si と InSb との間には 19.3%という非常に大きな格子不整合があるため、結晶性の良い InSb 薄膜を Si 基板上に作製することは困難である。

我々はこれまでに、Si 基板上の In や Sb 吸着による表面再構成構造とその後の InSb のヘテロエピタキシャル成長の関係に注目し、堆積の極初期段階の表面再構成構造がその後の InSb のヘテロエピタキシャル成長に大きな影響を及ぼすことを明らかにしてきた。Si 基板上に 1 原子層程度の In 及び Sb 原子を吸着させることで形成される Si(111)-2x2-InSb (以下 InSb 単分子層) を介して InSb を成長すると、InSb 薄膜は Si 基板に対して 30° 回転し、格子不整合が見かけ上 3.3%にまで減少し、結晶性、電気的特性の優れた InSb 薄膜が成長可能となった。本研究は、この表面再構成制御成長法を用いて高品質な InSb 薄膜を Si 上に形成し、それを高速トランジスタに応用しようとするものである。

(2)研究成果

2-1. Si 上 InSb 薄膜の成長について

表面再構成制御成長法を用いた Si 基板上への InSb 薄膜の成長において、InSb 単分子層からの In 原子の脱離を抑制するため、1 層目を低温で成長し、2 層目を高温で成長させる 2 段階成長法を採用した。昨年度は、1 層目の作製条件 (成長温度、成長レート、膜厚) を最適化することで、室温の電子移動度が $38,000\text{cm}^2/\text{Vs}$ という高品質な InSb 薄膜を得られるようになった。この際、これまでの成長条件では全ての InSb 結晶が Si に対して 30° 回転しなかった、初期の In 被服量を 0.33ML、0.75ML として InSb 単分子層を形成した試料においても、完全に 30° 回転するようになり、これらの試料においても、移動度の向上が見られた。しかし、初期の In 被服量の増加に伴って移動度も高くなっていったため、InSb 単分子層の完全性が InSb 薄膜の移動度に影響していると考えられた。そこで今年度は、更なる電子移動度の向上を目指し、InSb 単分子層の形成条件に着目し、初期の In 被覆量を変化させて、初期 In 被覆量の最適化を行った。

InSb 単分子層を形成する際の初期 In 被覆量を 1.25、1.5、2.0ML と変化させ、これ以外の成長条件は、これまでの最適なもの、すなわち、1 層目の基板温度(200→300°C)、成長レート

0.1nm/min、膜厚 3nm、2 層目の基板温度(380→440°C)、膜厚 1 μ m を用いた。作製した試料の評価は、RHEED 観察、表面 SEM 像、Hall 測定を用いて行った。

InSb 単分子層形成後の RHEED パターンには大きな変化は見られなかったものの、菊池パターンが初期の In 被覆量の増加とともに薄くなり、表面の原子配列の悪化が見て取れた。これは、In が過剰な状態になっていることを示していると考えられる。成長終了後では、初期の In 被覆量が増加するほどパターンがはっきりと現れ、表面性、配向性が向上した。初期の In 被覆量が多い方が、成長後の RHEED パターンがはっきりと現れるのは、単分子層形成後から 1 層目成長開始直後までに In の脱離が起こり、脱離した In を過剰な In 原子が補償しているためと考えられる。

表面 SEM 層観察では、初期の In 被覆量が 1.5ML の試料が最も表面性が良く、1.25、2.0ML の試料では、膜中の貫通転位を示すクラックが多数表れていた。このクラックの密度は 2.0ML の試料の方がわずかに多く、膜中の転位密度がやや高いと考えられる。これは、In の初期被覆量が 1.25ML の場合には In が不足、In の初期被覆量が 2.0ML の場合には過剰となっているためと考えられる。

Van der Pauw 法による、電気的特性の評価の結果、In の初期被覆量が 1.5ML の試料において、室温の電子移動度が約 40,000cm²/Vs が得られた。これまでに作製した試料の結果を含めた、電子移動度の初期 In 被覆量依存性のグラフを図 1 に示す。これを見ると明らかなように、1.5ML まで移動度は増加し、2.0ML では減少している。この結果は、先に述べた、脱離する In を InSb 単分子層形成時の過剰な In が補償し、In の初期被覆量が 1.5ML のときに、ほぼ完全な InSb 単分子層で覆われた表面が得られたためと考えられる。また、2.0ML の試料では、過剰な In が凝集しアイランドを形成、そのアイランドを核として転位が発生したと考えられる。この結果は、表面 SEM 像観察の結果と符合する。

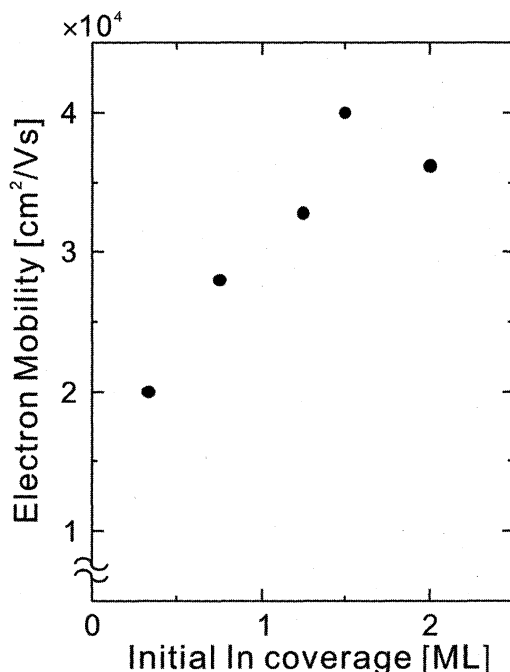


図 1. 電子移動度の初期 In 被覆量依存性

2-2. InSb-MOS ダイオードについて

昨年度報告したように、我々が作製した InSb 薄膜は、薄膜表面付近で 60,000cm²/Vs 以上の移動度を示し、キャリア濃度も真性キャリア濃度に近い値(2×10¹⁶/cm³)を示す。表面の高品質な InSb を用いて MOS ダイオードを作製し、特性評価した。

作製した高品質 InSb 薄膜上に Atomic Layer Deposition (ALD) 法を用いて厚さ 30nm のアルミナ(Al₂O₃)膜を堆積させ、電極を形成し、120Hz と 1MHz の信号周波数で C-V 特性の測定を行った。今回は低温(77K)での測定を行った。また、InSb 薄膜の膜厚を 10~1 μ m まで変化させたときの C-V 特性の変化につい

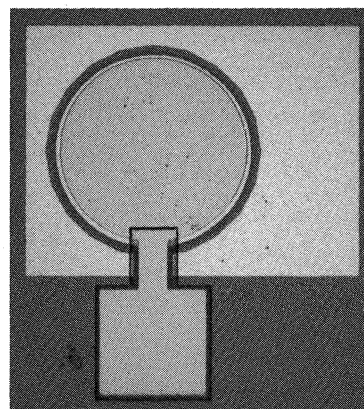


図 2. 作製したダイオード

ても調べた。

図3は77Kで測定した、厚さ1 μm のInSb薄膜のC-V特性であるこれを見ると、1kHzでは変化が小さいものの、1MHzでは大きな変化が見られる。蓄積容量から計算されるアルミナの有効誘電率は7.5である。1MHzでの測定にもかかわらず、負の電圧を印加すると、容量が増加し低周波のような振る舞いを示す。また、最小容量はInSb薄膜のキャリア濃度($10^{16}/\text{cm}^3$)から見積もられる値よりもずっと大きい。

図4はInSb基板を用いて同様のMOS構造を形成した試料の低温C-V特性の結果である。1kHzでは、エピタキシャルInSb薄膜と同様の結果を示すが、1MHzの結果は大きく異なっている。1MHzでは、高周波特性を示し、最小容量は使用した基板の不純物濃度と一致した。図3との比較から、容量減少の停止は我々が作製したエピタキシャル薄膜にあると考えられる。一般的に容量減少の停止の原因としては、大きな界面準位密度によるフェルミレベルのピンングが考えられるが、2つの試料は同一プロセス、同一条件でアルミナを形成しているため、界面準位密度に大きな差異はないと思われる。このため、トラップ密度の違いによる可能性が考えられる。トラップ準位が高い場合は、そのトラップ準位を介して価電子帯と伝導帯との間で、負のバイアスを印加した場合に電子のトンネルが起こる。欠陥は、深いドナーであり、室温においてさえほとんどイオン化されていない。標準的な理論から計算されるこの深い準位のドナーはミッドキャップ($E_c - E_d = 0.085\text{eV}$)に位置し、 $10^{18}/\text{cm}^3$ の密度を持つものの、室温において $2.2 \times 10^{16}/\text{cm}^3$ 程度の電子しか出さない。

図5は厚さ10nmのInSb薄膜を用いて作製したMOSダイオードの低温C-V測定の結果である。これを見ると、大きな容量特性を示すn型の高周波特性である。この他に厚さ15nmのInSb薄膜を用いたMOSダイオードを作製し、C-V特性を測定したところ、図3と同様野特性だった。これらの試料の特性の違いについては、InSb層の結晶性の違いが影響していると考えられる。10nmという膜厚は、比較的臨界膜厚に近いInSb層が依然として歪んでいて、ミスフィット転位密度が非常に小さいため、結晶性が良く、界面状態密度が小さいものと考えられる。また、膜厚が薄いため、InSb層成長終了時の基板温度も比較的低いことで、転位が入りにくい成長条件となっているものと考えられる。

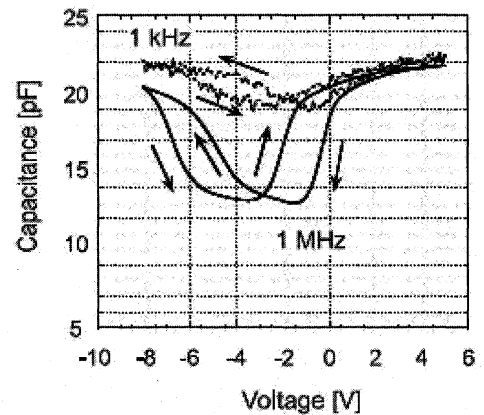


図3. 1 μm -InSb/Siの低温C-V特性

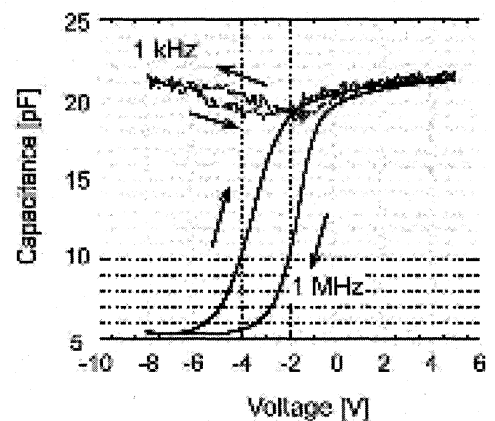


図4. InSb基板の低温C-V特性

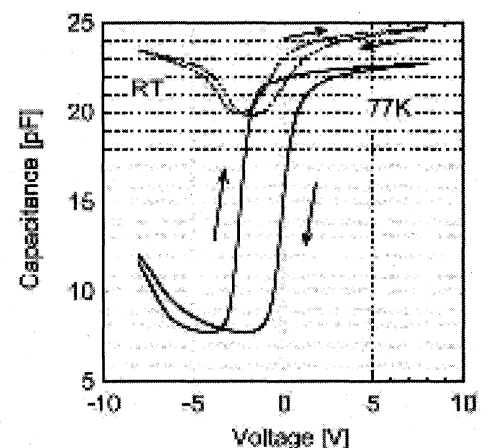


図5. 10nm-InSb/Siの低温C-V特性

図6は、低温 C-V 特性の InSb 層の膜厚依存性(50nm ~1 μ m)を示す。これらを見ると、50nm の試料を除いて InSb の膜厚が減少するとフラットバンド電圧がマイナスの方向にシフトしている。これは、InSb/Si 界面に近づくにしたがって電子密度が増加するため、フラットバンド電圧がシフトしている。また、InSb/Si 界面に近づくにしたがってトラップ密度も増加すると考えられる。このため、InSb の膜厚の減少に伴い容量変化が減少している。

図7は低温 C-V 特性の InSb 層の膜厚依存性(10~50nm)を示す。これらを見ると、図6の結果とは逆に InSb 層の膜厚が減少するとともに容量変化が大きくなっている。これは、先ほど述べたように、InSb の膜厚が臨界膜厚よりもわずかに厚い場合には、転位密度が臨界膜厚に近づくにつれて減少することに対応していると考えられる。

表面再構成制御成長法を用いることで InSb と Si との格子不整合が約 3.3%に緩和したことにより、高品質な InSb 薄膜を成長できるようになった。これにより、Pseudomorphic InSb を使える可能性が出てきた。つまり、InSb/Si ヘテロ接合がチャネル電子を閉じ込める良いバリアになり得るということである。

厚いバッファ層を必要とせず、薄い InSb 薄膜を成長させるだけで、高速なデバイスを作製できる可能性が示すことができたことは、今年度の大きな成果といえる。

(3)プロジェクト成果 (特許, 起業, 技術移転等)

(4)プロジェクト成果の応用・効果・構想 (起業計画, 市場での応用・効果, 特許化構想)

今後、InSb を用いた QW-FET 等 InSb 系のデバイス作製に対する研究過程において、この膜成長法に最適なデバイス製造法等で特許を取得できると考えている。

(5)利用施設

高出力・高分解能 X 線回折システム (薄膜材料解析装置部 : ATX-E)

利用内容 : 結晶性評価、 利用頻度 : 約 20 h / 月

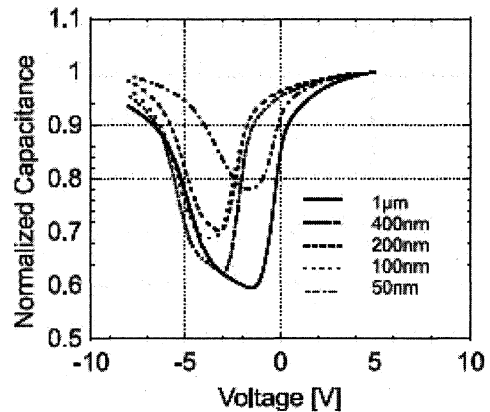


図 6. C-V 特性の InSb 膜厚依存性 1

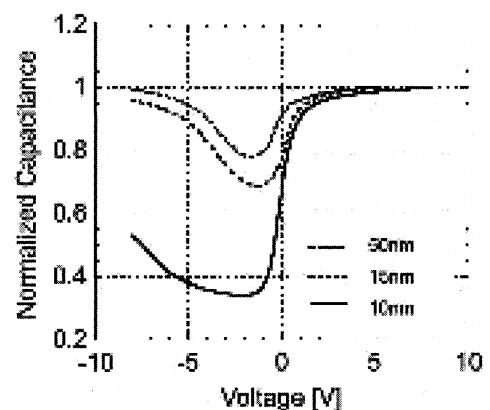


図 7. C-V 特性の InSb 膜厚依存性 2